

令和 3 年 6 月 15 日現在

機関番号：12701

研究種目：若手研究

研究期間：2018～2020

課題番号：18K13801

研究課題名(和文)超伝導断熱量子磁束回路を用いた脳型プロセッサ

研究課題名(英文)Neuromorphic processor using superconducting adiabatic quantum flux circuits

研究代表者

アヤラ クリストファー (Ayala, Christopher)

横浜国立大学・先端科学高等研究院・特任教員(准教授)

研究者番号：90772195

交付決定額(研究期間全体)：(直接経費) 3,100,000円

研究成果の概要(和文)：本研究ではクロック周波数2.5 GHz で動作する断熱磁束量子パラメトロン(AQFP) ロジックを使用し、世界初となる断熱超伝導マイクロプロセッサを実証した。これは現在最も高速で最も大きいAQFP回路である。超伝導回路は4.2Kに冷却される必要があるが、冷却に必要な電力を考慮した上でもトータルのシステム電力効率、今日の最先端の商用半導体技術を用いたものよりも80倍優れている。このマイクロプロセッサの製作に際して我々は体系的な設計方法論を構築した。これらの超伝導集積回路設計基盤技術により、新しいニューロモルフィックプロセッサを設計するための基礎を築いた。

研究成果の学術的意義や社会的意義

我々が開発した断熱超伝導マイクロプロセッサは、エネルギー効率と高速性の面で格段に優れている。そのため、今後世界の電力消費の大きな割合を占めるデータセンターやスーパーコンピュータなどのハイエンド機器の消費電力を大幅に低減することができる。

研究成果の概要(英文)：We have demonstrated the world's first adiabatic superconductor microprocessor using adiabatic quantum-flux-parametron (AQFP) logic with its data processing component operating with a clock frequency of up to 2.5 GHz. This is the fastest adiabatic circuit to date and the largest functionally meaningful AQFP circuit ever with a device count of over 20,000 Josephson junctions. Because this is superconductor technology, the circuits must be cooled to cryogenic temperatures, but even if we consider the additional overhead in cooling power, the total system power is still 80x lower than state-of-the-art commercial semiconductor technology available today. Towards the development of this microprocessor, we also established a systematic design methodology so that we can consistently create more and more complex AQFP circuits via a top-down approach and a semi-custom approach. These results set the foundation for designing more novel neuromorphic processors with various components underway.

研究分野：Superconductor electronics, adiabatic computing

キーワード：superconductor computing adiabatic EDA Josephson junction aqfp neuron tensor

## 1. 研究開始当初の背景

ビッグデータやインターネット・オブ・ザ・シングス (IoT) など、インターネット上の莫大なデータを有効に処理するために、よりエネルギー効率の高いコンピュータシステムの需要が高まっている。しかしながら、既存の CMOS 技術では、データ処理量の爆発的な増大に今後対応できるかどうかは疑問である。CMOS デバイスでは寸法を 5nm 以下にすることは困難になってきており、超伝導回路などのエネルギー効率の高い新規集積回路技術の開発が不可欠である。一方、従来のフォンノイマン型コンピュータアーキテクチャでは、メモリとデータパスが分離しているため、いわゆる「メモリのボトルネック」が性能を制限するようになっている。そのため、ビッグデータや IoT データ処理など、今後ますます多くのデータ処理を必要とする高性能コンピュータのアーキテクチャとして、従来の汎用アーキテクチャが適さない可能性がある。汎用アーキテクチャによる演算処理は電力コストが高いため、よりエネルギー効率の高い新たなコンピューティングアーキテクチャを生み出す必要がある。そのためには、(1) 新しいコンピューティングパラダイムを利用する方法と、(2) 新しい電子デバイスを利用する方法がある。近年、さまざまな研究機関において、人間の脳を模倣する脳型ニューロモルフィックコンピューティングが研究されている。これらは、比較的遅い電子回路 (~100 Hz) を用いて大きな並列性と相互接続を達成できるため、低消費電力化が可能となる。また、脳型コンピュータは、従来の演算方法と比較して一見無関係なデータから関係性を見出したり、パターン認識を行う能力を備えている。更に、超伝導デバイスなどの CMOS に代わる新規論理デバイスを使用することにより、回路のエネルギー効率を格段に向上させることができる。超伝導断熱量子磁束パラメトロン (AQFP) 回路は、超伝導回路を断熱的に動作させることにより、図 1 に示すように 5 GHz のクロック周波数においても最新の CMOS と比較してビットエネルギーを 6 桁程度低減することができる。一方、単一磁束量子 (SFQ) 回路は、高速超伝導伝送線路 (PTL) を用いてピコ秒幅の高速 SFQ 電圧パルスが無分散・無損失でチップ全体に高速伝搬させることができる。

## 2. 研究の目的

本研究は、将来の高度情報化社会におけるビッグデータや IoT データ等の莫大な情報を処理するために、ニューロモルフィックコンピューティングを用いた新しいコンピューティングアーキテクチャと、CMOS を超えるエネルギー効率と高速性を有する超伝導集積回路を融合した新技術を生み出すことを目的とする。加えて、超伝導集積回路だけでなく、半導体回路やシステム、回路設計法、人工知能に大きな影響を及ぼすと期待されるニューロモルフィックコンピューティングの回路設計手法について研究を行う。ニューロモルフィックコンピューティングにより脳の機能を模倣する新しい計算手法を生み出すと同時に、フォンノイマン型コンピュータにおけるメモリボトルネックを克服して効率的な演算を行うことができる。

## 3. 研究の方法

**Task 1 (T1) – 回路設計環境と論理回路シミュレーションモデルの構築：**既存の超伝導集積回路プロセス用の Cadence 設計環境を、ニューロモルフィック AQFP/SFQ 回路設計用に改良する。既存の SFQ 論理回路モデルを活用しつつ、AQFP ゲートの新しい論理回路モデルを SystemVerilog を用いて開発する。論理回路モデルにはアナログ回路パラメータも利用する。

**Task 2 (T2) – 論理合成ツール開発：**AQFP 多数決ゲートを利用して回路の遅延と複雑さを低減するために、多数決ゲートベースの論理合成ツールを開発する。最初のアプローチとしては、オープンソースツールである YOSYS を使用し、ブール論理を AQFP ゲートに直接マッピングする。最終的には、任意のブール関数を多数決ゲートにより簡単化してマッピングするソフトウェアを開発する。

**Task 3 (T3) – 大規模回路の設計方法論の開発：**現時点で大規模 AQFP 集積回路は実現されていない。そのため、新しいアーキテクチャを検討する前に、従来アーキテクチャのマイクロプロセッサを構築する際に生じる設計上の課題を理解する。本タスクでは、レジスタファイル、データパ

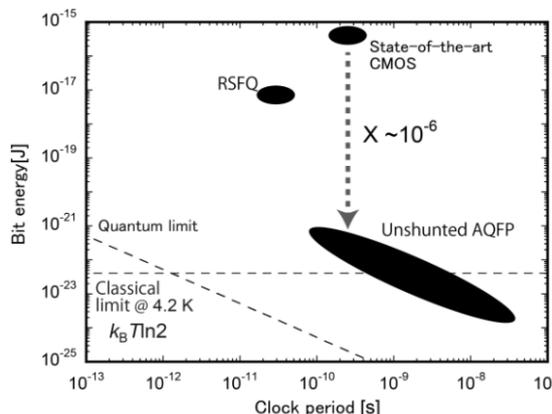


図 1: AQFP 回路と他の論理回路のビットエネルギーの比較

ス、制御回路など、様々な主要コンポーネントを設計して、全てのコンポーネントが正常に動作することを示す。また、フィードバックを有する回路を高速にクロックする設計方法を開発する。

**Task 4 (T4) – 自動計測環境の構築:** 回路機能を実験的に測定するためのシステムを開発する。オープンソース PyVISA 計測インターフェイスを使用して、測定機器を測定用コンピュータに接続することにより Python を利用した計測システムを構築する。テストベクトルの入力や、出力結果の評価など、複雑な回路のテストを自動化するための Python スクリプトを作成する。

**Task 5 (T5) – ニューロモルフィック回路の実現に向けたプロセッサの開発と回路のデモンストレーション:** T3 で主要な回路コンポーネントの正常動作を示した後、T1、T2、および T4 で開発した設計・測定環境を統合し、完全動作するマイクロプロセッサを作成する。従来アーキテクチャに基づくマイクロプロセッサの動作実証により、AQFP 回路がコンピューティングにおける基本処理（データの保存や処理）を実行できることを示す。マイクロプロセッサチップのデモンストレーションを行った後、ニューロモルフィック回路などの新しいアーキテクチャに基づくプロセッサを設計する。特に深層学習処理を高速に行うために用いられる最新の GPU を構成する浮動小数点計算用回路コンポーネントを検討する。さらに、さまざまなタイプのニューロモルフィックアーキテクチャにおいて、ニューロンの数と個々のニューロンの複雑さとの間のトレードオフを評価する。

#### 4. 研究成果

我々の最初の主要な研究成果は、図 2 に示すように、トップダウン設計フローに基づくセミカスタム AQFP 回路の設計環境[1]を開発したことである。この設計環境は、論理合成後の処理とリタイミング機能を持つ論理合成ツールと配置配線ツールを備えており、自動設計により回路を構築することができる。また本設計環境は、大規模デジタル回路の設計のために必要な強力な設計検証機能を備えている。そのため、本設計環境を用いて 4 ビット ALU やシフタなどの各種マイクロプロセッサ回路コンポーネントの動作実証を行う事ができた。

2 つめの主要な成果は、断熱的超伝導マイクロプロセッサ (MANA: Monolithic Adiabatic Integration Architecture) の開発と世界初の動作実証である[2]。これらの結果は、AQFP 回路が、演算処理やデータの保存などの全ての論理機能を、単一の回路技術と単一の論理ゲートファミリーを用いてチップ上で実装できることを証明するものである。MANA のマイクロアーキテクチャを図 3a に示す。MANA は、図 3a 中のフォーマットに示された 16 ビットの命令を用いて 4 ビットのデータを処理する。MANA の各機能ユニットは、命令デコードユニット (IDI)、外部 I/O アクセス機能を有するレジスタファイル (RFX)、実行ユニット (EX)、およびライトバックユニット (WB) で構成される。各回路ユニットは、図 3a において色分けされて示されている。本マイクロプロセッサを産業技術総合研究所のニオブ 4 層 10 kA/cm<sup>2</sup> 超伝導集積回路プロセスを用いて作製した。チップ写真を図 3b に示す。MANA は大規模であるため現状の測定機器では回路全体の高速テストを行うことができない。そのため、図 3c に示すように MANA の実行ユニット (EX) と高速電圧ドライバからなる高速テスト回路を、別チップ上に設計・試作した。本チップは最大 2.5GHz で完全動作し、これまでに実証されたマイクロプロセッサ用データパスの中で最速の断熱回路である。

図 4 に、加算、減算、比較を行うプログラムを実行した際の MANA の出力波形を示す。これらの波形は、メモリ保存、演算処理、条件付分岐の実行など、マイクロプロセッサの全ての基本操作が正常に行われていることを示している。デバイスレベルでは、冷却オーバーヘッドを考慮しても、7 nm FinFET デバイスよりもエネルギー効率が約 80 倍高いと見積もることができる。

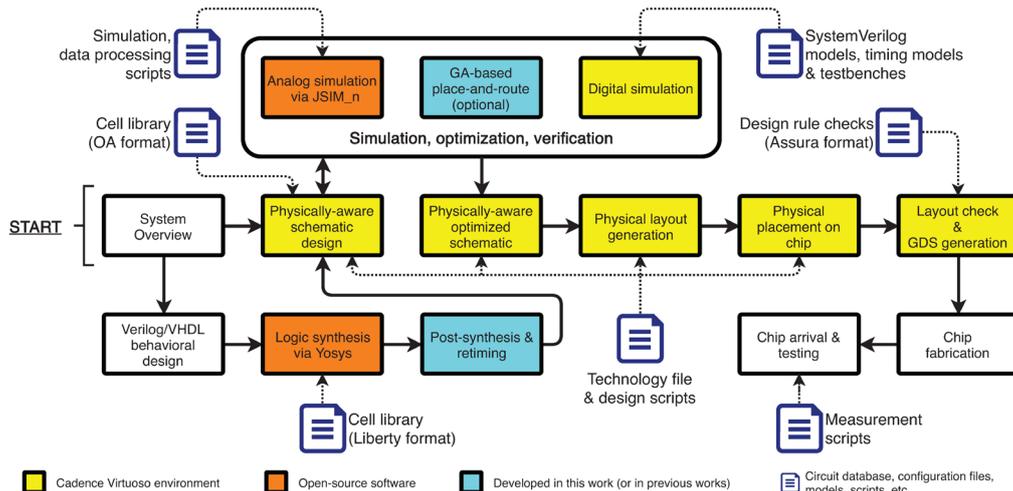


図 2: AQFP 回路のトップダウン設計フローと設計環境

この技術を通常のアーキテクチャを用いたスーパーコンピュータ应用到に利用すると、冷却コストを含めて 20 MW の消費電力で、単精度浮動小数点演算性能にして 6~20 EFLOP を達成できると予想される。Bfloat16 浮動小数点形式を使用したニューロモルフィック処理を仮定すれば、同じ消費電力で 50~200 EFLOP のパフォーマンスが得られると見積もることができる。これは、米国エネルギー省のエクサスケールコンピューティングイニシアチブが要求している性能 (20 MW で 1 EFLOP) よりも 1~2 桁優れている。より AQFP 回路に適したアーキテクチャを使用することで、さらに性能を改善できると期待できる。

その他の研究成果として、AQFP 論理回路でフィードバック処理を行うための設計方法論[3]、AQFP 回路における新しい多相クロッキング手法の検討[4]を行った。

本研究で得られた以上の研究成果は、将来の情報化社会において、AQFP 集積回路技術がデータセンターやスーパーコンピュータにおける莫大な電力消費を削減するための有望な基盤技術になることを示している。

### 参考文献:

- [1] C. L. Ayala *et al.*, "A semi-custom design methodology and environment for implementing superconductor adiabatic quantum-flux-parametron microprocessors," *Supercond. Sci. Technol.*, vol. 33, no. 5, p. 054006, May 2020, doi: 10.1088/1361-6668/ab7ec3.
- [2] C. L. Ayala, T. Tanaka, R. Saito, M. Nozoe, N. Takeuchi, and N. Yoshikawa, "MANA: A Monolithic Adiabatic iNtegration Architecture Microprocessor Using 1.4-zJ/op Unshunted Superconductor Josephson Junction Devices," *IEEE J. Solid-State Circuits*, vol. 56, no. 4, pp. 1152–1165, Apr. 2021, doi: 10.1109/JSSC.2020.3041338.
- [3] R. Saito, C. L. Ayala, O. Chen, T. Tanaka, T. Tamura, and N. Yoshikawa, "Logic Synthesis of Sequential Logic Circuits for Adiabatic Quantum-Flux-Parametron Logic," *IEEE Trans. Appl. Supercond.*, vol. 31, no. 5, pp. 1–5, Aug. 2021, doi: 10.1109/TASC.2021.3061636.
- [4] R. Saito, C. L. Ayala, and N. Yoshikawa, "Buffer Reduction via N-Phase Clocking in Adiabatic Quantum-Flux-Parametron Benchmark Circuits," *IEEE Trans. Appl. Supercond.*, pp. 1–1, 2021, doi: 10.1109/TASC.2021.3073837.

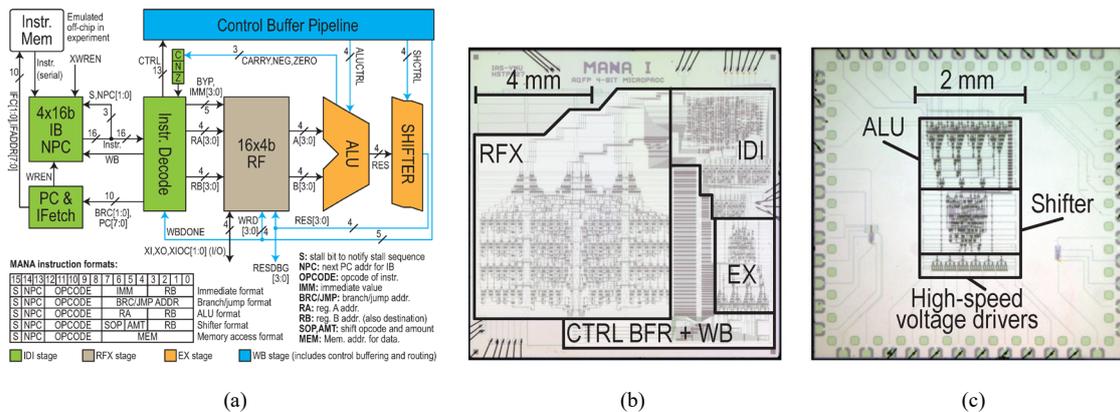


図 3: (a) MANA のマイクロアーキテクチャ。(b) MANA のチップ写真。(c) 高速テストのための MANA の実行ユニット (EX) のチップ写真。2.5 GHz での完全動作を確認した。

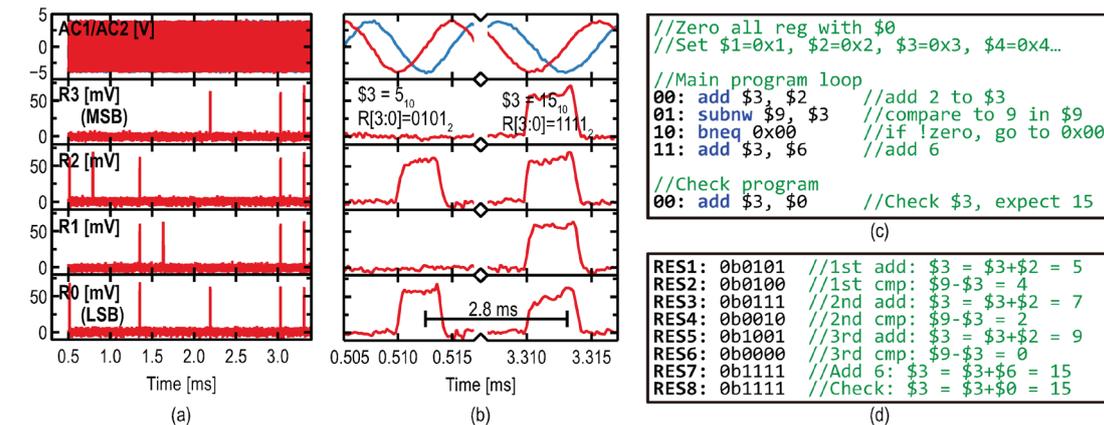


図 3: MANA の測定波形。(a) プログラムを実行した際の全出力波形。(b) 最初と最後の波形の拡大図。(c) テスト用プログラムコード。(d) 出力結果のバイナリデータ

## 5. 主な発表論文等

〔雑誌論文〕 計6件（うち査読付論文 6件/うち国際共著 6件/うちオープンアクセス 1件）

1. 著者名 Ayala Christopher L., Tanaka Tomoyuki, Saito Ro, Nozoe Mai, Takeuchi Naoki, Yoshikawa Nobuyuki	4. 巻 56
2. 論文標題 MANA: A Monolithic Adiabatic iNtegration Architecture Microprocessor Using 1.4-zJ/op Unshunted Superconductor Josephson Junction Devices	5. 発行年 2021年
3. 雑誌名 IEEE Journal of Solid-State Circuits	6. 最初と最後の頁 1152 ~ 1165
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/JSSC.2020.3041338	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 該当する
1. 著者名 Saito Ro, Ayala Christopher L., Chen Olivia, Tanaka Tomoyuki, Tamura Tomohiro, Yoshikawa Nobuyuki	4. 巻 31
2. 論文標題 Logic Synthesis of Sequential Logic Circuits for Adiabatic Quantum-Flux-Parametron Logic	5. 発行年 2021年
3. 雑誌名 IEEE Transactions on Applied Superconductivity	6. 最初と最後の頁 1 ~ 5
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TASC.2021.3061636	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する
1. 著者名 Saito Ro, Ayala Christopher Lawrence, Yoshikawa Nobuyuki	4. 巻 -
2. 論文標題 Buffer Reduction via N-Phase Clocking in Adiabatic Quantum-Flux-Parametron Benchmark Circuits	5. 発行年 2021年
3. 雑誌名 IEEE Transactions on Applied Superconductivity	6. 最初と最後の頁 1 ~ 1
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TASC.2021.3073837	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する
1. 著者名 Ayala Christopher L., Tanaka Tomoyuki, Saito Ro, Nozoe Mai, Takeuchi Naoki, Yoshikawa Nobuyuki	4. 巻 -
2. 論文標題 MANA: A Monolithic Adiabatic iNtegration Architecture Microprocessor using 1.4zJ/op Superconductor Josephson Junction Devices	5. 発行年 2020年
3. 雑誌名 Proceedings of the 2020 IEEE Symposium on VLSI Circuits	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/VLSICircuits18222.2020.9162792	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Ayala Christopher L, Saito Ro, Tanaka Tomoyuki, Chen Olivia, Takeuchi Naoki, He Yuxing, Yoshikawa Nobuyuki	4. 巻 33
2. 論文標題 A semi-custom design methodology and environment for implementing superconductor adiabatic quantum-flux-parametron microprocessors	5. 発行年 2020年
3. 雑誌名 Superconductor Science and Technology	6. 最初と最後の頁 054006 ~ 054006
掲載論文のDOI (デジタルオブジェクト識別子) 10.1088/1361-6668/ab7ec3	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Tanaka Tomoyuki, Ayala Christopher L., Xu Qiuyun, Saito Ro, Yoshikawa Nobuyuki	4. 巻 29
2. 論文標題 Fabrication of Adiabatic Quantum-Flux-Parametron Integrated Circuits Using an Automatic Placement Tool Based on Genetic Algorithms	5. 発行年 2019年
3. 雑誌名 IEEE Transactions on Applied Superconductivity	6. 最初と最後の頁 1 ~ 6
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TASC.2019.2900220	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

〔学会発表〕 計8件 (うち招待講演 3件 / うち国際学会 7件)

1. 発表者名 Christopher L. Ayala, Ro Saito, Tomoyuki Tanaka, Tomohiro Tamura, Naoki Takeuchi, and Nobuyuki Yoshikawa
2. 発表標題 A 4-bit RISC-dataflow AQFP MANA microprocessor: architecture, design challenges and demonstration
3. 学会等名 2020 Applied Superconductivity Conference (招待講演) (国際学会)
4. 発表年 2021年

1. 発表者名 Christopher L. Ayala, Tomoyuki Tanaka, Ro Saito, Mai Nozoe, Naoki Takeuchi, and Nobuyuki Yoshikawa
2. 発表標題 MANA: A Monolithic Adiabatic iNtegration Architecture Microprocessor Using 1.4zJ/op Superconductor Josephson Junction Devices
3. 学会等名 2020 Symposia on VLSI Technology and Circuits (国際学会)
4. 発表年 2020年

1. 発表者名 Christopher L. Ayala, Naoki Takeuchi, and Nobuyuki Yoshikawa
2. 発表標題 Adiabatic Quantum-Flux-Parametron Design-For-Testability Components for Large-Scale Digital Circuits
3. 学会等名 2019 International Symposium on Superconductivity (国際学会)
4. 発表年 2019年

1. 発表者名 Christopher L. Ayala, Tomoyuki Tanaka, Mai Nozoe, Naoki Takeuchi, and Nobuyuki Yoshikawa
2. 発表標題 Component Demonstration of a RISC-based AQFP MANA Processor
3. 学会等名 2019 International Superconductive Electronics Conference (国際学会)
4. 発表年 2019年

1. 発表者名 Tomoyuki Tanaka, Christopher L. Ayala, Olivia Chen, Ro Saito, and Nobuyuki Yoshikawa
2. 発表標題 Quality of Results of Adiabatic Quantum-Flux-Parametron Integrated Circuits Placed by the Genetic Algorithm
3. 学会等名 2019 International Superconductive Electronics Conference (国際学会)
4. 発表年 2019年

1. 発表者名 Christopher L. Ayala
2. 発表標題 Current Progress on the Development of a Stand-Alone Top-Down Design Environment for Adiabatic Quantum-Flux-Parametron Circuits
3. 学会等名 Technical Meeting of the JSPS 146 Committee (招待講演)
4. 発表年 2018年

1. 発表者名 Christopher L. Ayala, Olivia Chen, Ro Saito, Tomoyuki Tanaka, Naoki Takeuchi, Yuki Yamanashi and Nobuyuki Yoshikawa
2. 発表標題 Development of an extremely energy-efficient AQFP microprocessor
3. 学会等名 The 31st International Symposium on Superconductivity (招待講演) (国際学会)
4. 発表年 2018年

1. 発表者名 Christopher L. Ayala, and Nobuyuki Yoshikawa
2. 発表標題 New Directions for Adiabatic Quantum-Flux-Parametron Logic Computing
3. 学会等名 The 12th Superconducting SFQ VLSI Workshop (国際学会)
4. 発表年 2019年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

Extremely Energy-Efficient Processors <a href="https://www.yoshilab.dnj.ynu.ac.jp/ias_e3p/">https://www.yoshilab.dnj.ynu.ac.jp/ias_e3p/</a>
--

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究協力者	吉川 信行  (Yoshikawa Nobuyuki)  (70202398)	横浜国立大学・大学院工学研究院・教授    (12701)	

6. 研究組織（つづき）

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究協力者	竹内 尚輝 (Takeuchi Naoki)  (00746472)	横浜国立大学・先端科学高等研究院・准教授   (12701)	
研究協力者	齋藤 啓生 (Saito Ro)	横浜国立大学・電子情報系学科・大学院生   (12701)	
研究協力者	田中 智之 (Tanaka Tomoyuki)	横浜国立大学・電子情報系学科・大学院生   (12701)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関