

機関番号：11301

研究種目：基盤研究（A）

研究期間：2007～2010

課題番号：19206037

研究課題名（和文）極微細構造シリコン結晶の電子物性に基づくナノスケール半導体デバイスに関する研究

研究課題名（英文）Research on nano-scale semiconductor devices based on the electronic properties of atomic-scale silicon crystals

研究代表者：遠藤 哲郎(ENDO TETSUO)

東北大学・学際科学国際高等研究センター・教授

研究者番号：00271990

研究成果の概要（和文）：

極微細構造のSi結晶の界面構造揺らぎ、不純物分布揺らぎ、表面ポテンシャル揺らぎ、新奇な電子移動現象がデバイスの諸特性へ与える影響の解明を目指し研究を遂行した。その結果、材料レベル及びデバイスレベルでの統計的揺らぎ現象を制御する指針を明らかとし、今後の極微細構造Siを用いたナノスケール半導体デバイス構築のための端緒を得た。

研究成果の概要（英文）：

The influences of the interface roughness, the dopant distribution fluctuation and the surface potential variability on the device performance of nano-scale Si-based semiconductor devices were investigated. As a result, a deep understanding of suppressing the statistical variability was obtained in both material and device levels. These results indicate the guideline for developing the future nano-scale semiconductor devices based on the electronic properties of atomic-scale silicon crystals.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2007年度	16,600,000	4,980,000	21,580,000
2008年度	7,600,000	2,280,000	9,880,000
2009年度	7,900,000	2,370,000	10,270,000
2010年度	5,400,000	1,620,000	7,020,000
年度			
総計	37,500,000	11,250,000	48,750,000

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：半導体デバイス、集積回路、ナノデバイス、シリコン結晶シリコンデバイス、不純物ドーピング、表面科学、電子物性

1. 研究開始当初の背景

ユビキタスネットワーク社会の創造に向けたエレクトロニクス分野の基幹技術は、その生産性から、今後ともシリコン(Si)デバイスが基盤になると言われている。この火急の社会的要請のもと、最小寸法65nmのSiトランジスタの研究・開発が完了し生産準備段階にあった。

この発展を支えてきたのは、Si基板の表面に形成されるバルク型MOSFET技術や、Si基板上に絶縁膜を介して積層されるSi結晶膜(SOI-Si

層)上に形成されるSOI型MOSFET技術である。バルク型MOSFET・SOI型MOSFET共に、ゲート長は数nm～数十nmのサイズに達しているが、ゲートに直行する方向であるチャンネル幅は長大で、またゲート以外の拡散層領域も数百nmのサイズにとどまっており、未だ本当のナノデバイスではない。また、これらの研究を支えてきたのは、半導体原子や絶縁物原子が半無限に続くに近似してきた従来の固体物性に基づくプロセス工学やデバイス工学である。

本研究の全体構想は、この認識に立ち、今後少なくとも 20 年間のエレクトロニクス産業を支える「真のナノスケール Si 集積回路」を実現するために、幅・奥行き・高さ共に数十 nm～数 nm からなる極微細な Si トランジスタを実現することである。形成されるトランジスタは、たった 10000 個程度の Si 原子で構成されることになる。その電子物性及び諸現象の原理を解明するためには量子論を、また、その実験的解明及びその製造技術の構築には、界面構造やドーパント分布や応力・ひずみ分布の揺らぎを取り扱う概念を、半導体工学に付加しなくてはならない。

2. 研究の目的

本研究は、量子論的な物理を背景とする研究者と材料工学・デバイス工学を学術的背景とする研究者の有機的連携により、理論的手法と実験的実証の両面から、以下に示すことを定量的に提案することを目的とした。

- (1) ナノスケールの極微細構造な Si 結晶に対するナノ電子物性物理の構築
- (2) ナノスケールの極微細構造な Si 結晶に対する材料・プロセス技術の構築
- (3) 前記(1)(2)に基づく真のナノスケール Si デバイス技術の構築

理論計算と実証的実験を相互補完的に推進することで、ナノスケールの極微細構造の半導体中で起こる様々な揺らぎを予測し、その揺らぎを極限まで抑えた界面構造、材料構造を提案する。さらに、Si 結晶の酸化現象や不純物拡散現象に伴う Si 結晶内に生じる応力・ひずみの制御技術を開発し、極微細構造な Si 結晶中の電荷の移動度を向上させ、デバイス的高速動作化を目指した。また、極微細構造な Si 結晶中で発生する種々の揺らぎに対して強い新しいデバイス設計技術の開発の端緒を得ることを目的とした。

3. 研究の方法

ナノスケールの極微細構造の半導体中で起こる様々な揺らぎを予測し、その揺らぎを極限まで抑えた界面構造、材料構造を提案するために、理論解析、表面科学、結晶材料学、評価解析、デバイス工学からアプローチを試みた。

- (1) 極微細 Si 結晶中の電子構造・構造ひずみの理論的解析(理論解析からのアプローチ)
- (2) 極微細構造 Si 結晶サイズが表面化学に与える影響の解明(表面科学からのアプローチ)
- (3) 半導体結晶中への不純物の超高精度制御(結晶材料学からのアプローチ)
- (4) 極微細領域の電氣的ポテンシャル解析装置の開発(評価解析からのアプローチ)
- (5) 極微細構造 Si 結晶中での信号伝達の挙動の解明(デバイス工学からのアプローチ)

上記課題を遂行することで、上述の研究目的に挙げた3つの課題に対して、理論計算と実証

的実験を相互補完的に研究を進めた。

4. 研究成果

極微細構造シリコン結晶の電子物性に基づくナノスケール半導体デバイスに関する研究においてこれまでの研究により得られた成果を、以下にテーマごとに記載する。

- (1) 極微細 Si 結晶中の電子構造・構造ひずみの理論的解析(理論解析からのアプローチ)

極微細シリコンをチャンネルとするナノスケールデバイスにおいては、界面割合が増加するため電極界面での接触抵抗を低減することが不可避となる。そこで電極界面の問題に集中して、(1)整合の良いシリサイド電極に関する電子物性の解明、(2)界面偏析不純物による仕事関数変調メカニズムの解明、(3)ナノコンタクト界面における過渡電流特性の解明、を行った。

まず第一原理計算を用いて、シリサイドを作る金属原子の条件とその安定性、仕事関数のシリサイド組成依存性の起源を解明した。さらにこの知見を基に、微細構造の歪環境下においてはバルクと異なる組成が実現されること、シリサイド自身へのドーピングにより仕事関数を変調制御できることを明らかにした。

一方、金属/Si 界面に不純物が偏析した場合の仕事関数変調のメカニズムを第一原理計算により検討した。特に、II, III 族不純物は Si の電荷中性準位を下げ、一方 VI, VII 族不純物は上げる。その仕組みは Si の結合手の界面における電荷不整な終端にあること、第 2 周期の原子は原子半径が小さいために大きな原子変位を起こして上記とは逆の変化を示すこと、Si および金属の HOMO 軌道とエネルギーが大きく異なる HOMO を持つ不純物ほど偏析しやすいこと等を明らかにした。

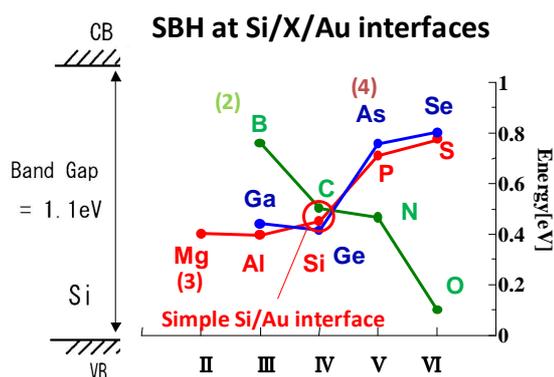


図1 Si/Au 界面における電荷中性準位の偏析原子種依存性. II, III 族原子は準位を下げ、VI, VII 族原子は準位を上げる。第2周期原子は原子半径が小さいために原子間に入り込み、逆の傾向を見せるが、金属がシリサイドの場合は入り込めないため、第3, 4 周期と同じ振る舞いになる。

また、密度行列の時間発展方程式を定式化し、ナノスケール界面を介してのエネルギーや情報の輸送の過渡特性を検討した。その結果、電圧印可時に過剰電流が流れエネルギー散逸すること、定常電流への緩和は界面での結合強度の2乗に反比例することなどの基礎的な性質を明らかにした。

(2) 極微細構造 Si 結晶サイズが表面化学に与える影響の解明(表面科学からのアプローチ)

3 次元デバイスに代表される Si 極微細構造に出現する重要なファセット面である Si(110)面を取り上げ、同面上の(1)酸化、(2)ホモエピタキシ、(3)ヘテロエピタキシの表面化学を詳細に調べた。Si(110)面は特異な 16×2 再配列構造を有し、極微細構造上の製膜の表面化学を調査するための理想的モデル表面を提供する。(1)では再配列構造を構成する原子クラスターが酸化の起点となることを見出した。(2)では、表面ステップの直線的整列方法を見出した。(3)では、Si(110) 面上に 3C-SiC(111)面が成長する現象を利用し、Si(110) 基板上に局所的に Si(111)面を実現する方法を見出した。

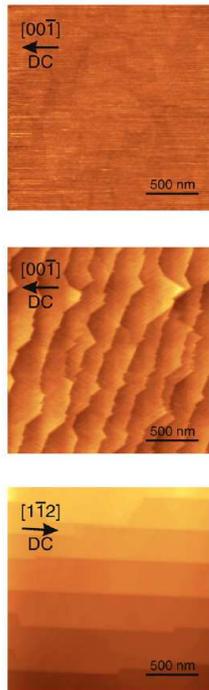


図2 Si(110)表面のエピにおいて、表面 DC 電界の方向(図中矢示)によって、ステップ形状が大きく変化する。

(3) 半導体結晶中への不純物の超高精度制御(結晶材料学からのアプローチ)

単一イオン注入法における単一イオンの個数制御性を改善し、数 10 個程度の離散的ドーパントがデバイス特性に及ぼす影響を調査した。

単一イオン注入法における2次電子検出法による単一イオン個数制御性を改善するため、デバイスの埋め込み酸化膜を介して基板バイアス (V_{bg})を制御し、2 次電子放出率の向上を試みた。基板バイアスをマイナスに大きくすると平均 2 次電子放出個数($\langle N_{SE} \rangle$)が増加することを確認した。2 次電子放出率 $P(N_{SE})$ はポアソン分布 [$\langle N_{SE} \rangle N_{SE}! / N_{SE}! \exp(-\langle N_{SE} \rangle)$]に従い、 $V_{bg} = 0V$ のとき $P(0)$ は 1.3%と有限の値を取っていたため、2 次電子検出率が 100%に到達しない要因となっていた。これに対し、 $V_{bg} = -5V$ のとき $\langle N_{SE} \rangle$ は 6.3 個とな

り、 $P(0)$ は 0.2%とおおよそ 7 倍に改善する結果、 N_{SE} が 1 個以上となる確率は 99.8%に達した。単位時間当たりの 2 次電子カウント数($\langle N_{SD} \rangle$)は、マイナスに基板バイアスが増加するに従い増加し、 $V_{bg} = -5V$ のとき 20%に向上することを確認した。これにより単一イオンの個数制御性が改善され、より信頼性の高い単一イオン注入が可能となった。

離散的なドーパントの位置のデバイス特性への影響を評価するために、単一イオンの個数制御性を改善した単一イオン注入法によって 2 価の P イオンを 30kV で注入し、ソース側とドレイン側にドーパントを非対称に偏在させたデバイスを試作し、規則配列とランダム分布を比較した。ソース側に配置したデバイスと比較し、ドレイン側配置した場合、全てのデバイスでサブスレッショルド領域におけるドレイン電流は高い値となった。これはソース側での不純物散乱に起因して電子の注入速度が減少したためであると考えられる。また、規則配列の方がランダム配置デバイスより 2-10%程度上昇することが判明した。これは一様なドーパントポテンシャルの形成によって、電流が流れやすくなったためであると考えられる。

ドーパントが離散的に存在する系では、より個々のドーパント位置がトランジスタ特性に影響を及ぼす様になることを初めて実デバイスで明らかにした。チャンネルドーパントはもとより、いずれソース/ドレインエクステンションでも位置制御の必要性を示唆する意義がある。

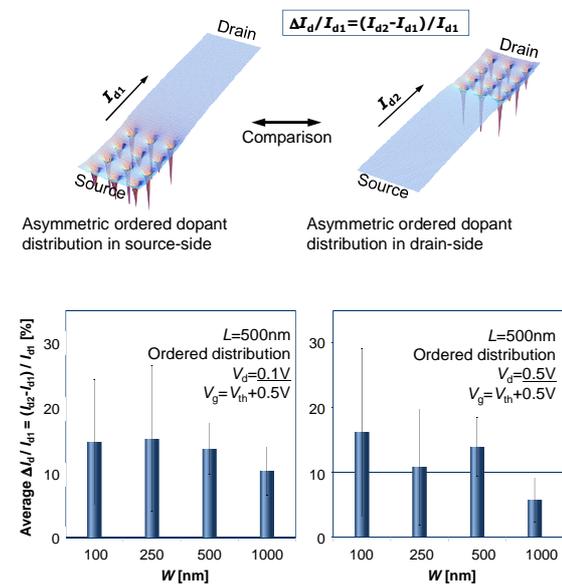


図3 非対称ドーパント規則配列とデバイス特性への影響

(4) 極微細領域の電氣的ポテンシャル解析装置の開発(評価解析からのアプローチ)

極めて小さな数千個の原子数を対象とする仕事関数の物理を構築することを目指して、極微細領域の電氣的ポテンシャルが測定可能な装置を

構築した。これにより、極微細Siを含むゲートスタック構造における微小領域の仕事関数を検証可能とし、デバイス設計及びその集積回路の観点から、系統的に解析しゲート酸化膜材料の探索、ゲートスタック構造の界面制御を行った。また、これらの手法を用いて、上記成果の検証及び、以下に示す極微細構造Si結晶中での信号伝達の挙動解明のための基礎となる知見を得た。

(5) 極微細構造 Si 結晶中での信号伝達の挙動の解明 (デバイス工学からのアプローチ)

W=19nm~40nm の 65nm プロセスで試作したトランジスタのチャンネルの断面構造とその寸法を図3に示す。Si-SOI 基板にて試作されたものである。図4(a)は図 1 のチャンネル構造に対して試作されたn型トランジスタの ON 電流を示す。ゲート長さの減少と共に電流は増加するが、現在の一般的なプレーナ構造に対し遥かに大きな電流を得ることができた。また、微細チャンネルになる程大きな電流を得ることができる。このメカニズム、理由に関しては全てが明らかになってはいない。しかしながら、ゲート長 65nm で 1.5mA/ μm の電流は世界でもトップクラスであり、さらに最先端加工を用いた 32nm のゲート長、ひずみ、High-k 絶縁膜等のブースター技術を用いれば 2mA を超える可能性を示唆する結果を得ている。図.4(b)はp型トランジスタである。サイズ依存性はあるもののプレーナ構造に対して大きな優位点はない。これは、微細構造チャンネルに対するソース・ドレインの低抵抗化が不十分であることに起因する。p型ソース・ドレインに対する低抵抗化は今後の課題である。また、OFF 特性はこの構造は良好であることを確認している。以上の結果により、Si-LSI の微細化限界を打破することが実験により示されその意義は大きい。

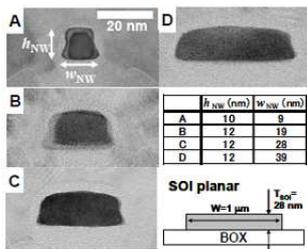


図3 試作したトランジスタのチャンネルの断面構造とその寸法

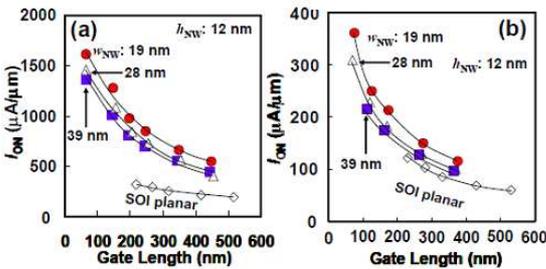


図4 (a)n型、(b)p型トランジスタの On 電流特性

さらにナノスケールシリコン結晶を用いたデバイス中の電子移動の解析を行った。特に半導体デバイス中の界面における新たなトンネル現象について、量子ドットメモリーへの電荷注入放出機構を対象として、実験による現象の抽出、理論の構築、開発した現象論的シミュレーションによる検証までを一貫して行った。デバイス中の反転層に形成された電子ガス中の電子ダイナミクスと電子間相互作用に着目して検討を進めた結果、「動的相互作用に基づく電子の協調的トンネル現象」を提案するに至った(図5)。

続いて、提案した協調的トンネル現象の体系を、次世代のナノスケール大容量メモリーセルの有力候補である電荷蓄積型メモリーセルの電荷注入過程に展開し、当該デバイスにおいても、協調的トンネルが起こりうることを明らかとした。この成果は、電荷蓄積型メモリーの新たな多値化の可能性を示唆する成果である。

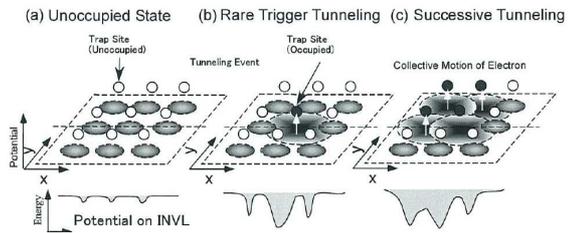


図5 協調的トンネル過程の模式図

さらに、開発した極微小信号検出回路を活用し、極微細構造の Si 結晶の界面構造揺らぎ、不純物分布揺らぎ、表面ポテンシャル揺らぎ、新奇な電子移動現象がデバイスの諸特性へ与える影響の解明を進め、総合的・定量的に取りまとめた。この総合的解析により、材料レベル及びデバイスレベルでの統計的揺らぎ現象を制御する、今後の極微細構造 Si を用いたナノスケール半導体デバイスの構築の端緒を得た。

5. 主な発表論文等

[雑誌論文] (計 26 件) 主要 15 件のみ記載

1. M. Muraguchi, Y. Sakurai, Y. Takada, Y. Shigeta, M. Ikeda, K. Makihara, S. Miyazaki, S. Nomura, K. Shiraishi, and T. Endoh, "Collective Tunneling Model in Charge Trap Type NVM Cell", Japanese Journal of Applied Physics, 2011, 印刷中, 査読有
2. T. Matsuki, R. Hettiarachchi, W. Feng, K. Shiraishi, K. Yamada, K. Ohmori, "Identification of electron trap location degrading low-frequency noise and PBTI in poly-Si/HfO₂/interface-layer gate-stack MOSFETs", Microelectronic Engineering 2011, 印刷中, 査読有.

3. K. Ohmori, K. Shiraishi, K. Yamada, “Influences of carrier transport on drain-current variability of MOSFETs”, Key Materials Engineering 470, pp. 184, 187, 2011, 査読有.
 4. M. Hori, T. Shinada, K. Taira, A. Komatsubara, T. Tanii, T. Endoh, I. Ohdomari, “Enhancing Single-ion Detection Efficiency by Applying a Substrate Bias Voltage for Deterministic Single-ion Doping”, Applied Physics Express Vol. 4, 046501-1-2, 2011, 査読有.
 5. M. Muraguchi, T. Endoh, Y. Takada, Y. Sakurai, S. Nomura, K. Shiraishi, M. Ikeda, K. Makihara, S. Miyazaki, Y. Shigeta, “Importance of Electronic State of Two-Dimensional Electron Gas for Electron Injection Process in Nano-Electronic Devices,” Physica E, 42, 2010, pp. 2602-2605, 査読有.
 6. T. Shinada, M. Hori, Y. Ono, K. Taira, A. Komatsubara, T. Tanii, T. Endoh, I. Ohdomari, “Performance evaluation of MOSFETs with discrete dopant distribution by one-by-one doping method”, Proc. of SPIE, 7637, 763711-1-7 2010), 査読有.
 7. J. Chen, T. Sekiguchi, N. Fukata, M. Takase, Y. Nemoto, R. Hasunuma, K. Yamada, T. Chikyow, “An Electron-Beam-Induced Current Investigation of Electrical Defects in High-k Gate Stacks”, ECS Transactions, Vol. 28, pp.299, 304, 査読有.
 8. A. Alguno, S. N. Filimonov, M. Suemitsu, “Step bunching and step “rotation” in homoepitaxial growth of Si on Si(110)-16×2”, Surface Science, 605 巻, 2010, 838-843, 査読有.
 9. T. Nakayama, Y. Maruta, K. Kobinara, “Chemical Trend of Schottky-Barrier Change by Segregation Layers at Metal/Si Interfaces: First Principles Study”, ECS Trans, 33, 2010, 913-919, 査読有.
 10. S. Toyoda, J. Okabayashi, M. Komatsu, M. Oshima, D. -I. Lee, S. Sun, Y. Sun, P. Pianetta, D. Kukurznyak, and T. Chikyow, “Effects of Al doping and annealing on chemical states and band diagram of Y₂O₃/Si gate stacks studied by photoemission and x-ray absorption spectroscopy”, J.Vac.Sci & Technol A, 28, pp. 16-18, 2010, 査読有.
 11. M. Hori, T. Shinada, K. Taira, N. Shimamoto, T. Endoh, I. Ohdomari, “Performance enhancement of semiconductor devices by control of discrete dopant distribution”, Nanotechnology 20, 365205 (2009), 査読有.
 12. T. Nakayama, S. Sotome, S. Shinji, “Stability and Schottky barrier of silicides: First-principles study”, Microelectronic Engineering, 査読有, 86, 2009, 1718-1721, 査読有.
 13. M. Suemitsu, Y. Yamamoto, H. Togashi, Y. Enta, Yoshigoe and Y. Teraoka, “Initial oxidation of Si(110) as studied by real-time synchrotron radiation x-ray photoemission spectroscopy”, J. Vac. Sci. Technol. B, 27 巻、2009、547-550, 査読有.
 14. T. Endoh, K. Hirose, and K. Shiraishi: “Physical Origin of Stress-Induced Leakage Currents in Ultra-Thin Silicon Dioxide Films” IEICE Trans Electron E90-C, 955-961, 2007, 査読有.
 15. T. Endoh and Y. Monma: “Study of 30-nm Double-Gate MOSFET with Halo Implantation Technology using a Two-Dimensional Device Simulator”, IEICE Trans Electron E90-C. 1000-1005, 2007, 査読有.
- [学会発表] (計 47 件)、主要 10 件のみ記載
1. T. Matsuki, R. Hettiarachchi, W. Feng, K. Shiraishi, K. Yamada, K. Ohmori, “Influence of Gate-first Process on Low-frequency Noise in EOT-scaling of Poly-Si/TiN/HfO₂/SiO₂ Gate-stack MOSFETs”, International Workshop on Dielectric Thin Films for Future ULSI Devices (IWDTF), 2011 年 1 月 21-22 日, Tokyo.
 2. P. Homhuan, T. Nabatame, T. Chikyow and S. Tungasmita, “Effect of Y Content in Ta_{1-x}Y_xC Gate Electrodes on Flatband Voltage Control for Hf-based, High-k Gate Stacks”, IWDTF-2011, January 20, 2011, Tokyo.
 3. T. Nakayama, K. Kakushima, O. Nakatsuka, Y. Machida, S. Sotome, T. Matsuki, K. Ohmori, H. Iwai, S. Zaima, T. Chikyow, K. Shiraishi, K. Yamada, Theory of Workfunction Control of Silicides by Doping for Future Si-Nano-Devices based on Fundamental Physics of Why Silicides Exist in Nature, IEDM 2010

Dec.6-8 2010, San Francisco USA.

4. T. Shinada, M. Hori, Y. Ono, K. Taira, A. Komatsubara, T. Tanii, T. Endoh, I. Ohdomari, “Reliable Single Atom Doping and Discrete Dopant Effects on Transistor Performance”, International Electron Device Meeting (IEDM), December 6-8, 2010, San Francisco, USA.
5. M. Muraguchi, Y. Sakurai, Y. Takada, Y. Shigeta, M. Ikeda, K. Makihara, S. Miyazaki, S. Nomura, K. Shiraishi, T. Endoh, “Collective Tunneling Model in Charge Trap Type NVM Cell”, International Conference on Solid State Devices and Materials, September 22-24 2010, Tokyo.
6. R. Bantaculo, E. Saitoh, Y. Miyamoto, H. Handa, M. Suemitsu, Si(111) “Growth on 3C-SiC(111)/Si(110) by using Monomethylsilane and Disilane”, 18th International Vacuum Congress (ICV-18), Aug. 23-27, 2010, Beijing, China.
7. T. Sasaki, T. Imamoto, T. Endoh, “The Analysis of Temperature Dependency of the Mobility In High-k/Metal Gate MOSFET and the Performance on its CMOS Inverter”, 2010 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices, June 30 -July 2, 2010, Tokyo.
8. T. Endoh and M. Kamiyanagi, “Novel Concept Dynamic Feedback MCML Technique for High-Speed and High-Gain MCML type D-Flip Flop” 2008 Asia-Pac Workshop on Fundamentals and Applications of Advanced Semiconductor Devices, July 9, 2008, Sapporo.
9. T. Nakayama, “Schottky barrier and stability of metal/high-k interfaces; theoretical view”, Int. Conf. Solid State Devices and Materials, Sep.19-21 2007, Tsukuba Japan [Invited].
10. T. Shinada, T. Kurosawa, M. Hori, I. Ohdomari, “Semiconductors with ordered single-dopant arrays”, Silicon Nanoelectronics Workshop, June 10-11, 2007, Lorentz center, Leiden, Netherlands [Invited].

[図書](計 3 件)

1. T. Nakayama, Y. Kangawa, K. Shiraishi, Atomic Structures and Electronic Properties of Semiconductor Interfaces, in

“Comprehensive Semiconductor Science and Technology”, Eds. Mahajan, Kamimura, and Bhattacharya, Elsevier B.V., Amsterdam (2011) Vol. I, pp.113-174.

2. K. Shiraishi, T. Nakayama, Role of computational science in Si nanotechnologies and devices, in “The Oxford Handbook of Nanoscience and Technology”, Eds. Narlikar and Fu, Oxford University Press (2010), Vol.III, pp.1-46.
3. 品田賢宏, “半導体テクノロジーのトレンドー微細化から等価的微細化と多様化へ”, テクノカレント, 459, 2008 年, ISSN 1341-0733.

[その他]

ホームページ等

日経エレクトロニクス「数個のチャネル不純物の分布が MOS トランジスタ特性に与える影響, 早稲田大学などが実デバイスで検証」
(<http://techon.nikkeibp.co.jp/article/NEWS/20101202/187858/>)

6. 研究組織

(1)研究代表者

遠藤 哲郎 (ENDO TETSUO)
東北大学・学際科学国際高等研究センター・教授
研究者番号:00271990

(2)研究分担者

末光 眞希 (SUEMITSU MAKI)
東北大学・電気通信研究所・教授
研究者番号:00134057

知京 豊裕 (CHIKYOW TOYOHIRO)
物質・材料研究機構・半導体材料センター・センター長
研究者番号:10354333

中山 隆史 (NAKAYAMA TAKASHI)
千葉大学・理学系研究科・教授
研究者番号:70189075

山田 啓作 (YAMADA KEISAKU)
筑波大学・数理物質科学研究科・教授
研究者番号:30386734

品田 賢宏 (SHINADA TAKAHIRO)
早稲田大学・高等研究所・准教授
研究者番号:30329099