

平成 22 年 5 月 17 日現在

研究種目：基盤研究（B）  
 研究期間：2007～2009  
 課題番号：19360163  
 研究課題名（和文）認識，学習と判断の機能を有する連想メモリベース VLSI ブレインの研究  
 研究課題名（英文）Memory-based VLSI brain research for realizing recognition, learning and decision capability  
 研究代表者  
 マタウシュ ハンスユルゲン（Mattausch, Hans Jürgen）  
 広島大学・ナノデバイス・バイオ融合科学研究所・教授  
 研究者番号：20291487

研究成果の概要（和文）：連想メモリベース VLSI ブレインに必要な機能コアユニットの実現アルゴリズム，VLSIアーキテクチャ、及び集積回路技術を開発した。また、実際の VLSI テストチップを設計し、パフォーマンス検証のための測定を行った。“知識パターン連想メモリと最近傍検索ユニット”の 180nm CMOS 設計で 50-245ns の高速検索，<36.5mW の低消費電力，及び>99%の正検出率を得た。“winner 読み出し及び認識決定”，“パターン学習”と“パターン最適化”のユニットらにおいて，しきい値，短期・長期記憶，及び以前認識されたパターンの平均化のコンセプトに基づいて，アルゴリズムと集積回路技術を構築と検証した。開発した VLSI ブレインの性能を評価するために，代表的なアプリケーションとして，“手書き文字認識”を選んだ。参照データ最適化アルゴリズムの効果により，誤認識率を 35%から 9%へ減少させることが確認できた。ハードウェア実装のために 180nm CMOS の VLSI ブレインテストチップを設計，試作と測定した。その結果，100MHz まで正しく動作し，学習・最適化処理に要する時間は約 2 $\mu$ s と高速で，116mW の低消費電力で自動学習を有する VLSI ブレインテストチップを実現した。

研究成果の概要（英文）：Algorithms, architectures and integrated-circuits of functional-core units for an associative-memory-based VLSI brain were developed. Additionally, actual VLSI test-chips were designed and measured. A 180nm CMOS test chip of the "knowledge-pattern storage and nearest-distance search" unit achieved 50-245ns search time, <36.5mW power consumption and >99% positive detection rate. The developed algorithms and integrated circuits for realizing the "winner readout and recognition decision", "patterns learning" and "pattern optimization" units are based on the concepts of a recognition threshold, short/long term storage and reference-pattern updates derived from the previously recognized input patterns. We selected "handwritten character recognition" as a representative application for performance evaluation of the developed VLSI brain. With the reference-data-optimization algorithms, misclassification was reduced from 35% to 9%. A VLSI-brain test chip with automatic hand-written-character learning capability functioned correctly up to 100MHz, completed each reference-pattern learning and optimization step in about 2 $\mu$ s and had a low power consumption of 116mW.

## 交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2007年度	3,500,000	1,050,000	4,550,000
2008年度	7,500,000	2,250,000	9,750,000
2009年度	2,800,000	840,000	3,640,000
年度			
年度			
総計	13,800,000	4,140,000	17,940,000

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：連想メモリ，知識システム，知能情報処理，認識，学習と発見，判断，VLSI

### 1. 研究開始当初の背景

(1) 従来には、認識、学習と判断の知的機能を實現するために、ニューラルネットワークの手法が一般的に使われているが、集積回路での實現は大変困難であった。または、ニューラルネットワークを用いて、自動学習を實現するも困難だった。

(2) 研究開始事前、研究代表者らにより、集積化し易い、新しい連想メモリアーキテクチャを發明し、開発と検証された。更に、研究代表者らは連想メモリによる、認識と自動学習を實現する、新しい VLSI ブレインのアーキテクチャを發明した。

### 2. 研究の目的

(1) 従来のニューラルネットワーク手法と異なる、研究代表者らにより近年開発された連想メモリを基に、集積回路による VLSI ブレインを實現するための新しいアーキテクチャを開発・検証し、VLSI 集積回路としての実装を行う。

- (2) VLSI ブレイン機能として下記を實現する。
- 応用分野に対応した典型的な入力データからの特徴抽出、また N 次元の入力ベクトルへの変換機能。
  - 入力データの認識。
  - 短期・長期記憶の機能を持つ学習アルゴリズムでの知識データベース学習機能。
  - 知識データベースの連続的最適化手法。
  - 認識結果に依存する判断と動作の決定方法。

(3) VLSI ブレインアーキテクチャの検証は、主要アルゴリズムの機能シミュレーション、高水準言語による集積回路アーキテクチャのモデル化、及びその鍵となる部分の CMOS テストチップの設計・試作・測定により行う。

(4) 実現可能なアプリケーションの 1 つによる VLSI ブレインのプロトタイプシステムを設計・試作する。

### 3. 研究の方法

(1) VLSI ブレインの機能コアユニットのアルゴリズム、集積化アーキテクチャ及び集積回路をシミュレーションによる開発と評価する。図 1 に、VLSI ブレインのアーキテクチャ概念図を示す。

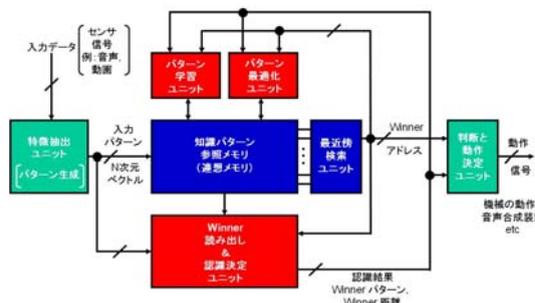


図 1. 認識、学習と判断を有する VLSI ブレインのアーキテクチャ概念図。

(2) それぞれの機能コアユニットのハードウェアを VLSI テストチップとして実装する、そして測定による機能コアユニットのパフォーマンスを評価する。

(3) VLSI ブレインの代表的なアプリケーションを選択し、VLSI テストチップを実装する。テストチップの学習、認識と判断のパフォーマンスを測定による検証する。

### 4. 研究成果

(1) 入力と参照パターンの距離を電圧の差にマッピングする原理に基づく、“知識パターン連想メモリと最近傍検索ユニット”の概念は図 2 で示されている。内部の開発した重要な回路、ビット保存セル (SC), ビット比較機 (UC), パターン比較機 (WC) は図 3 に、

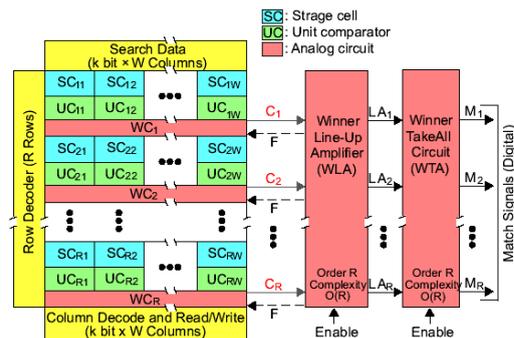


図 2. 全並列型、電圧の差にマッピングする原理に基づく、連想メモリの全体構成図。

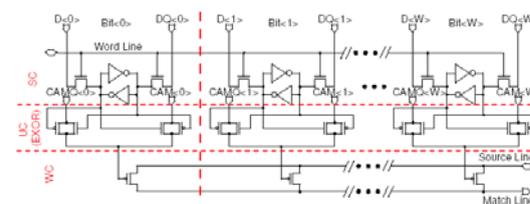


図 3. Hamming 距離指標による SC, UC, WC の回路構成。

最初の増幅器 (WLA) は図 4 に、及び最後の winner 検出増幅器 (WTA) は図 5 に示されている。図 6 は設計・試作された 180nm CMOS テストチップを示す、表 1 にはチップの評価結果を纏める。

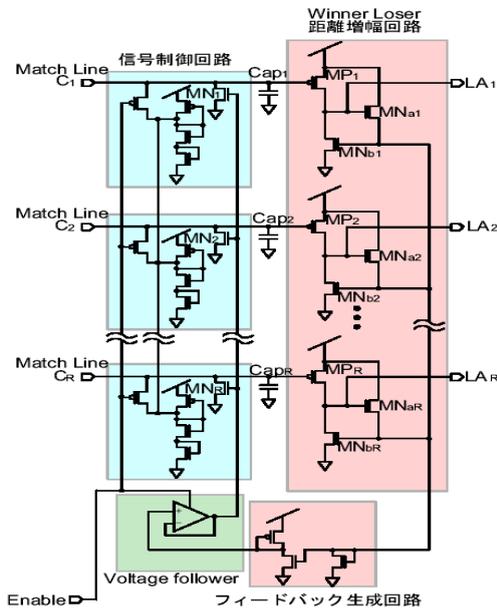


図 4 . WLA の回路構成図 .

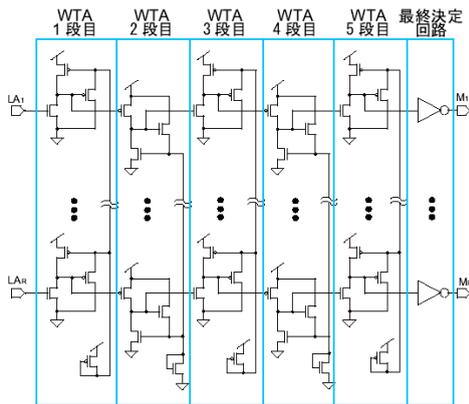


図 5 . WTA の回路構成図 .

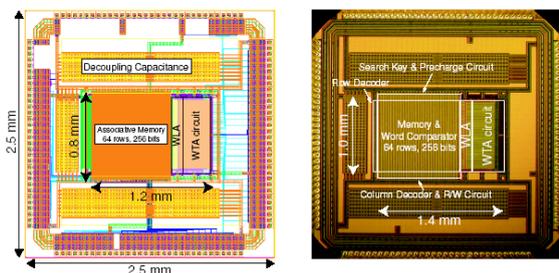


図 6 . 180nm CMOS で設計された、距離を電圧の差にマッピングする原理に基づく、“知識パターン連想メモリと最近傍検索ユニット”の VLSI チップレイアウトと写真 .

(2) 入力と参照パターンの距離を時間領域にマッピングする原理に基づく、“知識パターン連想メモリと最近傍検索ユニット”の概

テクノロジー	180 nm CMOS (1-poly, 5-A1)	
電源電圧	1.8 V	
距離指標	ハミング距離	
参照データ数	64	
データ長	256 bits	
検索時間 (RC ext. sim.)	89.8 ns 以下	
消費電力 (RC ext. sim.)	27 mW 以下	
面積	全体	1.44 mm <sup>2</sup>
	メモリ	0.41 mm <sup>2</sup> (28.47 %)
	Word Comparator	0.17 mm <sup>2</sup> (11.81 %)
	WLA + WTA	0.23 mm <sup>2</sup> (15.97 %)

表 1 . 180nm CMOS チップ (図 6) の設計と評価データの纏め . 正検出率は >67% である .

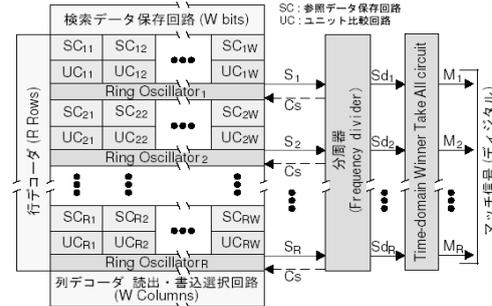


図 7 . 全並列型、電圧の差にマッピングする原理に基づく、連想メモリの全体構成図 .

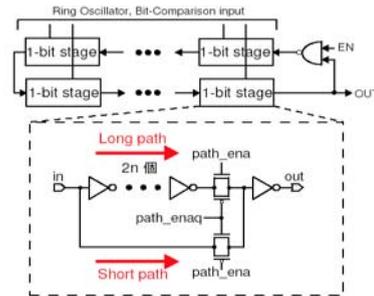


図 8 . 距離を遅延時間差にマッピング出来るリング発振器の構成 .

念は図 7 で示されている。主な違いは、パターン比較器として、リング発振器 (図 8) が採用される。それぞれのステージはパターンが一致しないビットに追加遅延時間与える。そして、タイムドメイン WTA 回路 (図 9) は全体の時間差が一番小さい winner パターン

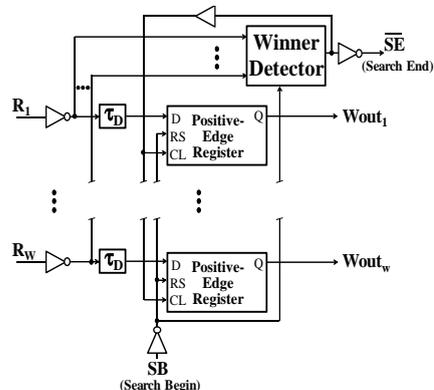


図 9 . タイムドメインの WTA 回路構成 .

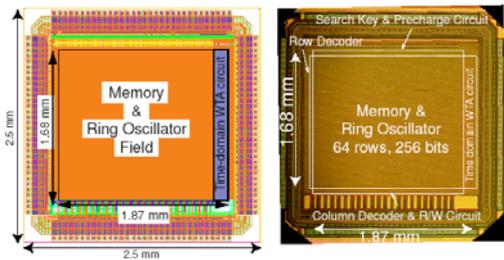


図 10 . 180nm CMOS で設計された、距離を時間の差にマッピングする原理に基づく、“知識パターン連想メモリと最近傍検索ユニット”のVLSI チップレイアウトと写真 .

テクノロジー	180 nm CMOS (1-poly, 5-A1)	
電源電圧	1.8 V	
距離指標	ハミング距離	
参照データ数	64	
データ長	256 bits	
検索時間 (測定)	50 - 245 ns	
消費電力 (測定)	< 36.5 mW	
距離 1 の差に対する時間差	770 ps	
面積	全体	3.14 mm <sup>2</sup>
	メモリ	1.04 mm <sup>2</sup> (33.1 %)
	リングオシレータ	1.01 mm <sup>2</sup> (51.3 %)
	WTA 回路	0.11 mm <sup>2</sup> (3.5 %)

表 2 . 180nm CMOS チップ (図 10) の設計と評価データの纏め . 正検出率は >99% である .

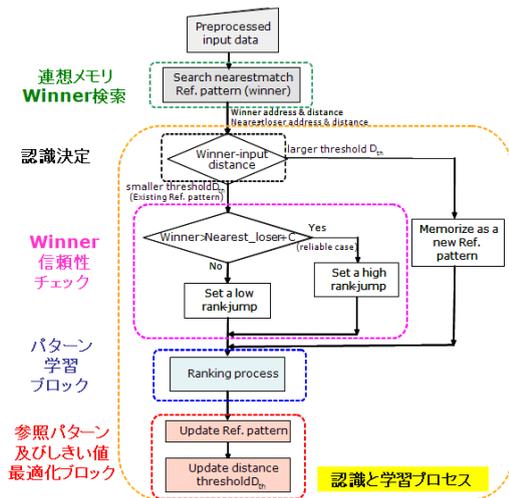


図 11 . “winner 読み出し及び認識決定”、“パターン学習”と“パターン最適化”のアルゴリズムの概念 .

を検出する . 図 10 は設計・試作された 180nm CMOS テストチップを示す . 表 2 にはチップの評価結果を纏める .

(3) 図 11 は “winner 読み出し及び認識決定”、“パターン学習”と“パターン最適化”の機能のために開発した実現アルゴリズムの概念図を示す . パターン学習及び最適化ブロックの詳細は図 12 及び図 13 で示されている . 図 14 は例として、パターン学習の性能シミュレーションの結果を紹介する .

(4) 手書き文字のアプリケーションにおいて、全ての開発したアルゴリズム、VLSI アーキテクチャ及び集積回路技術を用いて、VLSI

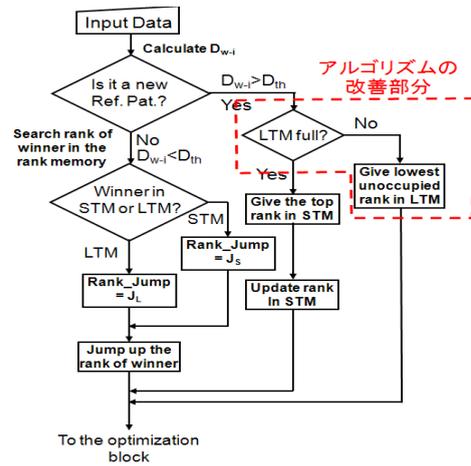


図 12 . “パターン学習”アルゴリズムの概念 .

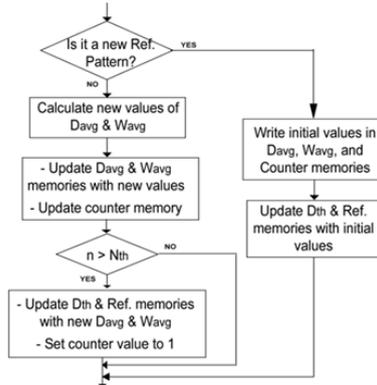


図 13 . “パターン最適化”アルゴリズムの概念 .

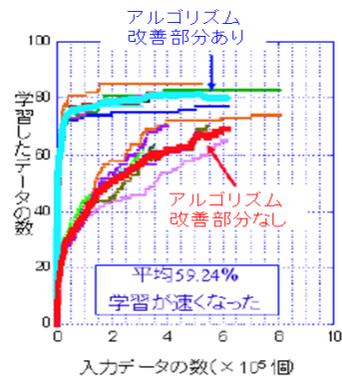


図 14 . “パターン学習”アルゴリズムの性能 .



図 15 . 手書き文字の認識と学習を有する VLSI プレインの処理の流れ .

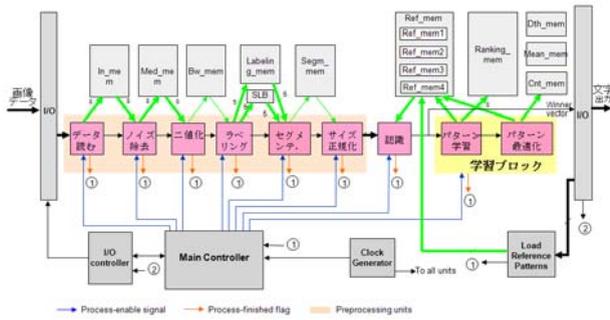


図 16 . VLSI ブレインのハードウェア概念図 .

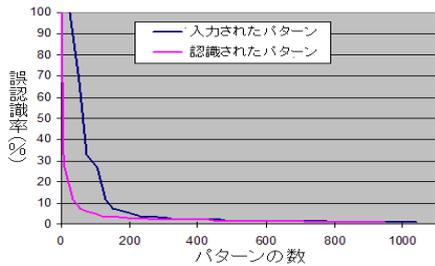


図 17 . 自動学習による正認識率の連続的な改善 .

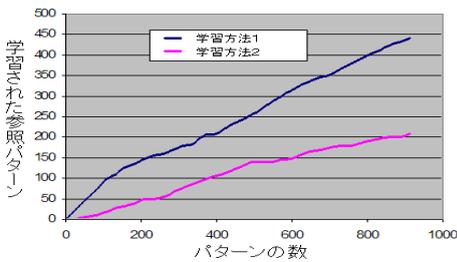


図 18 . 学習された参照パターンの増加 .

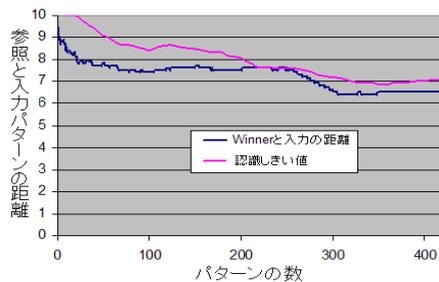


図 19 . 認識しきい値の自動学習効果 .

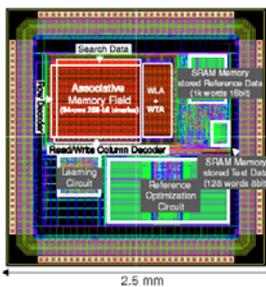


図 20 . 手書き文字の認識と自動学習を有する VLSI ブレインテストチップのレイアウト写真 , 及び設計と性能データ .

Technology	190 nm CMOS 1-poly 5-metal CMOS
Supply Voltage	1.8 V
Distance Measure	Hamming Distance
Length of data	256 bits (16x 16 pixels)
Number of Ref. data	64 words
Number of Long Term Storage data	Variable
Maximum Number of recognized input data before optimization	64
Maximum Frequency	100 MHz (Typical)
Power Consumption	116 mW @100 MHz

ブレインのプロトタイプを作成し検証した . 全体の VLSI ブレイン処理の流れの概念は図

15 で示している . 図 16 は開発した VLSI ブレインのハードウェアブロック図である . 得られた , 自動学習による連続的な正認識率の改善効果は図 17 で示されている . 図 18 は学習された参照パターンの自動増加をプロットする . 認識しきい値の自動学習効果と winner パターンの平均距離は図 19 で示されている . 試作した手書き文字を認識と学習する VLSI ブレインテストチップのレイアウト写真と性能データは図 20 に纏めている .

## 5 . 主な発表論文等

( 研究代表者、研究分担者及び連携研究者には下線 )

( 雑誌論文 )( 計 4 件 )

K. Okazaki, K. Awane, N. Nagaoka, T. Sugahara, T. Koide, and H. J. Mattausch, “Low-Power Silicon-Area-Efficient Image Segmentation Based on a Pixel-Block Scanning Architecture”, Jpn. J. Appl. Phys., Vol. 48, No. 4, Art. 04C078 (2009), 査読有

M.A. Abedin, Y. Tanaka, A. Ahmadi, S. Sakakibara, T. Koide, and H.J. Mattausch, “Realization of K-Nearest-Matches Search Capability in Fully-Parallel Associative Memories”, IEICE Trans. on Fundamentals, vol. E90-A, No. 6, 1240-1243 (2007), 査読有

( 学会発表 )( 計 18 件 )

W. Imafuku, S. Sakakibara, A. Kawabata, T. Ansari, H.J. Mattausch, and T. Koide, “Associative-Memory-Based Prototype LSI with Recognition and On-line Learning Capability and its Application to Handwritten Characters”, Proceedings of International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS'2009), 627-630, 2009.12.9, Kanazawa, Japan, 査読有

T. Kumaki, Y. Imai, T. Koide, and H.J. Mattausch, “VLSI-Architecture for Enabling Multiple Parallel Associative Searches with Standard SRAM Macros”, Proceedings of International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS'2009), 45-48, 2009.12.7, Kanazawa, Japan, 査読有

S. Sakakibara, W. Imafuku, A. Kawabata, T. Ansari, H.J. Mattausch, and T. Koide, “VLSI Design of a Handwritten-Character Learning and Recognition system based on Associative Memory”, 15th Workshop on Synthesis and System Integration of Mixed Information Technologies (SASIMI'2009), 161-166, 2009.3.9, Okinawa, Japan, 査読有

N. Nagaoka, K. Okazaki, T. Sugahara, T. Koide, and H.J. Mattausch, “Grouping Method based on Feature Matching for Tracking and Recognition of Complex Objects”, Proceedings of International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS'2008), 421-424, 2009.2.9, Bangkok, Thailand, 査読有

Ahmadi, H.J. Mattausch, M. A. Abedin, T. Koide, Y. Shirakawa, and M. A. Ritonga, “Developing a Reliable Learning Model for Cognitive

Classification Tasks Using an Associative Memory”, Proceedings of the 2007 IEEE Symposium on Computational Intelligence in Image and Signal Processing (CIISP’2007), 214-219, 2007.4.3, Honolulu, USA, 査読有

〔産業財産権〕

出願状況（計5件）

名称：連想メモリ

発明者：H.J. Mattausch, T. Koide, 他

権利者：広島大学

種類：特許

番号：2009-229601

出願年月日：2009年10月1日

国内外の別：国内

取得状況（計1件）

名称：連想メモリおよびそれを用いた検索システム

発明者：T. Koide, H. J. Mattausch, 他

権利者：広島大学

種類：特許

番号：4427574

取得年月日：2009年8月12日

国内外の別：国内

6. 研究組織

(1)研究代表者

マタウシュ ハンスユルゲン (Mattausch Hans J.)

広島大学・ナノデバイス・バイオ融合科学研究所・教授

研究者番号：20291487

(2)研究分担者

小出 哲士 (Koide Tetsushi)

広島大学・ナノデバイス・バイオ融合科学研究所・准教授

研究者番号：30243596

(3)連携研究者

研究者番号：