

平成 21 年 6 月 5 日現在

研究種目：基盤研究（C）  
 研究期間：2007～2008  
 課題番号：19560764  
 研究課題名（和文） スパッタ法によるシリサイド薄膜構造形成過程の理解と電子デバイスへの適用  
 研究課題名（英文） Understanding of growth mechanism of cobalt silicide thin films by sputtering method and its application for electron devices.  
 研究代表者  
 辻 佳子（TSUJI YOSHIKO）  
 東京大学・大学院工学系研究科・助教  
 研究者番号 10436529

## 研究成果の概要：

MOSFET-LSI の電極・配線材料として広く使用されているシリサイド薄膜において、トランジスタ特性のばらつきの原因となるシリサイド/絶縁膜界面ラフネスのない  $\text{CoSi}_2$  膜(膜厚 30 nm)を低温 (<500 °C) で形成させた。ここでは Co と Si の同時成膜による  $\text{CoSi}_2$  多結晶膜形成を試み、結晶成長の立場から膜構造形成メカニズムを理解した。また、 $\text{CoSi}_2$  電極の電氣的機能評価を行い、プロセス-構造-機能の関係を明らかにした。

## 交付額

(金額単位：円)

	直接経費	間接経費	合計
2007 年度	1,700,000	510,000	2,210,000
2008 年度	1,800,000	540,000	2,340,000
年度			
年度			
年度			
総計	3,500,000	1,050,000	4,550,000

## 研究分野：工学

科研費の分科・細目：プロセス工学 / 反応工学・プロセスシステム

キーワード：コバルトシリサイド、スパッタ、結晶成長、核発生と成長、配向、界面ラフネス、半導体デバイス

## 1. 研究開始当初の背景

スパッタ法や化学蒸着法等の薄膜プロセスは、種々のデバイス作製に欠くことの出来ない重要な技術である。薄膜成長は、基板と薄膜の結晶方位関係の有無によりエピタキシャル成長と非エピタキシャル成長に分類できる。前者は、ぬれ性と格子整合の要件を満たす基板と薄膜物質の組み合わせで起き、既に多くの基礎的研究がなされ、現象の理解に基づいた高度な制御も実現している。一方、後者は多くの材料種の組み合わせで起き、実用上は非常に重要であるにも関わらず、その

初期過程、成長過程ともに現象が複雑で理解が進んでおらず、試行錯誤的制御がなされている。

例えば、シリサイド材料の  $\text{MoSi}_2$ 、 $\text{WSi}_2$ 、 $\text{TiSi}$ 、 $\text{CoSi}_2$ 、 $\text{NiSi}$  は Si 界面での低コンタクト抵抗を得られるという特徴から、MOSFET-LSI、a-Si-および p-Si-TFT の電極として広く使用されている。特に  $\text{CoSi}_2$  は、低抵抗材料であるだけでなく、電極線幅の減少に伴い抵抗が増加するという問題（細線効果）が現れないため、デバイスの微細化にとともに注目され、Si 基板上へ Co をスパッタ

により成膜し、アニールによりシリサイド化するプロセスが検討されている。しかし、 $\text{CoSi}_2$  は、ソース・ドレイン領域で  $\text{CoSi}_2/\text{Si}$  界面のラフネスにバラツキがあると接合リークを引き起こすという問題がある。半導体メカ各社、アニール方法の改善、別金属の添加といった対策法を検討しているが、試行錯誤を繰り返しつつも、実用例が限られているのが現状である。

## 2. 研究の目的

シリサイド形成を、基板の昇温が成膜時または成膜後であるか、Si 基板上へのメタル成膜またはメタルと Si の同時成膜であるか、の観点から分類すると、図 1 のように分類できる。

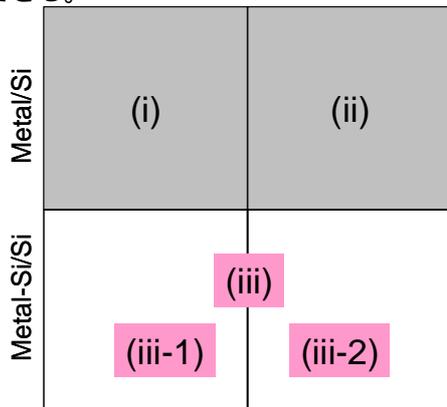


図 1. シリサイド形成プロセスの分類

$\text{CoSi}_2/\text{Si}$  界面のラフネスのバラツキを抑えるためには、プロセスの低温化が必須となる。しかし Co の固相拡散による  $\text{CoSi}_x$  成長 (i) または (ii) は、既に行った反応過程の解析より、プロセス温度  $500^\circ\text{C}$  以下では  $\text{CoSi}_2$  膜厚  $15\text{ nm}$  であっても反応時定数は  $2500\text{ s}$  となるため、現実的なプロセス構築は不可能である。

そこで、本研究では (iii-1) および (iii-2) に着目して、Co と Si の同時スパッタで  $\text{CoSi}_2$  を成膜する方法でのシリサイド膜形成を試みる。この場合、基板加熱のタイミング (成膜後 or 成膜時) や加熱温度により、発生する核のサイズと数密度が異なるはずである。また、核の配向も異なることが期待できる。さらに、結晶核の成長により膜の配向がどのように変化していくかを理解することは、膜配向の制御につながる。このように、結晶核の発生、成長に着目し、結晶成長の立場から  $\text{CoSi}_2$  膜の構造を整理し、メカニズムを理解し、 $\text{CoSi}_2/\text{Si}$  界面のラフネスのない  $\text{CoSi}_2$  膜を低温 ( $<500^\circ\text{C}$ ) で形成させることを目標とする。

また、シリサイド電極の比抵抗、シリコンとのコンタクト抵抗、リーク電流機能の評価

を行い、構造と機能の両者を満たす  $\text{CoSi}_2$  膜を形成する低温プロセスの確立を目指す。最終的には、既往の研究からの知見も併せて、プロセス - 構造 - 機能の知識を繋げ、合目的な機能を有する材料を作製するプロセスの革新を目指す。

## 3. 研究の方法

本研究では熱酸化膜 (膜厚  $300\text{ nm}$  または  $5\text{ nm}$ ) 付き Si(100) 基板を用い、マグネトロンスパッタ装置 (背圧  $<2 \times 10^{-6}\text{ Pa}$ ) にて、2 元ターゲットにより  $\text{CoSi}_x$  膜を成膜した。成膜中の Ar ガス圧は  $0.30\text{ Pa}$  とした。まず、基板温度を室温として Co と Si の比率を Co の出力によって変えて膜厚  $30\text{ nm}$  または  $100\text{ nm}$  成膜した後、真空中 ( $<3 \times 10^{-4}\text{ Pa}$ ) で、 $300^\circ\text{C}$ 、 $500^\circ\text{C}$  および  $700^\circ\text{C}$  で 10 分間アニールを行った (アプローチ (iii-1))。アニールの別の手法として波長  $905\text{ nm}$  の CW レーザー (ビーム径  $4\text{ mm}$ ) を  $20\text{ s}$  照射、あるいは波長  $355\text{ nm}$  または  $532\text{ nm}$  の YAG パルスレーザー (ビーム径  $8\text{ mm}$ 、パルス幅  $6\text{ ns}$ ) を 1 パルス照射した。

また、基板温度を  $300^\circ\text{C}$ 、 $500^\circ\text{C}$ 、 $700^\circ\text{C}$  とし、Co:Si=1:2 を狙い、膜厚を  $10\text{ nm}$ 、 $30\text{ nm}$ 、 $150\text{ nm}$  と変えて成膜した (アプローチ (iii-2))。

比較のため上記の実験の膜厚  $30\text{ nm}$  相当と同量の Si と Co を順に積層でスパッタし、 $300^\circ\text{C}$ 、 $500^\circ\text{C}$ 、 $700^\circ\text{C}$  で 10 分間 RTA を行った (アプローチ (i))。

それぞれの膜構造を X 線回折装置 (XRD)、走査型電子顕微鏡 (SEM)、透過型電子顕微鏡 (TEM) により評価した。また、四端子測定法によるシート抵抗の計測、 $\text{CoSi}_2(30\text{ nm})/\text{SiO}_2(5\text{ nm})/\text{Si}$  構造において二端子法によるリーク電流の測定を行った。

## 4. 研究成果

### (1) 同時スパッタによるプロセスの低温化

積層スパッタ (室温成膜後アニール) と同時スパッタ (室温成膜後アニール、基板加熱成膜) によるサンプル (膜厚約  $30\text{ nm}$ ) について XRD スペクトル (Out-of-plane 回折) を図 2 に示す。プロセス温度  $300^\circ\text{C}$  において、同時スパッタ膜では、 $\text{CoSi}_2$  が形成したのに対し、積

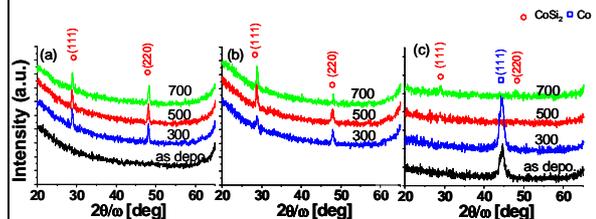


図 2.  $\text{CoSi}_x$  膜 (膜厚  $30\text{ nm}$ ) の XRD スペクトル (Out-of-plane 回折)

(a) 室温成膜後アニール (b) 基板加熱成膜 (c) 積層成膜後アニール

層スパッタ膜では Co の結晶化は進むが CoSi<sub>2</sub> のピークは検出できなかった。したがって同時スパッタにより CoSi<sub>2</sub> 形成プロセスの低温化が可能であることを確認した。

(2) 室温成膜後アニール

XRD (図 2(a)) から、アニールによってランダム配向の CoSi<sub>2</sub> 膜が形成されたことがわかった。また、断面 TEM 観察を行い、グレインサイズが膜厚よりも大きな平板状の結晶となっていることを確認した (図 3(a))。アニール前の CoSi<sub>2</sub> 薄膜は、平面 TEM 観察から、非晶質中に数 nm 程度の微結晶を含み、その数密度 (10<sup>2</sup> 個/μm<sup>2</sup>) はアニール後のグレイン数と一致することがわかった。従って、このプロセスは非晶質からの結晶化プロセスであるため、結晶配向の制御が出来ずランダム配向となったと考えられる。

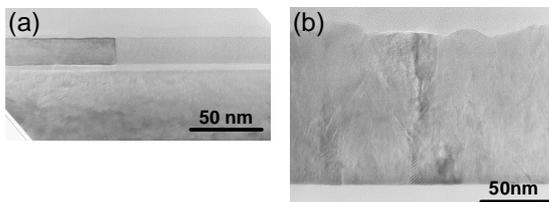


図 3. CoSi<sub>2</sub> 膜の断面 TEM 写真 (プロセス温度 500 °C)

(a) 室温成膜後アニール(膜厚約 30 nm) (b) 基板加熱成膜(膜厚約 150 nm)

アニール後の結晶粒径は、Co:Si の両論比からのずれ、ターゲットの作製手法の違いにより大きく異なることがわかった。これは、アニール時の核発生速度と結晶成長速度の相関関係で決まることを in situ TEM 観察で確認した。

(3) 室温成膜後レーザーアニール

図 4(a) に示すように CW レーザー照射によりランダム配向の CoSi<sub>2</sub> 膜が形成されることがわかった。CW レーザーを用いて長時間レーザー照射を行う場合、深さ方向の温度分布はつかず、基板内は均一な温度となる。CoSi<sub>2</sub> (150 nm)/SiO<sub>2</sub> (5 nm)/Si (0.5 mm) 構造においては、入射熱流束のほとんどが基板 Si の温度上昇に用いられることになり、熱アニールと同じ効果が得られたからと考えられる。

一方、パルスレーザー照射については、CoSi<sub>2</sub> (150 nm)/SiO<sub>2</sub> (5 nm または 200 nm)/Si (0.5 mm) 構造において、温度上昇の時間変化を次元伝熱計算により算出し、冷却過程についても、初期条件として CoSi<sub>2</sub> 層全体が融点 (1326 °C) の固体、SiO<sub>2</sub>、Si は 0 °C と与えて検討した。膜厚や熱流束を変えることで、SiO<sub>2</sub> 界面付近の温度上昇を抑制しつつ、表面の CoSi<sub>2</sub> のみを融解、再結晶させることができると考えられ、SiO<sub>2</sub> への熱負荷の軽減ができると考えられる。また、SiO<sub>2</sub> 界面付近

の CoSi<sub>2</sub> が非晶質のままであれば、ラフネスの軽減にもつながると考えられる。

実際に、波長 532 nm のパルスレーザーを照射により CoSi<sub>2</sub> 膜は結晶化することが確認され、照射強度が強いほど結晶化が進行することがわかった (図 4(b))。しかし、平面・断面 SEM 観察の結果より、CoSi<sub>2</sub> 膜が数 μm の構造に割れ、SiO<sub>2</sub> 膜も膜厚途中でクラックが入っていることがわかった。これは冷却時の熱応力による可能性があるが、今後の検討課題である。更に、下部は out of plane、in plane 方向ともに粒径数 nm の粒状構造、上部は in plane 方向の粒径 数 10 nm の柱状構造になっていることがわかった。

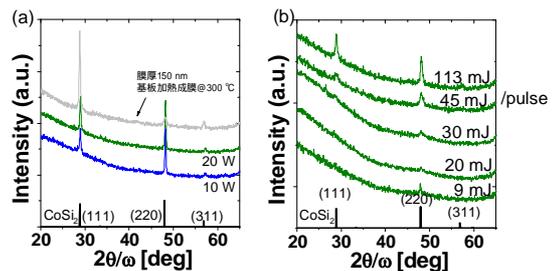


図 4. レーザー照射後 CoSi<sub>2</sub> 膜(膜厚 150 nm)の XRD スペクトル

(a) =905 nm CW レーザー (b) =532 nm YAG パルスレーザー

(4) 基板加熱成膜

CoSi<sub>x</sub> 組成が CoSi<sub>2</sub> 両論比、Si 過剰、Co 過剰のそれぞれの薄膜において、基板温度 300 °C、500 °C、700 °C で膜厚をパラメータとして成膜したサンプルの out of plane XRD スペクトルから求めた (111) 配向度および in plane XRD スペクトルから求めた面内方向結晶子サイズを図 5 に示す。組成に依らず、基板温度の上昇と共に (111) 配向度、結晶子サイズ共に大きくなることがわかった。(111) 配向度の増大は、CoSi<sub>2</sub> の表面エネルギーが最小となる (111) 配向の初期核の割合が増加しているためと考えられる。また、結晶子サイズの増大は、体積拡散あるいは表面拡散の増大によると考えられる。成膜温度 500 °C で膜厚 150 nm 成膜した Si 過剰膜について断

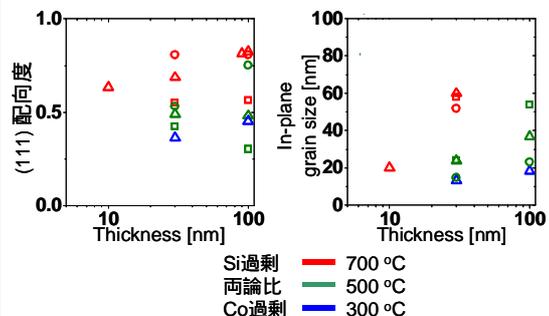


図 5. 基板加熱成膜 CoSi<sub>2</sub> の (111) 配向度および in plane 結晶子サイズ

面 TEM 観察を行ったところ(図 3(b))、(111) 配向のグレインが優先的に成長し、錐体型のグレインを形成する Evolutionary selection が起こっていることがわかった。一方、成膜温度 700 °C で膜厚 150 nm 成膜した Co 過剰膜は断面 SEM 観察より、膜の凝集が始まっていることがわかった。このことより、Co 過剰膜においては体積拡散が促進されると考えられる。

(5) 電気特性の評価

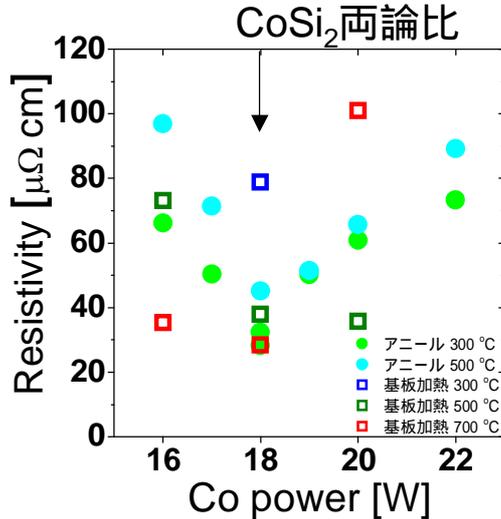


図 6. CoSi<sub>x</sub> の抵抗率

測定したシート抵抗から求めた抵抗率の Co:Si 組成およびプロセス温度依存性を図 6 に示す。両論比の CoSi<sub>2</sub> 膜のとき抵抗率は最小になり、プロセス温度の上昇により抵抗値は低減されることがわかった。また、抵抗率の温度依存性は Si 過剰 CoSi<sub>2</sub> 膜でより顕著に現れる。抵抗率は(2)、(3)の検討で明らかになったグレインサイズや配向の寄与が小さいことが示唆される。抵抗率に影響する因子として、高温プロセスほど結晶中の体積拡散がさかになり、欠陥が減少するということが考えられる。また、室温成膜後アニールにより作製した Co 過剰 CoSi<sub>x</sub> 膜では過剰 Co が結晶中の体積拡散を促進させるため、プロセス温度による抵抗値の違いが小さいと考えられる。

CoSi<sub>2</sub> ( 30 nm ) / SiO<sub>2</sub> ( 5 nm ) / Si 構造におけるリーク電流を測定した。室温成膜・アニールなしのサンプルと比較すると、アニール処理あるいは成膜時の基板加熱により、リーク電流が増大することがわかったが、基板加熱のタイミングやプロセス温度によるリーク電流値に有意の差は認められなかった。断面 TEM 観察によって、CoSi<sub>2</sub> 形成により CoSi<sub>2</sub> と SiO<sub>2</sub> の界面で 1 nm 程度のラフネスが生じることを確認している。本実験で用いた 5 nm の SiO<sub>2</sub> 上ではその影響は小さいが、実際のデバイスでは 1~2 nm 程度の絶縁膜が使用されており、ラフネスの影響は大きくなると考

えられる。

(6) まとめ

Co と Si の同時成膜により、現行 Co/Si 積層膜の熱アニールプロセスに比べて、低温での多結晶 CoSi<sub>2</sub> 形成が実現した。このとき、室温成膜後アニールでは平板状、基板加熱成膜では柱状の結晶構造を持つ CoSi<sub>2</sub> 膜が形成された。また Co:Si の両論比からのずれによりグレインサイズをはじめとした微細構造に違いがあることがわかったが、この現象について結晶核の発生、成長に着目し、結晶成長の立場から CoSi<sub>2</sub> 膜の構造を整理した。

レーザー照射による多結晶 CoSi<sub>2</sub> 膜の構造制御については、伝熱計算と実験を併用することにより、効率的に結晶化プロセスを見出すことが出来たが、膜はがれ等の問題が解決出来ておらず、今後の課題である。

さらに、CoSi<sub>2</sub> 薄膜の抵抗率は Co:Si の両論比からのずれやプロセス温度に依存するが、これらの物性や CoSi<sub>x</sub> 膜の構造を膜成長のメカニズムの観点から整理を行い、一部 in situ TEM 観察で確認できた。

このように、本研究では、低温プロセスによる多結晶 CoSi<sub>2</sub> 膜について、結晶成長の基礎に立ち返り、プロセスを重視する化学工学的なアプローチで取り組むことで、構造制御のための知見を得ることが出来た。この知見は化合物の結晶成長の基礎的な知見として別材料にも適応可能である。

今後、実際のデバイスに近い条件下における機能の評価を通して、ゲート電極材として適した構造を明らかにする。

5 . 主な発表論文等

( 研究代表者、研究分担者及び連携研究者には下線 )

[ 雑誌論文 ] ( 計 1 件 )

Y. Tsuji, M. Mizukami and S. Noda, "Mechanism of CoSi<sub>2</sub>/Si epitaxy and fabrication process of double heteroepitaxial Si/CoSi<sub>2</sub>/Si", Thin Solid Films 516, 3989-3995 (2008). 査読有

[ 学会発表 ] ( 計 1 件 )

辻由樹絵、辻佳子、野田優、山口由岐夫、「電子デバイス用コバルトシリサイド薄膜の結晶成長の理解と制御」、社団法人 化学工学会、2008.9.26.、仙台

6 . 研究組織

(1) 研究代表者

辻 佳子

東京大学・大学院工学系研究科・助教

研究者番号：10436529

(2) 研究協力者

中村新一

青山学院大学・機器分析センター・技術主幹

研究者番号：なし