

平成 22 年 5 月 24 日現在

研究種目：若手研究（A）  
 研究期間：2007～2009  
 課題番号：19680002  
 研究課題名（和文） 四桁の消費電力可変範囲をもつセンサノード向けプロセッサの開発  
 研究課題名（英文） Development of a sensor-node processor with four order of magnitude variable power dissipation  
 研究代表者  
 橋本 昌宜（HASHIMOTO MASANORI）  
 大阪大学・大学院情報科学研究科・准教授  
 研究者番号：80335207

研究成果の概要（和文）：センサネットワークを構成するセンサノードに求められる、「超低電力低演算動作」を実現するプロセッサを開発するとともに、その実装に必要なデバイスモデリングや回路技術を開発した。65nm プロセスでプロセッサの試作評価を行ったところ、通常の同期動作の場合、0.5V のときに 4.18pJ/cycle を達成し、非同期動作を導入することでさらに 40% 消費エネルギー削減ができることを確認した。

研究成果の概要（英文）：This project developed a processor that realizes “ultra-low power operation” demanded to sensor nodes composing sensor networks. Also, device modeling and circuit techniques needed to implement the processor was developed. Evaluating the processor on a test chip fabricated in 65nm process, the processor archived 4.18pJ/cycle at 0.5V in a normal synchronized operation mode, and the energy dissipation was further reduced by introducing an asynchronous operation.

## 交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2007 年度	6,400,000	1,920,000	8,320,000
2008 年度	6,900,000	2,070,000	8,970,000
2009 年度	4,000,000	1,200,000	5,200,000
年度			
年度			
総計	17,300,000	5,190,000	22,490,000

研究分野：VLSI 設計技術

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：ハードウェア設計、センサネットワーク

## 1. 研究開始当初の背景

センサネットワークへの期待が高まっている。環境モニタリングや、ヘルスケア、流通追跡、災害の障害報告など、多種のアプリケ

ーションが考えられており、将来の安全安心な生活を送る上で必要不可欠な技術である。センサネットワークはセンサノードと呼ばれるセンサとプロセッサ、通信機能が集積されたデバイスから構成されており、センサノ

ード間がアドホックネットワークなどで接続されている。センサノードは設置容易性から電池駆動のものが多く、低電力化が絶対不可欠である。

センサノードに搭載されるプロセッサには「超低電力低演算量動作」が求められ、電池の消耗を抑えるため、場合によっては環境からのエネルギー(太陽光や振動、温度差など)による動作を実現するため、サブ $\mu$ W動作が好ましい。

これまで、電源電圧やクロック周波数を可変にすることで低電力動作を実現する技術が研究されてきた。与えられたタスクを最小のエネルギーで実行する電源電圧やクロック周波数を求める問題などが多くの研究者によって解かれてきた。しかし、通常の電源電圧の可変範囲は MOS トランジスタが通常の強反転領域で動作する範囲内であり、例えば 1V のデバイスでは 0.6-1V 程度が可変範囲であった。一方、ここ数年 200mV 程度の動作電圧で回路を動作させるサブスレッショールド設計がいくつかの研究機関(MIT、Michigan 大、Purdue 大)で研究されている。MOS トランジスタのサブスレッショールド領域を用いて論理のスイッチングを実現するため非常に低速ではあるが、単に消費電力が小さいだけでなく消費エネルギーも低減することができるため、低消費電力、低エネルギー動作が求められる分野での利用が期待されている。

## 2. 研究の目的

本研究では、通常の強反転領域動作からサブスレッショールド領域動作まで非常に大きな電源電圧変動範囲をもつセンサノード向けプロセッサを開発する。「超低電力低演算量動作」時に最大動作速度時の消費電力に対して4桁小さい数百 nW 動作を達成することを目標とする。

## 3. 研究の方法

超低電源電圧で回路を動作させるには、主に3つの問題、(1)製造ばらつきに弱い (2)信頼性の低下 (3)設計技術の未確立、がある。

(1) 製造ばらつきに弱い問題に対し、トランジスタばらつきのモデリング技術、適応的速度制御技術を開発する。

(2) 信頼性の低下の問題に対し、超低電圧動作 SRAM のソフトエラー耐性の評価を行い、実用的な耐性を有するか確認する。

(3) 設計技術について、適応的速度制御を利用するための設計技術を確立する。

提案研究では、これら3つの問題点に解決策を提示し、サブスレッショールド動作に適したプロセッサアーキテクチャを開発して、超低電圧動作するプロセッサを試作デバイスで実証する。

## 4. 研究成果

### トランジスタばらつきのモデリング技術

製造ばらつき、特にトランジスタ閾値電圧 ( $V_{th}$ ) ばらつきに弱い低電圧動作回路の性能モデリングを行うため、ばらつき測定用デバイスアレイ回路を設計し、90nmCMOS プロセスで試作した(図1参照)。サブスレッショールド領域におけるトランジスタ電流電圧特性のばらつきとリングオシレータの発振周波数のばらつきを測定し、低電圧動作回路の速度ばらつきは、閾値電圧( $V_{th}$ )とサブスレッショールド・スイング・パラメータのばらつきを用いて精度よく再現できることを明らかにした。また基板バイアスによる  $V_{th}$  シフトについて、基板バイアスを印加していないときの  $V_{th}$  の値にかかわらず、印加前後の  $V_{th}$  比がほぼ一定であり、決定論的に基板バイアスの効果がモデル化できることを明らかにした。

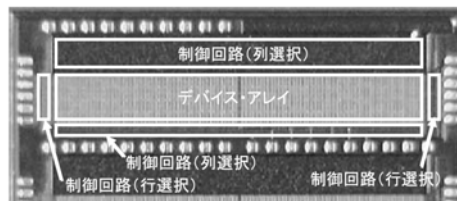


図1: 試作したデバイスアレイ回路  
(90nm CMOS)

### 適応的速度制御

製造ばらつきによる静的な遅延ばらつき、ならびに温度や電源電圧などによる動的な遅延変動を検出し、目標の動作速度に対して余裕がある場合は回路を低速化、逆に動作速度に満たない場合は回路を高速化する適応的速度制御方式の設計技術について研究を行った(図2参照)。遅延変動をタイミングエラー予告フリップフロップ(FF)で検出し、消費電力のオーバーヘッドが小さく、タイミングエラー発生確率を要求値以下にする設計手法を開発した。エラー予告 FF が必ずしもクリティカルパスに挿入するのが適切ではなく、考案手法によって最適位置と遅延値が選択できる。また、本適応的速度制御を加算器に適用し、試作 VLSI チップで効果を評価したところ、通常のワーストケース設計に対して46%電力削減が可能であった。

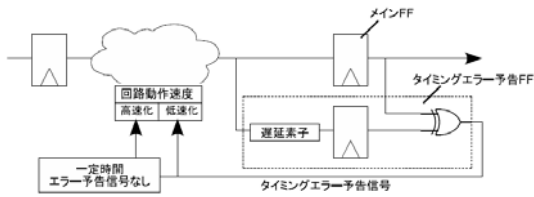


図2: タイミングエラー予告フリップフロップを用いた適応的速度制御

### 性能補償機構の設計技術の開発

VLSI チップ製造後の性能補償時には、リーク増加を最小限に抑えつつ遅延補償を行う必要がある一方で、柔軟で詳細な性能補償粒度は、製造後テストにかかるコストが大きくなるため望ましくない。そこでチップの取り得る補償状態数の削減と補償判定の簡略化により、テストコストを大幅に減少させることのできるクラスタリング方法を開発した(図3参照)。実験では、クラスタリングを行わない場合に比べて57%のリーク削減ができた。

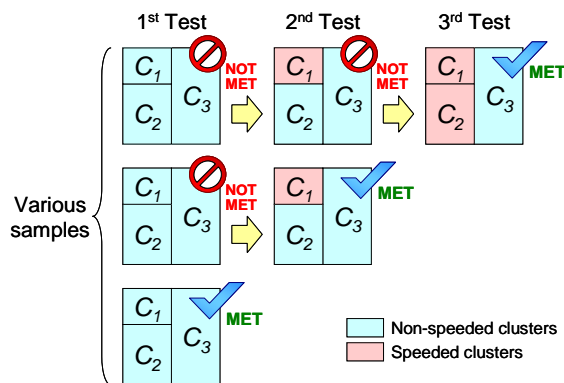


図3: 製造後テストによる性能補償フロー

### 超低電圧SRAMのソフトエラー耐性評価

サブスレッショルド SRAM の $\alpha$ 線に対するソフトエラー耐性を測定し、実用的なエラー耐性を有するかどうかを調査した。10T SRAM の $\alpha$ 線照射実験結果では、1.0V 動作時に比べて0.3V 動作時にはソフトエラー率が8倍となった(図4参照)。複数ビット数は低電圧動作時に増加するものの、通常のECCがエラー訂正に有効であることが分かった。

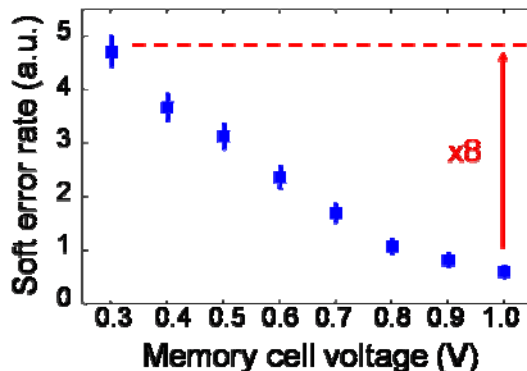


図4: ソフトエラー率の電圧依存性

### プロセッサのアーキテクチャ設計

超低電圧回路は動作周波数が低く、リークエネルギーの割合が大きいなどの特性を持つため、超低電圧動作に適したアーキテクチャ設計が必要となる。本研究では、プロセッサを構成する部分回路の内、面積占有率の高い汎用レジスタ、パイプラインレジスタの構成を変えながら、SHA-1, TEA, CRC の3種類のプログラムの実行時に、消費エネルギーが最小となるプロセッサアーキテクチャについて、65nm プロセス、300mV 動作を想定して検討した。その結果、3つのプログラムにおいて実行時の消費エネルギー、実行サイクル、プロセッサの電力等の観点からバランスが良いのはレジスタビット幅32bit、本数8、パイプラインステージ数3の構成である事が分かった。その場合、動作周波数は約161kHz、SHA-1 実行時のプロセッサコアの消費エネルギーは約1.03pJ/inst、メモリの消費エネルギーは約1.55pJ/instという評価結果が得られた。また、回路面積の低減が消費エネルギーの低減に必ずしも結びつかず、プロセッサ面積が小さくなると、メモリによる消費エネルギーが支配になってくることを示した(図5参照)。

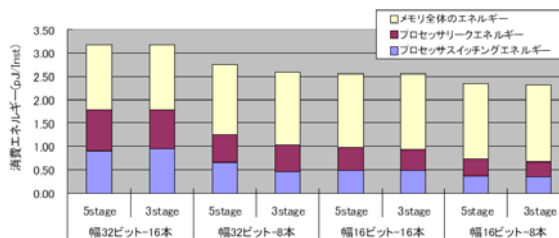


図5: さまざまなアーキテクチャにおける消費エネルギー

### プロセッサ開発

超低電源電圧で動作するプロセッサについて、65nm プロセスで試作評価を行った。通常の同期動作の場合、0.5V のときに4.18pJ/cycle を達成し(図6)、さらに非同期動作を導入することでさらに40%消費エネルギー削減ができることを確認した。

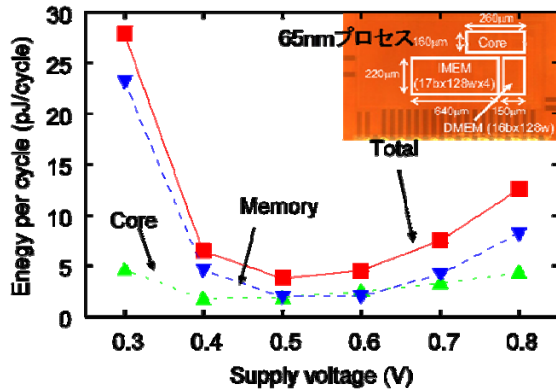


図 6: 試作プロセッサの電源電圧とエネルギー/サイクルの関係

## 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 9 件)

- [1] H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "Transistor Variability Modeling and Its Validation with Ring-Oscillation Frequencies for Body-Biased Subthreshold Circuits," *IEEE Trans. on VLSI Systems*, in press, 査読有.
- [2] H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "Alpha-Particle-Induced Soft Errors and Multiple Cell Upsets in 65-nm 10T Subthreshold SRAM," *Proceedings of International Reliability Physics Symposium (IRPS)*, pp. 213-217, 2010, 査読有.
- [3] D. Kuroda, H. Fuketa, M. Hashimoto, and T. Onoye, "A 16-Bit RISC Processor with 4.18pJ/cycle at 0.5V Operation," *Proceedings of IEEE COOL Chips*, p. 190, 2010, 査読有.
- [4] H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "Adaptive Performance Control with Embedded Timing Error Predictive Sensors for Subthreshold Circuits," *Proceedings of Asia and South Pacific Design Automation Conference (ASP-DAC)*, p. 361 - 362, 2010, 査読有.
- [5] H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "Trade-Off Analysis between Timing Error Rate and Power Dissipation for Adaptive Speed Control with Timing Error Prediction," *IEICE Trans. on Fundamentals*, vol. E92-A, no. 12, pp. 3094-3102, December 2009, 査読有.
- [6] H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "Adaptive Performance Compensation with In-Situ Timing Error Prediction for Subthreshold Circuits," *Proceedings of IEEE Custom Integrated Circuits Conference (CICC)*, pp. 215-218, 2009, 査読有.
- [7] K. Hamamoto, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "Tuning-Friendly Body Bias

Clustering for Compensating Random Variability in Subthreshold Circuits," *Proceedings of IEEE/ACM International Symposium on Low Power Electronics and Design (ISLPED)*, pp. 51-56, 2009, 査読有.

[8] H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "Trade-Off Analysis between Timing Error Rate and Power Dissipation for Adaptive Speed Control with Timing Error Prediction," *Proceedings of Asia and South Pacific Design Automation Conference (ASP-DAC)*, pp. 266-271, 2009, 査読有.

[9] H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "Correlation Verification between Transistor Variability Model with Body Biasing and Ring Oscillation Frequency in 90nm Subthreshold Circuits," *Proceedings of IEEE/ACM International Symposium on Low Power Electronics and Design (ISLPED)*, pp. 3-8, August 2008, 査読有.

[学会発表] (計 6 件)

- [1] 橋本昌宜, 更田裕司, 尾上孝雄, "製造ばらつきや環境変動を許容するサブスレッショルド回路設計," 2010 年電子情報通信学会総合大会, 仙台市, 2010/3/17.
- [2] 黒田 弾, 更田 裕司, 橋本 昌宜, 尾上 孝雄, "低消費エネルギー動作に適した超低電圧プロセッサのアーキテクチャ評価," 情報処理学会SLDM研究会, vol. 2009-SLDM-141, 金沢市, 2009/10/16.
- [3] 濱本浩一, 橋本昌宜, 密山幸男, 尾上孝雄, "レイアウトを考慮した基板バイアスクラスタリング手法," 電子情報通信学会 VLSI設計技術研究会, no. VLD2008-159, 那覇市, 2009/3/13.
- [4] 更田裕司, 橋本昌宜, 密山幸男, 尾上孝雄, "サブスレッショルド回路における基板バイアスを考慮したトランジスタのばらつきモデリングとリングオシレータを用いた検証," 電子情報通信学会 VLSI設計技術研究会, no. VLD2008-160, 那覇市, 2009/3/13.
- [5] H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "Vth Variation Modeling and Its Validation with Ring Oscillation Frequencies for Body-Biased Circuits and Subthreshold Circuits," *Proceedings of Workshop on Test Structure Design for Variability Characterization*, San Jose (USA), 2008/11/13.
- [6] 更田裕司, 橋本昌宜, 密山幸男, 尾上孝雄, "タイミングエラー予告を用いた適応的速度制御におけるタイミングエラー頻度と消費電力のトレードオフ解析," 情報処理学会DAシンポジウム, pp. 217-222, 浜松市, 2008/8/27.

6. 研究組織

(1) 研究代表者

橋本 昌宜 (HASHIMOTO MASANORI)  
大阪大学・大学院情報学研究科・准教授  
研究者番号：80335207

(2) 研究分担者

該当無し

(3) 連携研究者

該当無し