

平成21年5月13日現在

研究種目：若手研究(A)  
 研究期間：2007～2008  
 課題番号：19686019  
 研究課題名（和文）超高速低損失電界効果ドリフト層を有する新しい3次元パワーデバイス構造に関する研究  
 研究課題名（英文）A Study on New Three-Dimensional Ultra High-Speed and Low-Loss Power Devices with Electric Field Effect Drift Layer  
 研究代表者  
 程 焯涛 (CHENG WEITAO)  
 東北大学・未来科学技術共同研究センター・助教  
 研究者番号：60431540

## 研究成果の概要：

本研究は、より環境にやさしい省エネルギー社会の実現に重要な役割をもつ高速かつ低損失パワーデバイスの実用を目指し、デバイス形成プロセスおよびパワーデバイスの構造そのものに着目し、チャンネル抵抗などオン抵抗を大幅に低減することに成功し、シリコン系でもワイドギャップ系でも応用可能な非常に高性能かつ低損失な新しい2次元および高集積度の3次元パワーデバイスを実現可能であることを実証した。

## 交付額

(金額単位：円)

	直接経費	間接経費	合計
2007年度	17,400,000	5,220,000	22,620,000
2008年度	3,200,000	960,000	4,160,000
年度			
年度			
年度			
総計	20,600,000	6,180,000	26,780,000

## 研究分野：工学

科研費の分科・細目：電気電子工学・電力工学・電気機器工学

キーワード：パワーデバイス

## 1. 研究開始当初の背景

パワーエレクトロニクスデバイスは現代社会のあらゆる分野で幅広く利用されている。特に、これから環境にやさしい省エネルギー型社会を実現するには、低消費電力、高耐圧、高速スイッチング、低損失かつ高信頼性を有するパワーデバイスの研究開発はますます重要となる。現在使われているパワーデバイスでは基本的には低濃度のドリフト層を設けることで空乏層を伸ばし、高耐電圧を実現している。しかし、デバイスのスイッチング速度はオン抵抗によって制限されている。パワーデバイスの動作時オン抵抗は、

高耐圧のデバイスになるほど、チャンネル抵抗と高いドリフト層抵抗に制限されているため、デバイスのスイッチング動作速度と変換効率が劣化している。例えば、機械式スイッチとして使われてきたリレーなどは損失が極めて小さいが、機械的操作のため動作回数や寿命に制約があるので、低損失の半導体スイッチに切り替えるニーズが強い。現状のパワーデバイス動作原理、構造および材料ではこの物理限界を突破するためにはワイドギャップ材料であるSiCなどに変更する以外に方法はない。本研究では今までと異なる新しいパワーデバイスの動作原理、構造に着目

し、同じシリコン材料のままでも、従来と同程度の耐圧、従来よりも低オン抵抗を有する超低損失高速のパワーデバイス構造設計指針を提案する。本構造は後述するようにシリコンに限定されたものではなく、半導体材料であれば適用可能であり、将来のワイドギャップ半導体にも適用できる。

## 2. 研究の目的

本研究では、(1)物理限界を打ち破るために、絶縁膜をドリフト層上に形成し、電界効果を利用することで、ドリフト層のオン抵抗を従来のバルク抵抗から MOS デバイスのチャンネル抵抗に替えることによって、ドリフト層のオン抵抗が大幅に低減される。(2)高速スイッチングを実現するため、蓄積型デバイス構造の導入と従来の Si(100)面以外の面方位を有するシリコン材料の導入により、蓄積された少数キャリア数を減らす同時に、チャンネル抵抗を低減し、高速スイッチング特性を改善する。(3)3次元立体 SOI パワーデバイス構造を導入することで、単位ウェハー面積の電流駆動能力は大幅に向上し、チャンネル抵抗部分を大幅に減らすことが可能となる。同時に、チャンネル面積が実効面積と共に増え、ドリフト層のオン抵抗はさらに低減することが実現可能となる。パワーデバイスの集積度を大幅に向上することが可能となる。この新しい手法を用いて、従来の新材料の導入とは異なり、パワーデバイス構造を最適化設計することで特性を最大限に引出し、低消費電力、高耐電圧、高速スイッチング、低損失かつ高信頼性のパワーデバイスを実現することが本研究の特徴である。キャリアの伝導メカニズム、信頼性、耐圧特性とその面方位依存性、デバイス構造依存性を解明することは極微細半導体デバイスにも応用でき、学術的意義が大きいとともに、実用化に向けコンパクトモデルを開発できれば、高性能の RF 通信用や自動車用パワーデバイスの設計にも極めて有用である。デバイスの用途に応じて、絶縁膜厚およびドリフト層幅を変えれば、幅広い用途のパワーエレクトロニクスに対応できる。本研究成果で得られる構造は従来と同じプロセスで形成可能ということと安価なシリコン材料を使うということで、コストが低く抑えられ、普及しやすい点で優れている。環境にやさしい省エネルギー型社会を実現するには役に立つであろう。

## 3. 研究の方法

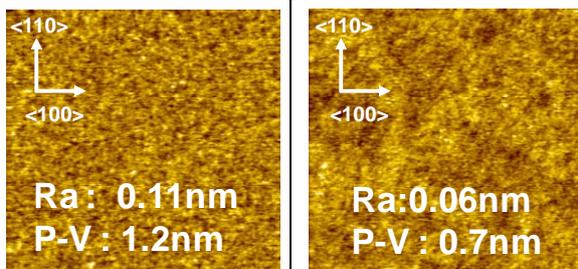
本研究では、研究代表者らがこれまでに提案してきた(1)電界効果チャンネル、ドリフト層オン抵抗特性と面方位、チャンネル方向および3次元デバイス構造依存性を明らかにする。従来のパワーMOSデバイスでは高耐電圧

を実現するには、ドリフト層濃度を下げなければならないため、ドリフト層バルク抵抗は極めて高い。しかし、パワーデバイスの高速スイッチング特性を実現するには、抵抗を徹底的に低減することが必要である。今までのパワーデバイス構造では高耐圧と低オン抵抗を同時に実現することが極めて困難だった。それに対して蓄積型電界効果ドリフト層ではオン抵抗はチャンネル抵抗とバルク抵抗の並列抵抗であるため、さらなるドリフト層オン抵抗低減化が可能である。そして、従来のパワーデバイスのドリフト層では同じ濃度でもp型のほうが抵抗が高いという問題点があるのに対して、Si(110)面ではホールの移動度は従来用いられるSi(100)面の3倍程度になるため、Si(100)面とは異なる面方位を積極的に導入すれば、チャンネル抵抗のみならず、電界効果ドリフト層のオン抵抗のさらなる大幅低減も期待できる。そして、新しい3次元電界効果SOIデバイス構造の導入では側面もチャンネルとして使えるので、単位面積あたりの実効チャンネル面積は大幅に増加させられ、パワーデバイスのオン抵抗が大幅に改善できることが期待できる。3次元蓄積型電界効果ドリフト層SOIパワーデバイスでは、チャンネルとドリフト層の蓄積層の下にあるバルク層もキャリア伝導が可能のため、ドーピング濃度によっては大幅なオン抵抗低減が実現可能となる。さらに、従来のパワーデバイスに比べ、集積度においても大幅向上が可能である。ただし、キャリア移動度、バルク電流の面方位、チャンネル方向依存性、3次元SOI電界効果デバイス導入する際、トータルの電流駆動能力とデバイスを構成する各面とそのチャンネル方向との関係、電界集中効果および解決策を明らかにする必要がある。実際に試作完成した各面方位とチャンネル方向を有する反転型、蓄積型SOIデバイスおよび3次元デバイスから電流駆動能力を明らかにする。(2)電界効果トランジスタパワーデバイスの少数キャリア特性。パワーデバイスの高速スイッチングと安定性はいかに少数キャリアを速く消滅させるのかに律速される。SOIパワーデバイスでは、インパクトイオン化により大量に生成する少数キャリアはソース端に蓄積される。ボディとソースのバリアは低ければ低いほど、蓄積される少数キャリアの量は少ない。従来のp/n接合ソース端での約0.8Vのバリアに比べ、 $n/n^+$ のような蓄積型トランジスタソース端バリアは0.2~0.3V程度で非常に低い。実際に試作した蓄積型SOIデバイスではより高い電源電圧でも少数キャリアの蓄積効果がなく、安定に動作していることが分かる。この少数キャリアを蓄積しない特性がスイッチング特性だけではなく、kink現象を抑え、デバイスの安定動作と耐圧にも影響を与える。反転型と

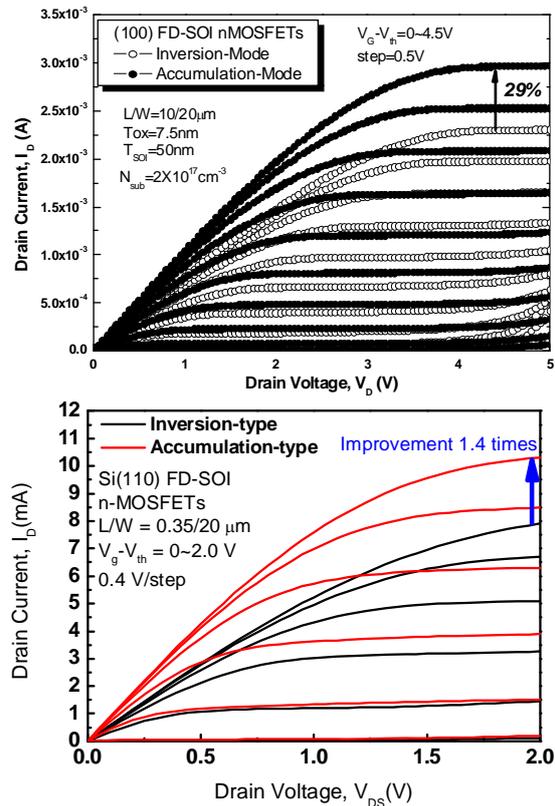
蓄積型電界効果トランジスタパワーデバイスにおけるこの少数キャリア特性を明らかにする。(3) コーナー丸め処理、表面平坦化などプロセスによるデバイス信頼性と特性の向上。コーナー効果は3次元デバイスの信頼性に大きな影響を与える。コーナー効果を抑えるために、色んな丸め酸化手法が研究されてきたが、定量的な解析はいまだにされていない。本研究ではシリコンドリフトという新手法を導入する同時に、丸め酸化がコーナー効果に与える影響を定量的に解析する。さらに、3次元デバイスでは側面もキャリアが伝導するために、デバイスの電流駆動能力を向上させるためには表面だけではなく、側面でも平坦化する必要がある。本研究室が取り込んでいる原子レベル平坦化技術と表面荒れさせない洗浄技術を駆使し、3次元デバイスを形成し、プロセスがデバイス特性に与える影響を明らかにした上で、形成プロセスの最適化を行う。

#### 4. 研究成果

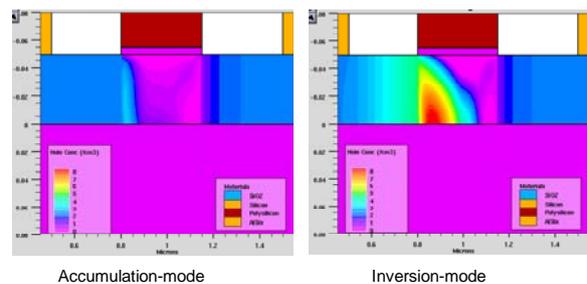
本研究を実施するにあたり、プロセスおよびデバイスシミュレーションを用いて、構造設計および解析を行った上で、デバイスを実際に試作し、デバイス特性を実証した。本研究では本研究室で開発したラジカル酸化技術を用いて、(100), (110) など各シリコン表面の平坦化およびコーナーの丸めを行った上で、各シリコン表面のラフネスは0.06nmに平坦化され、この極めて平坦な表面でデバイスの試作を行った。非常に平坦しにくい(110)表面もラジカル犠牲酸化技術を導入することで、ラフネスを0.11nmから0.06nmに低減した。



本研究では、蓄積型(Accumulation-mode)デバイス構造を導入することで、デバイスのオン抵抗を大幅に低減し、電流駆動能力を大幅に向上したことが可能であることを実証した。(100)面上のnMOSでは電流駆動能力は1.3倍に、(110)面上のnMOSでは1.4倍以上に改善した。蓄積型デバイス構造はパワーデバイスのオン抵抗を下げるには非常に有効であることを実証した。

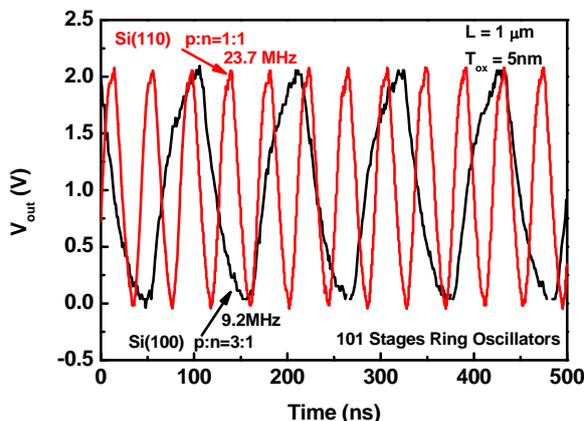
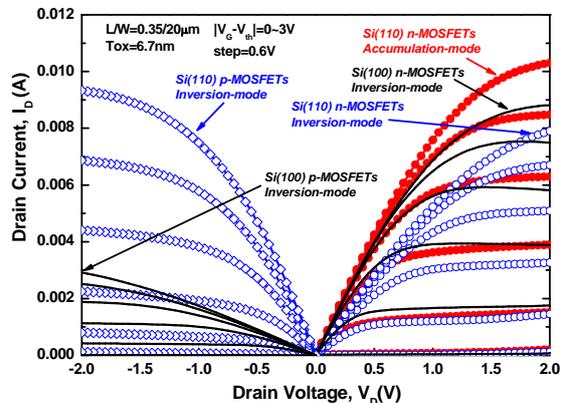


さらに、蓄積型のデバイスではバイアスが大きくなると、Kink現象が良く抑えられた。デバイスシミュレーションでソース端の少数キャリアを解析したところ、蓄積型デバイス構造は反転型と比べ、ソース端に蓄積された少数キャリアは5桁以上少なく、極めて蓄積しにくい構造であることがわかる。これはパワーデバイスのスイッチング特性および耐圧向上には重要である。

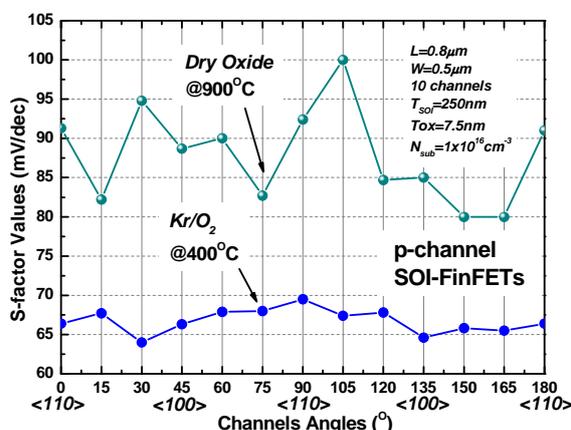


そして、(110)面で蓄積型デバイス構造を導入した結果、nMOSもpMOSもオン抵抗を大幅に低減し、従来の(100)と比べ、nMOSは1.2倍ほど、pMOSは3倍以上と大幅に性能が向上した。本研究では(110)表面で蓄積型デバイス構造を導入することで、オン抵抗を低減すると同時に、少数キャリアの蓄積も極めて低く抑えられたことから、高いスイッチング特性を期待できると考えられる。実デバイスでこのスイッチング特性を調べたところ、従来(100)上形

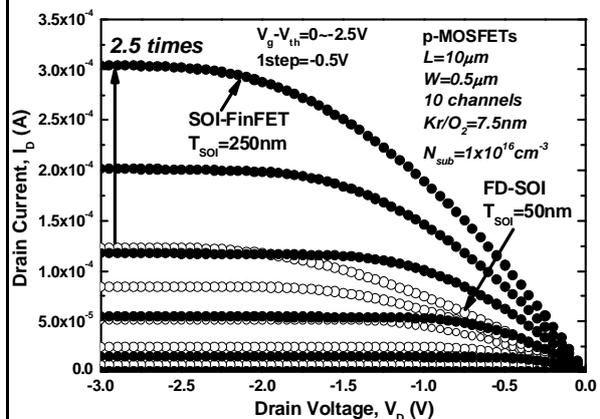
成した回路と比べ、(110)面上蓄積型デバイス構造を導入することで、スイッチング速度は2.5倍以上に向上した。本研究で目標としている2次元高速かつ低損失のパワーデバイスはより電流が流れる面方位と蓄積型デバイス構造の導入によって、実現した。



さらに、高集積度可能な3次元デバイスも試作し、実証を行った。2次元と比べ、3次元デバイスは側壁でも電流が流れるため、オン抵抗をより低く抑えられることが考えられる。ラジカル酸化技術は側壁の平坦化とコーナーの丸めにも有効であると同時に、従来の熱酸化よりも良好なゲート絶縁膜の形成も可能であることを証明した。



この良好な界面およびゲート絶縁膜を有する3次元デバイスでは、従来の2次元デバイスと比べ、オン抵抗を40%以下に低減できることを本研究で明らかにした。



超高速低損失3次元パワーデバイス構造を実現した。

## 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計8件)

1. Weitao Cheng, Akinobu Teramoto, and Tadahiro Ohmi, "Experimental Demonstration and Analysis of High Performance and Low 1/f Noise Tri-gate MOSFETs by Optimizing Device Structure", *Microelectronic Engineering*, to be published on June 2009. (査読有)

2. WEITAO CHENG, AKINOBU TERAMOTO AND TADAHIRO OHMI, "Impact of New Approach to Improve MOSFETs Performance with Ultrathin Gate Insulator", *Electrochemical Society Transactions*, to be published on May 2009. (査読有)

3. Weitao Cheng, Akinobu Teramoto, ChingFoa Tye, Rihito Kuroda, Shigetoshi Sugawa and Tadahiro Ohmi, "A Study on Very High Performance Novel Balanced Fully Depleted Silicon-on-Insulator Complementary Metal-Oxide-Semiconductor Field-Effect Transistors on Si(110) Using Accumulation-Mode Device Structure for Radio-Frequency Analog Circuits", *Japanese Journal of Applied Physics Vol. 48*, pp. 04C047-1 - 04C047-4, April 2009. (査読有)

4. Philippe Gaubert, Akinobu Teramoto, Weitao Cheng, Tatsufumi Hamada, Tadahihiro Ohmi, "Different mechanism to explain the  $1/f$  noise in  $n$ - and  $p$ -SOI-MOS transistors fabricated on (110) and (100) silicon-oriented wafers" Journal of Vacuum Science & Technology B, Vol.27, No.1, pp. 394-401, January/February 2009. (査読有)

5. W. Cheng, A. Teramoto and T. Ohmi, "Performance Boost Using a New Device Structure Design for SOI MOSFETs Beyond 25nm Node", Electrochemical Society Transactions Vol.11 No.6 ULSI Process Integration 5, pp.349-354, October 2007. (査読有)

6. W. Cheng, A. Teramoto, R. Kuroda, M. Hirayama and T. Ohmi, "High Performance and highly reliable novel CMOS devices using accumulation mode multi-gate and fully depleted SOI MOSFETs", Microelectronic Engineering Vol.84/9-10, pp.2105-2108, September-October 2007. (査読有)

7. R. Kuroda, A. Teramoto, W. Cheng, S. Sugawa and T. Ohmi, "Hot Carrier Instability Mechanism in Accumulation-Mode Normally-off SOI nMOSFETs and Their Reliability Advantage", ECS Transactions Vol.6 No.4 Silicon-on-Insulator Technology and Devices 13, pp.113-118, May 2007. (査読有)

8. W. Cheng, A. Teramoto, C. Tye, P. Gaubert, M. Hirayama, S. Sugawa and T. Ohmi, "Impact of Improved Mobilities and Suppressed  $1/f$  Noise in Fully Depleted SOI MOSFETs Fabricated on Si(110) Surface", ECS Transactions Vol.6 No.4 Silicon-on-Insulator Technology and Devices 13, pp.101-106, May 2007. (査読有)

[学会発表] (計 15 件)

1. W. Cheng, A. Teramoto and T. Ohmi, "Improved High Temperature Characteristics in Accumulation-mode Fully Depleted SOI MOSFETs on Si(100) and (110) Surfaces", PACIFIC RIM MEETING ON ELECTROCHEMICAL AND SOLID-STATE SCIENCE (PRIME2008) The Electrochemical Society, Meeting Abstracts, Abs.1868 CD-ROM, Honolulu, Hawaii, October 2008. (査読有)

2. Ching Foa Tye, Weitao Cheng, Akinobu Teramoto, Shigetoshi Sugawa, Tadahihiro Ohmi, "Impact of Fully Depleted Silicon-On-Insulator Accumulation-mode CMOS on Si (110)", IEICE Technical Report SDM 2008-149~168, SDM-164, pp.51-55, October 2008. (査読無)

3. Weitao Cheng, Akinobu Teramoto, ChingFoa Tye, Rihito Kuroda, Shigetoshi Sugawa and Tadahihiro Ohmi, "A Study on Very High Performance Novel Balanced FD-SOI CMOSFETs on Si(110) Using Accumulation Mode Device Structure for RF Analog Circuits", Extended Abstracts of the 2008 International Conference on SOLID STATE DEVICES AND MATERIALS, pp.876-877, Tsukuba, September 2008. (査読有)

4. Weitao Cheng, Akinobu Teramoto, Rihito Kuroda, ChingFoa Tye, Syuichi Watabe, Shigetoshi Sugawa, Tadahihiro Ohmi, "Impact of Performance and Reliability Boosters in Novel FD-SOI CMOS Devices on Si(110) Surface for Analog Applications", 29<sup>th</sup> International Conference on the Physics of Semiconductors (ICPS 2008), pp602-603, Brazil, July 2008. (査読有)

5. P. Gaubert, A. Teramoto, W. Cheng, T. Hamada, and T. Ohmi, "Different mechanism to explain the  $1/f$  noise in  $n$ - and  $p$ -SOI-MOS transistors fabricated on (110) and (100) silicon oriented wafers", 15<sup>th</sup> Workshop on Dielectrics in Microelectronics, pp151-152, Berlin, June 2008. (査読有)

6. W. Cheng, A. Teramoto and T. Ohmi, "A New Approach to Realize High Performance RF Power FETs on Si (110) Surface", 2008 IEEE 39<sup>th</sup> Annual Power Electronics Specialists Conference, pp.3854-3856, Rhodes, June 2008. (査読有)

7. W. Cheng, A. Teramoto and T. Ohmi, "Impact of New Approach to Improve RF Power FETs Performance on Si (110) Surface", 213<sup>th</sup> Meeting of The Electrochemical Society, No.659, CD-ROM, May 2008. (査読有)

8. Rihito Kuroda, Akinobu Teramoto, Takanori Komuro, Weitao Cheng, Syunichi Watabe, Ching Foa Tye, Shigetoshi Sugawa and Tadahihiro Ohmi, "Characterization of MOSFETs Intrinsic Performance using In-Wafer Advanced Kelvin-Contact Device

Structure for High Performance CMOS LSIs” , 2008 IEEE International Conference on Microelectronic Test Structures, pp.155-159, Edinburgh, March 2008. (査読有)

9. Rihito Kuroda, Akinobu Teramoto, Cheng Weitao, Shigetoshi Sugawa and Tadahiro Ohmi, “Modeling and Implementation of Subthreshold Characteristics of Accumulation-Mode MOSFETs for Various SOI Layer Thickness and Impurity Concentrations” , 2007 IEEE International SOI Conference, pp.55-56, Indian Wells, CA., October 2007. (査読有)

10. W. Cheng, A. Teramoto and T. Ohmi, “Performance Boost Using a New Device Structure Design for SOI MOSFETs Beyond 25nm Node” , 212th Meeting of The Electrochemical Society, No.1309, CD-ROM, October 2007. (査読有)

11. W. Cheng, A. Teramoto, R. Kuroda, C. Tye, T. Suwa, T Goto, F Imaizumi, S, Sugawa and T. Ohmi, “High Performance Accumulation Mode FD-SOI MOSFETs on Si(100) and (110)Surfaces” , IEICE Technical Report SDM 2007-187, pp. 45-48, October 2007. (査読無)

12. P. Gaubert, W. Cheng, A. Teramoto and T. Ohmi, “Impact of the channel direction on the 1/f noise in SOI - MOSFETs fabricated on (100) and (110) silicon oriented wafers” , AIP Conference Proceedings 19<sup>th</sup> International Conference on NOISE AND FLUCTUATIONS-ICNF2007, pp. 43-46, Tokyo, September 2007. (査読有)

13. W. Cheng, A. Teramoto, R. Kuroda, M. Hirayama and T. Ohmi, “High Performance and highly reliable novel CMOS devices using accumulation mode multi-gate and fully depleted SOI MOSFETs” , Infos2007 Proceedings of the 15<sup>th</sup> Biennial Conference on Insulating Films on Semiconductors, pp. 2105-2108, June 2007. (査読有)

14. Rihito Kuroda, Akinobu Teramoto, Weitao Cheng, Shigetoshi Sugawa and Tadahiro Ohmi, “Hot Carrier Instability Mechanism in Accumulation-Mode Normally-off SOI nMOSFETs and Their Reliability Advantage” , 211th Meeting of The Electrochemical Society, No. 719, CD-ROM, May 2007. (査読有)

15. W. Cheng, A. Teramoto, C. Tye, P. Gaubert, M. Hirayama, S. Sugawa and T. Ohmi, “Impact of Improved Mobilities and Suppressed 1/f Noise in Fully Depleted SOI MOSFETs Fabricated on Si(110) Surface” , 211th Meeting of The Electrochemical Society, No. 717, CD-ROM, May 2007. (査読有)

[図書] (計 0 件)

[産業財産権]

○出願状況 (計 2 件)

○取得状況 (計 1 件)

[その他]

6. 研究組織

(1)研究代表者

程 煒涛 (Cheng Weitao)

東北大学・未来科学技術共同研究センター・助教

研究者番号 : 60431540

(2)研究分担者

( )

研究者番号 :

(3)連携研究者

( )

研究者番号 :