

平成 21 年 6 月 1 日現在

研究種目：若手研究（スタートアップ）
 研究期間：2007～2008
 課題番号：19860024
 研究課題名（和文） InAlAs 酸化膜による III-V-01 MOS 構造の作製および界面準位に関する研究
 研究課題名（英文） III-V-01 MOS structure by using selective wet oxidation of InAlAs layer
 研究代表者
 竹中 充（TAKENAKA MITSURU）
 東京大学・大学院工学系研究科・准教授
 研究者番号：20451792

研究成果の概要：

InAlAs のウェット酸化を利用した III-V MOS 界面の研究を行った。XPS 分析、エリブソメトリー、TEM 像解析等により、InAlAs の酸化機構を明らかにし、良好な界面特性を持つ InAlAs/InP MOS 界面を実現することに成功した。また InP 酸化防止層を配した構造において、InAlAs 層の自然酸化を抑制することで、良好な MOS 界面が再現性良く得られることを明らかにした。これにより既存の Si トランジスタの性能を上回る III-V トランジスタを実現するための基盤技術を確認した。

交付額

（金額単位：円）

	直接経費	間接経費	合計
2007 年度	1,360,000	0	1,360,000
2008 年度	1,350,000	405,000	1,755,000
年度			
年度			
年度			
総計	2,710,000	405,000	3,115,000

研究分野：半導体デバイス

科研費の分科・細目：電子デバイス・電子機器

キーワード：MOSFET、化合物半導体、InAlAs, InGaAs, InP、ウェット酸化

1. 研究開始当初の背景

Si LSI はこの過去 30 年、ムーアの法則に従ってチップあたりのトランジスタ数を増大させることで性能の向上を図ってきた。現在最新の CPU では既にトランジスタ数は 10 億個を超えるレベルに達している。このような飛躍的な発展を可能としたのが、微細化によるトランジスタの集積度と性能の向上であった（スケールング則）。1970 年代当初 10 μ m 程度だった配線幅は既に 65nm にまで微細化されており、2016 年頃には 22nm 程度まで微

細化が進むものと考えられている。しかしながら、微細化には物理的限界が見え始めており、従来のスケールング則だけでは LSI の性能を向上させることが難しくなっている。スケールング則が破綻した、いわばポストスケールング時代においても LSI の性能向上を実現するために、従来用いられなかった様々なテクノロジーをトランジスタに取り込むことが必要不可欠になってきている。ポストスケールング時代においてもトランジスタの性能を向上する技術としては、高移

	Si	Ge	GaAs	InP	InAs	InSb
電子移動度 (cm ² /Vs)	1600	3900	9200	5400	40000	77000
電子有効質量 m _v /m ₀	0.19	0.082	0.067	0.082	0.023	0.014
正孔移動度 (cm ² /Vs)	430	1900	400	200	500	850
バンドギャップ (eV)	1.12	0.66	1.42	1.34	0.36	0.17
比誘電率	11.8	16	12	12.6	14.8	17

表 1. 各種半導体のキャリア移動度のチャネルをもつ MOSFET が近年急速に注目を集めるようになってきている。既に、歪を加えることで Si の移動度を向上させる歪 Si チャネル MOSFET は一部実用化が始まっており、より移動度の大きなチャネルをもった MOSFET の研究開発が活発になり始めている。表 1 にまとめた各種半導体のキャリア移動度からも分かるように、InAs や InSb などの III-V 族半導体は Si に対して 10 倍以上と極めて大きな移動度を持っており、III-V 族半導体を用いた MOSFET は近年再び着目されつつある。しかし、III-V 族半導体 MOSFET を実現する上で最大の課題は、高移動度チャネル上に高品質の MOS (MIS) 界面をもつゲートスタック構造を実現することであるが、これまで研究されてきた III-V 族半導体の MOS 界面においては多くの界面準位や界面トラップが存在することが知られており、実用化の大きな障害となっている。

2. 研究の目的

既存の III-V MOS 界面の問題を解決するため、InAlAs を選択的に酸化して、ゲート絶縁膜を形成する手法の研究を行う。図 1 に示した構造のように、InAlAs 酸化膜/InGaAs 構造において良好な MOS 界面を得るための研究を行う。

InAlAs の酸化を利用した良好な MOS 界面実現のため、本研究課題においては、

- InAlAs 層の選択酸化方法の最適化
- 酸化膜 / チャネル界面の評価、
- 良好な界面のためのチャネル構造の最適化

などを明かし、良好な MOS 界面を得ることを目的とする。

3. 研究の方法

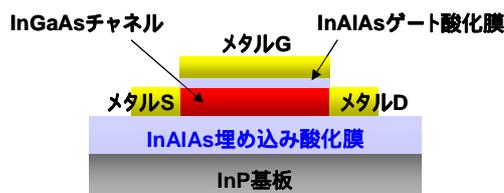


図 1 . InAlAs 酸化膜による III-V-OI MOSFET

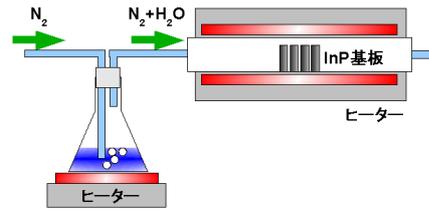


図 2 . InAlAs ウェット酸化炉

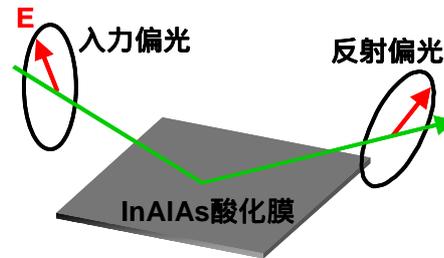


図 3 . 分光エリプソメトリー

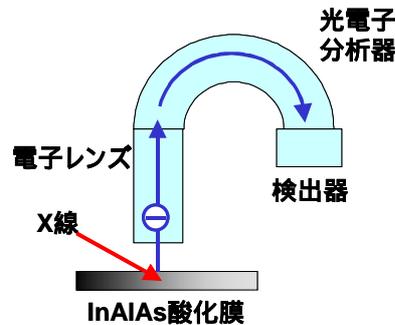


図 4 . X 線光電子分光

InAlAs を選択的に選択酸化の方法としては、ドライ熱酸化、ウェット熱酸化、プラズマ酸化などの手法が挙げられる。本研究においては、図 2 に示すように、半導体レーザーの電流狭窄において既に用いられているウェット熱酸化法を中心に、InAlAs 埋め込み酸化膜およびゲート酸化膜の形成方法を検討する。窒素流量や酸化温度などの条件の最適化を行い、酸化レートの導出を行う。また、図 3、図 4 に示した分光エリプソメトリーや XPS、また TEM 分析などにより InAlAs 酸化膜の構造解析を行う。InAlAs の酸化膜中には、Al の酸化物や In の酸化物が多く含まれることが推測される。エリプソメトリーや XPS 分析により、酸化膜中の組成をより詳しく評価し、これらの組成が酸化膜の特性にどのような影響を及ぼすかを検討する。

また形成した InAlAs 酸化膜とチャネル間の界面の評価を行う。特に InAlAs 酸化膜 / InGaAs / InP 構造の MOS 界面の研究は進んでおらず不明な点が多い。本研究では、温度可

変高精度コンダクタンス法により InAlAs 酸化膜 / チャネル界面欠陥の電気特性の詳細な解析を行い、界面準位のエネルギー分布、異なる捕獲断面積をもつ界面準位の分離、捕獲断面積のエネルギー依存性と温度依存性、界面準位荷電状態（中性状態・電荷捕獲状態の分離とそのエネルギー依存性）などを明らかにする。さらに温度可変高精度コンダクタンス法で評価した界面準位を減らし良好な MOS 界面を得るために、酸化条件やチャネル構造の最適化を行う。特に酸化時においては、チャネル界面も一部酸化されて界面欠陥が増加することが予想される。そのため、チャネルの上下に InP などの薄いバッファ層を挿入するなど MOS 界面を最適化するチャネル構造を検討する。

4. 研究成果

InAlAs/InP 構造を有機金属気相堆積装置 (MOVPE) で作製して、InAlAs をウェット酸化して MOS 構造を作製した。図 5 に酸化温度 525 度の際の酸化時間に対する酸化膜厚をエリプソメトリーと段差計で評価した結果を示す。酸化時間 60 分程度で InAlAs がすべて酸化されており、InP 層の酸化が遅くなっていることが分かる。また作製した InAlAs 酸化膜/InP 構造の I-V 特性を図 6 に示す。酸化していない試料においては、ゲ-

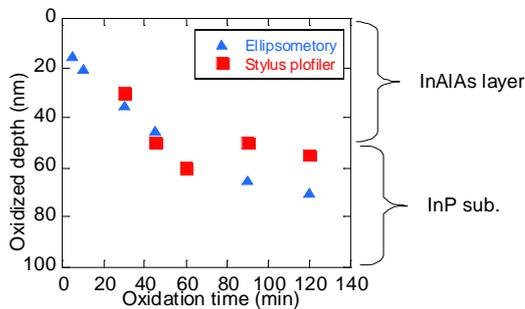


図 5 . InAlAs 酸化膜レート

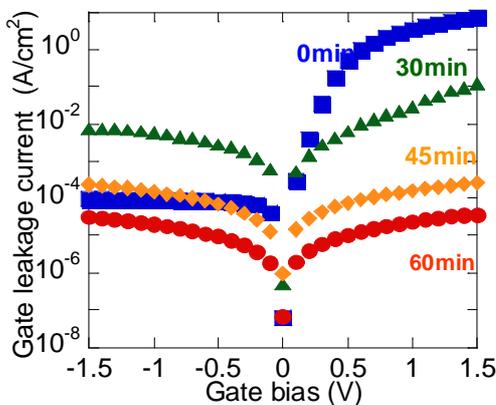


図 6 . InAlAs 酸化膜/InP 構造 I-V 特性

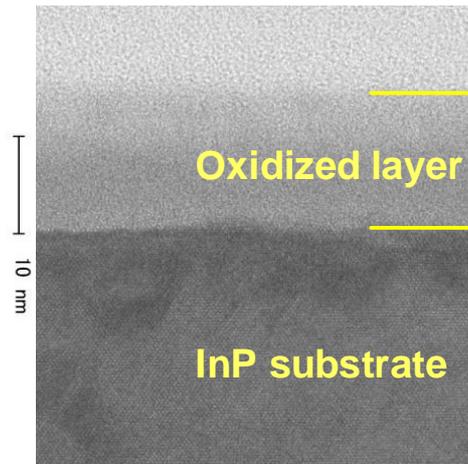


図 7 . InAlAs 酸化膜/InP 構造断面 TEM 像

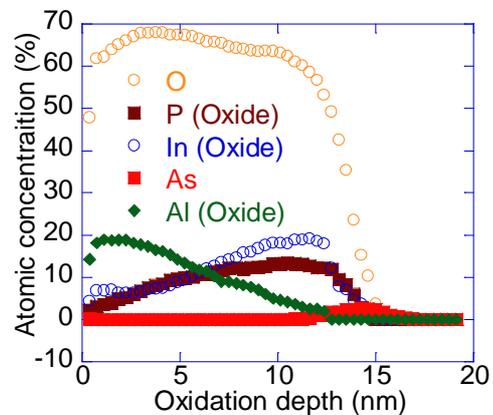


図 8 . InAlAs 酸化膜/InP XPS 分析結果

ト電極であるアルミとのショットキー接合による整流特性が見られる。一方、酸化時間を長くするとともに、絶縁性が向上し、リーク電流が現象することが分かった。酸化時間 60 分において、良好な絶縁性をもった MOS 構造が実現できることが分かった。ウェット酸化で作製した InAlAs 酸化膜/InP 構造の断面 TEM 像を図 7 に示す。InAlAs のみが選択的に酸化されており、比較的平坦な MOS 界面が得られていることがわかる。また酸化膜上面から Ar スパッタによりエッチングをしながら深さ方向の XPS 分析を行った結果を図 8 に示す。この結果より、InAlAs に含まれていた As はウェット酸化によりほとんど抜けており、酸化膜は In および Al の酸化物より構成されていることが明らかになった。特に V 族元素である As が抜けていることが MOS 界面特性に影響を与えていることが示唆されており、MOS 界面形成におけるウェット酸化に優位性を構造的に明らかにすることに成功した。

図 9 に InAlAs 酸化膜/InP MOS 構造の C-V 特性を示す。ウェット酸化条件を最適化するこ

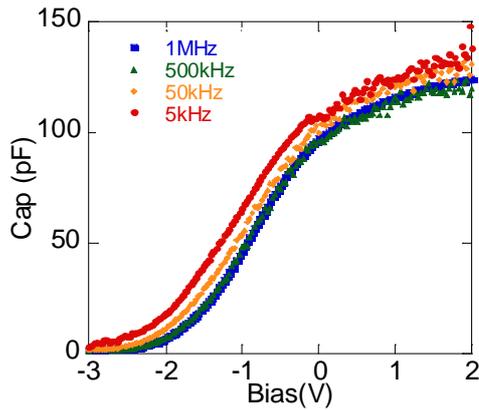


図9 . InAlAs 酸化膜/InP C-V 特性

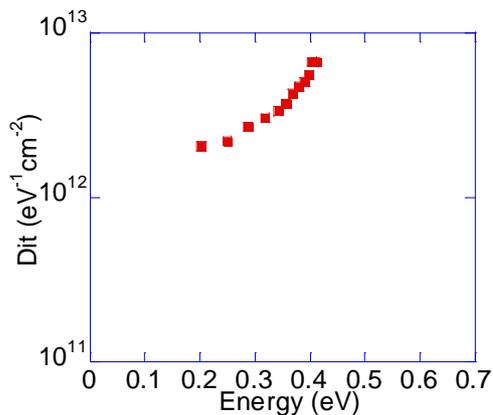


図10 .コンダクタンス法により求めた界面準位密度

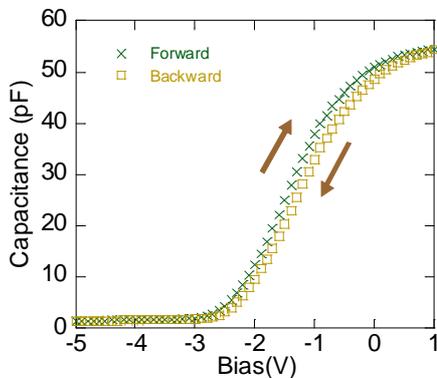


図11 . SiO₂/InAlAs 酸化膜/InP MOS 界面の C-V 特性

とで、比較的周波数分散の小さい良好な MOS 界面を得ることに成功した。また得られた MOS 界面状態をコンダクタンス法により評価した結果を図10に示す。界面準位密度として、 $10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 台と比較的良好な値が得られており、良好な MOS 界面が形成されていることがわかった。またコンダクタンス法測定時に得られる応答周波数より界面トラップの捕獲断面積は $10^{-12} \sim 10^{-14} \text{ cm}^2$ 程度であることがわかり、クーロン誘引散乱がトラップの主要因であることを明らかにした。

さらなる MOS 界面特性の向上とリーク電流抑制を目指して、作製した InAlAs 酸化膜/InP 構造を SiO₂ でキャップした MOS 構造を作製した。SiO₂ 堆積後、H₂/N₂ 混合ガス雰囲気中でアニール処理をしたところ、リーク電流が極めて減少し、図11に示したような周波数分散、ヒステリシスが共に小さい極めて良好な MOS 界面を得ることに成功し、InAlAs 酸化膜/InP MOS 界面の特性向上を得ることに成功した。また、半導体層構造が MOS 界面特性に与える影響を調べるため、InP/InAlAs/InP 構造を同様にウェット酸化する実験を行った。この構造において、塩酸リン酸前処理後にウェット酸化をして MOS 構造を作製したところ、再現性よく良好な MOS 界面が得られることが分かった。InP キャップ層により InAlAs の自然酸化が抑制さえるため、良好な MOS 界面を再現性よく得ることに成功した。

5 . 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 1 件)

S. Nakagawa, M. Yokoyama, O. Ichikawa, M. Hata, M. Tanaka, M. Takenaka, S. Takagi, " Investigation of InAlAs oxide/InP metal-oxide-semiconductor structures formed by wet thermal oxidation," Japanese Journal of Applied Physics (JJAP), Vol. 48, No.2, 2009.

[学会発表] (計 2 件)

「 S. Nakagawa, M. Yokoyama, O. Ichikawa, M. Hata, M. Tanaka, M. Takenaka, S. Takagi, "Fabrication of III-V MOS structure by using selective oxidation of InAlAs," *International Conference on Solid State Devices and Materials (SSDM'08)*, G-9-4, Tsukuba, September 26, 2008.

中川翔太, 横山正史, 市川磨, 秦雅彦, 田中雅明, 竹中充, 高木信一, 「InAlAs 選択酸化による III-V MOS 界面構造の形成」, 第 55 回応用物理学関係連合講演会, 29p-H-19, 日本大学理工学部, 2008 年 3 月 29 日.

[産業財産権]

出願状況 (計 1 件)

名称 : 半導体基板、半導体基板の製造方法および半導体装置

発明者 : 竹中充, 高木信一, 秦雅彦, 市川磨
権利者 : 国立大学法人東京大学、住友化学株式会社

種類 : 特許

番号 : 2008 -082081

出願年月日 : 2008 年 3 月 26 日

国内外の別 : 国内・海外

取得状況（計 0 件）

6 . 研究組織

(1)研究代表者

竹中 充 (TAKENAKA MITSURU)

東京大学・大学院工学系研究科・准教授

研究者番号：20451792

(2)研究分担者

なし

(3)連携研究者

なし