

令和 4 年 6 月 8 日現在

機関番号：17102

研究種目：基盤研究(A)（一般）

研究期間：2019～2021

課題番号：19H01105

研究課題名（和文）ポストムーア時代を支える100ギガヘルツ級時空間超伝導コンピューティング

研究課題名（英文）Over 100 GHz Time-Space Superconductor Computing for Post-Moore Era

研究代表者

井上 弘士（Inoue, Koji）

九州大学・システム情報科学研究所・教授

研究者番号：80341410

交付決定額（研究期間全体）：（直接経費） 34,600,000円

研究成果の概要（和文）：単一磁束量子（SFQ: Single Flux Quantum）回路を用いた超高速かつ超低消費電力なプロセッサの実現を目指し、デバイス特性や回路特性を考慮した新しいアーキテクチャを考案した。また、チップ試作を行い、世界初となる 30GHz ビットパラレル型ゲートレベルパイプラインプロセッサ、その改良版である50GHz プロセッサ、ビット幅可変ベクトル演算器、さらには、本研究の目標である100GHzの回路動作など、多くの実証に成功した。また、これまでの設計試作で蓄積した技術を整理ならびに一般化し、超高速動作のための設計法として確立させた。

研究成果の学術的意義や社会的意義

世界最先端の超高速SFQプロセッサアーキテクチャとその回路設計を通じて、世界初となる数々の動作実証に成功した。これらの成果は、今後の超伝導コンピューティングを支える要素技術として大きな成果である。また、データセンターなど情報処理における電力消費（その結果として二酸化炭素排出量）の増大は、地球環境負荷の観点から深刻な問題となっている。これに対し、本研究で取り組んだ超伝導コンピューティングはポストムーア時代を支える超高性能かつ超低消費電力な情報処理プラットフォームを実現する有望な候補の一つであり、今後の情報技術の世界的普及と浸透を鑑みた場合、大きな社会的意義を持つ。

研究成果の概要（英文）：Aiming to realize a processor with ultra-high speed and ultra-low power consumption using single flux quantum (SFQ) logics, we have proposed novel architectures that consider the device and circuit characteristics. In addition, through chip prototyping, we have successfully demonstrated many SFQ chips, such as the world's first 30 GHz bit-parallel gate-level pipelined processor and its improved version with 50 GHz operation, a variable bit-width vector arithmetic unit, and a 100 GHz circuit. In addition, we have organized and generalized the design methodology of SFQ ultra-high-speed circuits.

研究分野：コンピュータアーキテクチャ

キーワード：コンピュータアーキテクチャ 超伝導コンピューティング マイクロプロセッサ

1. 研究開始当初の背景

1970年代初頭に世界で初めて1チップ・プロセッサが開発されて以来、コンピュータ・システムの発展を支えてきたMOS-FETの微細化(いわゆる、半導体の集積度が3年で4倍となるムーアの法則)がついに終焉を迎えつつある。その時期は2030年頃と予想されており、これは、着実に発展を遂げてきたコンピュータ・システムの性能向上が停滞することを意味する。実際、2005年以降はスケールリング則の破綻により消費電力問題が露呈し、クロック周波数は数ギガヘルツ程度で頭打ちとなった。その後、1つのLSIチップに集積されるプロセッサ・コアの数を大幅に増やすメニーコア方式が主流となり、チップ内並列処理により性能を担保するアプローチが現在も続いている。しかしながら、微細化限界後(いわゆるポストムーア時代)はプロセッサ・コア数を増加できないため、更なる性能向上は見込めない。すなわち、トランジスタ集積度の向上を拠り所とする量的アプローチはもはや機能しない時代へと突入するのである。その一方、ニーズ面ではビッグデータ/AI処理に代表されるように高度かつ複雑なアプリケーションが爆発的に普及しており、持続可能な高度情報化社会を実現するには更なる情報処理能力が求められる。したがって、このようなニーズ/シーズ間ギャップを解消すべく、微細化に頼らない新たなコンピュータ・システム構成法の確立とその具現化が今まさに世界で求められている。

このようなシリコン限界を越えるためには、微細化によるトランジスタ数の増加という量的変化ではなく、新奇デバイスを用いた質的变化が求められる。その有望なデバイスとして超伝導単一磁束量子(SFQ: Single Flux Quantum)がある。超伝導ループ間にあるジョセフソン接合を磁束が横切るときにのみ発生する微弱電圧パルスを経済担体とするため、論理ゲート当りの消費電力は電荷の充放電を基本とするCMOS回路と比較して約1/1,000以下であり、かつ、無損失な電磁波信号伝搬による超高速性を合わせ持つ。この優れた特性に着目し、SFQを用いたコンピュータシステムの構築が世界中で注目を集めている。

2. 研究の目的

このような世界情勢において、代表の井上と分担の田中は、10年来の共同研究によりSFQプロセッサの新構成法を探索するとともに、それを具現化する基礎技術の確立を世界に先駆けて行ってきた。その根幹は、アーキテクチャを専門とする井上と、SFQデバイス/回路設計を専門とする田中が強固に連携し、計算機工学と超伝導工学による分野横断的研究を推し進めたことによる。しかしながら、新コンピューティング技術として実用化に耐えうるレベルへと昇華させるためには更なる学術的発展が必要である。すなわち、従来のデバイス/回路/アーキテクチャに加え、SFQ向けの新たな実行モデルを考案するとともに、超高速かつ大規模なSFQ回路を動作させるための設計技術や、SFQが得意とするストリーム処理向けアーキテクチャ技術を確立しなければならない。そこで本研究では、時間/空間型SFQプロセッサ技術の確立、ならびに、高速動作可能なSFQ回路設計技術の確立を目的とする。

3. 研究の方法

本研究では、主要研究テーマを設定し、互いが連携しつつ研究開発を遂行した。空間計算型ならびに時間計算型のSFQ回路に関する要素技術を検討し、これらと並列に設計技術の確立を目指した。特に、SFQ回路の特徴はその超高速動作にあり、クロッキング方式(通常のCMOS回路設計とは大きく異なる)の設計選択肢を分類整理し、その適用法を一般化した。加えて、基本構成要素のプロトタイプチップ試作を通してその特性を抽出し、モデリングへとフィードバックすることでアーキテクチャレベルでの設計空間探索を可能とした。最終的には、これらを統合してアーキテクチャレベルでの評価を行い、その有効性を実証した。

4. 研究成果

研究開発期間を通し、多くの成果を挙げる事ができた。特に、ビットパラレル方式としては世界最速となる多くのチップ実証に成功しており、大きな成果を挙げる事ができた。以下、代表的な成果を報告する。

アーキテクチャ探索を目的とした電力効率モデリングと設計技術

本研究で、SFQ回路に用いられる主なクロッキング方式や論理ゲートが満たすべきタイミング制約を考慮し、SFQ回路での消費電力ならびに動作周波数モデル導出した。そして、積和演算器を対象とした実設計結果に基づくモデルの妥当性検証を実施し、その有効性を確認した。

SFQ 回路では、回路を構成する論理ゲートにクロック信号を入力する必要がある、その分配方式や回路の特性（フィードバックループの有無など）によって性能や動作が大きく異なる。このような実装すべき回路の特性に合わせて適切にクロッキング方式を適用することが、超高速動作を実現する上で重要な鍵となる。そこで、図1で示すように、コンカレント・フロー方式、カウンター・フロー方式、ならびに、ブランチ方式（コンカレント・フロー方式とカウンター・フロー方式の組合せ）について性質を整理分類するとともに、その適用指針を定めた。また、これらクロッキング方式を基本とし、大規模 SFQ 回路を設計した際の動作周波数、消費電力、ならびに、電力効率モデルを構築した。本研究では、実設計データに基づく SFQ 電力効率モデルの精度評価を行った。検証に用いた3種類の SFQ 回路は、4×4 ビット乗算器、4×4+8 ビット積和演算器、8×8 ビット乗算器、である。なお、4×4+8 ビット積和演算器はフィードバックループを有するため、クロッキングにブランチ方式を採用しており、その他はコンカレントフロー方式となる。図2に検証結果を示す。4 ビット乗算器と積和演算器においては、予測精度に関して誤差率が10%程度であり、比較的高い精度で電力性能を見積もることができた。一方、8 ビット乗算器では一部の予測において誤差率が大きい、これは回路の大規模化に伴う配線複雑さの影響を考慮していないためと考えられる。

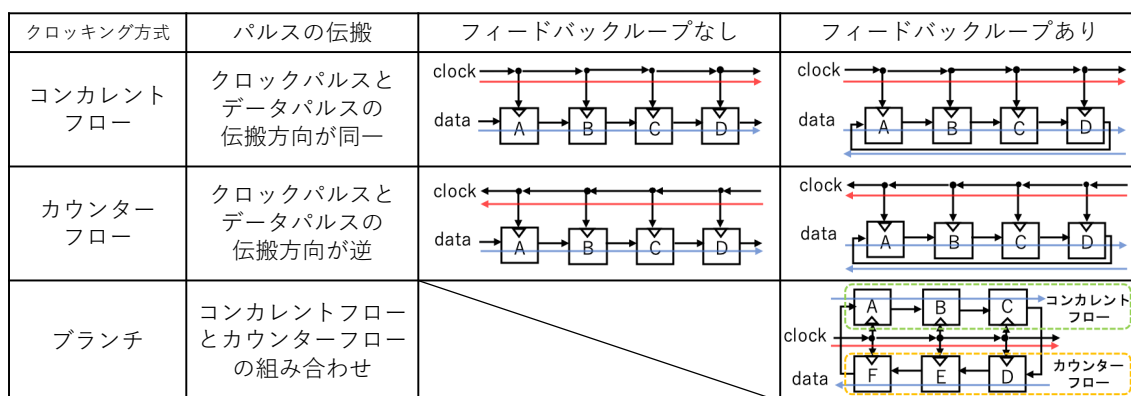


図1：SFQ 回路におけるクロッキング方式

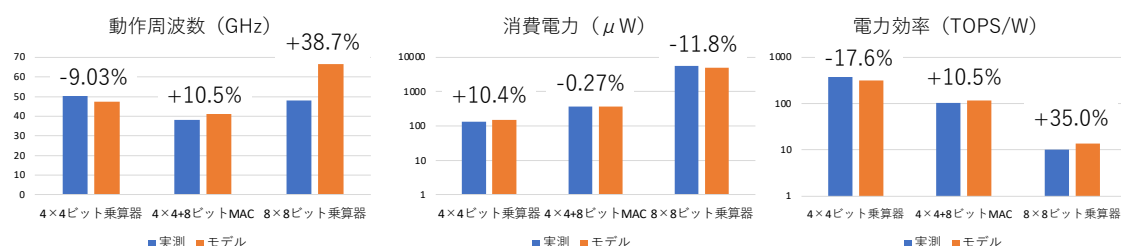


図2：クロッキング方式を考慮したモデリングの検証結果

30GHz ビットパラレル型ゲートレベルパイプライン・プロセッサ

本研究開始当初は不完全であったビットパラレル型ゲートレベルパイプラインプロセッサの設計を見直し、世界初となる動作実証に成功した（国際会議にてその内容を発表した）。図3にブロック図とチップ写真を示す。本プロセッサの特徴は、一つの論理ゲートレベルにて一段のパイプラインステージを構成するゲートレベルパイプライン構造、パイプラインストールを回避するための細粒度 SIMT (Single Instruction Multiple Tread) 実行方式、FIFO 型 SFQ メモリを

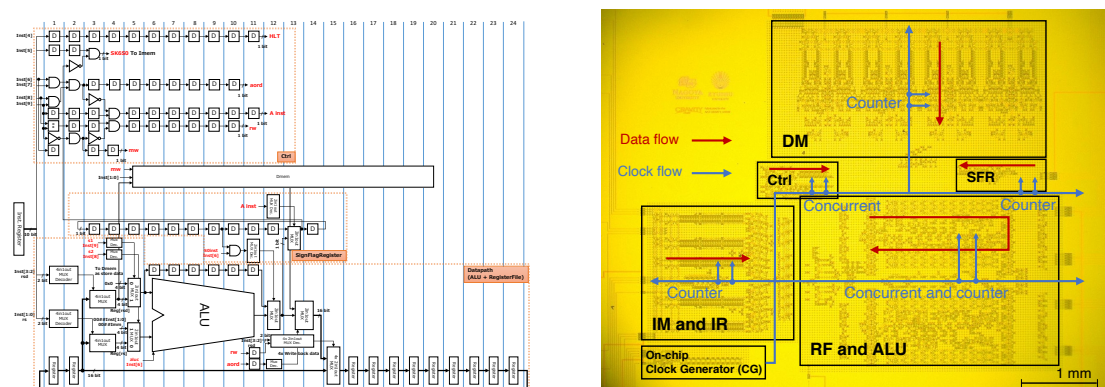


図3：30GHz ビットパラレル SFQ プロセッサ

基本とするメモリ構造、を採用した点にある。特に、細粒度マルチスレッディングに基づく実行形態であるため、大規模レジスタファイルが必要となる。一方、SFQ回路を用いたメモリの実装に関しては、これまでにいくつかの提案が行われてきたが、最も実用的なのはシフトレジスタを用いたFIFOメモリである。そこで、レジスタファイルを循環バッファで構成し、SFQのシフトレジスタを用いて実装した。最大動作周波数は30GHz、消費電力は6.57mW、回路面積は12.8mm²であった。本構造を有するプロセッサの動作実証は世界初であり、その後のSFQプロセッサ開発に大きく貢献した。また、静的消費電力を大幅に抑制できるERSFQ回路の導入により、理論的には既存CMOSプロセッサに対して大幅な電力効率の向上（冷凍コスト含む）の可能性を確認しており、SFQ回路のポテンシャルを示す大きな成果となった。

50GHz ゲートレベルパイプライン型プロセッサ

本研究で最初の実証したゲートレベルパイプライン型プロセッサの動作周波数は、最高動作速度が30GHz程度であった。ここでの律速要因を解析した結果、クロック信号やデータ信号の配線遅延がビットごとにばらついているため、最も早く到着するパルスが来てから、最も遅く到着するパルスが来るまでの間待たなければならないこと、フィードバック構造があるなどの理由で、データ信号の遅延に対してクロック信号の到着時間の遅延を挿入するだけでは単純に相殺しきれない箇所が多数存在すること、が明らかとなった。前者の課題については、タイミングチューニングを徹底することで解決した。ここでのポイントは、クロックツリーの分配、パイプラインステージ間のデータ信号の配線長を、最長の配線に合わせて等長にすることであるが、これをレイアウト上で実現するには事前にある程度のセル配置とクロックラインの配置を決定しておく、これに対して回路を適切にマッピングする設計戦略が重要であることが分かった。また、後者の課題については、超高速動作を実現するクロッキング方式の整理を行い、特にフィードバック・ループ部分で利用するカウンターフロー・クロッキング（クロック信号とデータ信号の伝搬方向が異なる方式）におけるタイミング制約を定式化して定量的な解析を行った。ここでは、クロック信号に伝搬遅延を入れるほど少数のパイプラインステージの追加でタイミングを合わせられるが、最高動作周波数が低下するといったトレードオフの関係に関する知見を得ている。

以上の基礎的な研究を踏まえ、改めて超高速実行を目指して設計した8bitプロセッサが図4である。設計周波数は50GHzとしている。ゲートレベルパイプラインのステージ数は、28段のカウンターフロー・クロッキング部分を含み計37段とし、命令フェッチ、実行、メモリアクセスの各要素回路でパイプライン段数とクロッキング方法を統一することで、要素回路間でタイミング調整が必要な箇所を限定し、タイミング制約を満たすことに成功している。8bit符号なし整数の演算など10命令を実装し、32,721個のジョセフソン接合を含む、世界最大規模のゲートレベル・パイプライン回路である。レイアウト後のシミュレーションの結果、50GHz時にバイアス電圧に対して85~125%の広い動作マージンを確保できており、本設計の有効性を確認した。

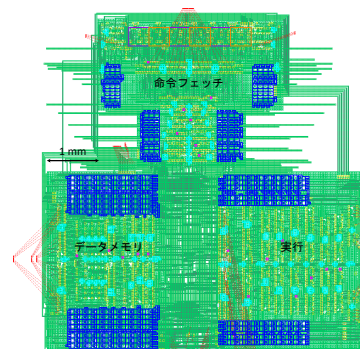


図4: 50GHz設計プロセッサ

50GHz 可変ビット幅ベクトルSIMD演算器

柔軟性を有するベクトルプロセッサへの展開を想定し、ビット幅とSIMD度を変更可能なSFQベクトル加減算器の動作実証に世界で初めて成功した。内部構成とチップ写真を図5に示す。近年では、RISC-V Vector Extensionに代表されるように、データ型やベクトル長などの演算パラメータをプログラム実行中に変更可能な柔軟な命令セットが提案されている。このような技術的背景を鑑み、本研究ではビット（演算ビット幅）が異なる複数のデータ型でベクトル演算が可能な構成とした。本設計では、過去にALUで実証されている8ビットを最大幅として設定した。本加減算器は、2ビット4要素、4ビット2要素、ならびに、8ビット1要素の3種類のオペレーションを指定することができる。演算ビット幅に柔軟性を持たせるためには、桁上げ信号の制御が複雑となり、高速動作を阻害する要因となる。そこで、ステージの前段にて全て桁上げ信号

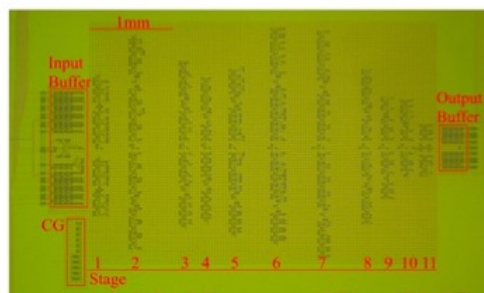
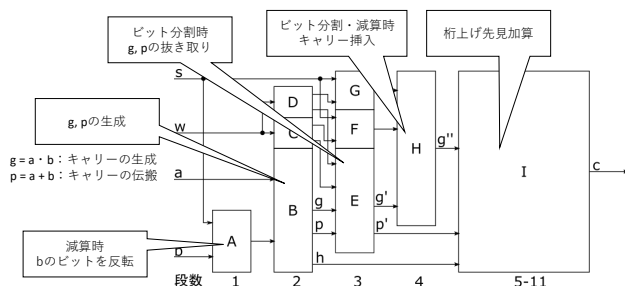


図5: 可変ビット幅ベクトル加減算器

の制御を実施し、ステージ後半にて加減算のみを実施するマイクロアーキテクチャを採用した。最大動作周波数は 53GHz、消費電力は 1.59 mW、電力効率は 134TOPS/W であった。

ゲートレベルパイプライン回路の 100GHz 動作実証

一般に、パイプライン動作する論理回路のクロック周波数の上限を決める要因は、論理ゲート及び配線遅延、パイプラインレジスタのセットアップ時間やホールド時間、クロック信号のスキュー、電力（発熱）制約などが挙げられる。SFQ 回路では各論理ゲートがラッチ機能を持ちパイプラインレジスタが不要であること、消費電力が小さく電力制約を受けないことに加え、意図的かつ精密にクロック信号のスキューを制御することで、論理ゲートや配線の遅延を相殺し、隠蔽できる。これまでの研究で培った設計思想を用いると、クロック及びデータ信号が伝搬する配線での遅延差を、回路を駆動するバイアス電圧が変動した場合においても最小にとどめておくことができ、特にフィードバックのない回路では原理的には論理ゲートのセットアップ時間とホールド時間の和のみが最高動作周波数を決定することとなる。

このことを実証するため、産業技術総合研究所のニオブ 1 μ m プロセス（臨界電流密度 10kA/cm²）を用い、低電圧駆動 SFQ 回路による 4 \times 4bit ゲートレベルでパイプライン乗算器（図 6）の設計試作を行った。バイアス電圧を従来の 0.5mV に下げ、電流供給抵抗で静的に消費される電力を 1/5 に低減させた。この場合、ジョセフソン接合がスイッチする際に接合を流れる電流が減少するため、動的な消費電力も低減するが、同時に駆動力が低下するため遅延時間が大きくなる。論理ゲートなど回路要素ごとに遅延特性が異なるが、本研究のタイミングチューニング手法を適用することで、オンチップテストで 52GHz までの動作実証に成功した。

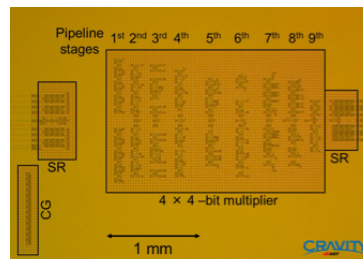


図 6: 52GHz 低電圧乗算器

また、通常電圧の設計において、更にタイミングチューニング手法を高度化することで現在のプロセス技術でも 100GHz 以上の動作が可能であることを示すため、図 7 に示す 4bit ゲートレベルパイプライン加算器の設計試作を行った。このような高周波では、僅かな遅延特性の差が動作周波数に影響を与える。そこで、タイミング特性の似た D フリップフロップと AND ゲート、OR ゲート、XOR ゲートの 3 種類に分類し、同一のパイプラインに属する論理ゲートの種類を統一する手法を考案した。演算の必要のないビットでは、片方の入力を 0 に固定した、ダミーの OR ゲートや XOR ゲートを用いる。オンチップテストの結果、80GHz でも 10%程度のバイアスマージンを確保することができ、最高 101GHz までの動作を実験的に確かめることができた。以上から、超高速実行を可能とする回路の設計に関する多数の成果、知見を得ており、今後の SFQ 回路の設計指針に大きな影響を与えることが期待される。

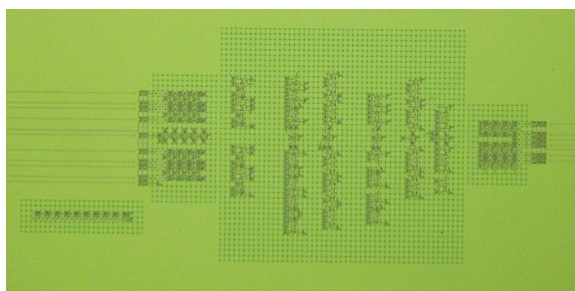
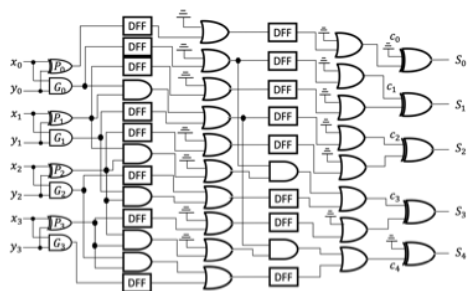


図 7: 100GHz 加算器の等価回路図とチップ写真

5. 主な発表論文等

〔雑誌論文〕 計5件（うち査読付論文 4件/うち国際共著 1件/うちオープンアクセス 1件）

| | |
|--|---------------------|
| 1. 著者名 Ishida Koki, Byun Ilkwon, Nagaoka Ikki, Fukumitsu Kosuke, Tanaka Masamitsu, Kawakami Satoshi, Tanimoto Teruo, Ono Takatsugu, Kim Jangwoo, Inoue Koji | 4. 巻 41 |
| 2. 論文標題 Superconductor Computing for Neural Networks | 5. 発行年 2021年 |
| 3. 雑誌名 IEEE Micro | 6. 最初と最後の頁 19~26 |
| 掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/MM.2021.3070488 | 査読の有無 有 |
| オープンアクセス オープンアクセスとしている（また、その予定である） | 国際共著 該当する |
| 1. 著者名 Nagaoka Ikki, Ishida Koki, Tanaka Masamitsu, Sano Kyosuke, Yamashita Taro, Ono Takatsugu, Inoue Koji, Fujimaki Akira | 4. 巻 31 |
| 2. 論文標題 Demonstration of a 52-GHz Bit-Parallel Multiplier Using Low-Voltage Rapid Single-Flux-Quantum Logic | 5. 発行年 2021年 |
| 3. 雑誌名 IEEE Transactions on Applied Superconductivity | 6. 最初と最後の頁 1~5 |
| 掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TASC.2021.3071996 | 査読の有無 有 |
| オープンアクセス オープンアクセスではない、又はオープンアクセスが困難 | 国際共著 - |
| 1. 著者名 Kashima Ryota, Nagaoka Ikki, Tanaka Masamitsu, Yamashita Taro, Fujimaki Akira | 4. 巻 31 |
| 2. 論文標題 64-GHz Datapath Demonstration for Bit-Parallel SFQ Microprocessors Based on a Gate-Level-Pipeline Structure | 5. 発行年 2021年 |
| 3. 雑誌名 IEEE Transactions on Applied Superconductivity | 6. 最初と最後の頁 1~6 |
| 掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TASC.2021.3061353 | 査読の有無 有 |
| オープンアクセス オープンアクセスではない、又はオープンアクセスが困難 | 国際共著 - |
| 1. 著者名 Kuniyoshi Manami, Murase Ken, Nagaoka Ikki, Sano Kyosuke, Tanaka Masamitsu, Yamashita Taro, Fujimaki Akira | 4. 巻 31 |
| 2. 論文標題 Investigation of Timing Parameters in Single-Flux-Quantum Circuits Using Low Critical-Current Junctions and Low Bias Voltages | 5. 発行年 2021年 |
| 3. 雑誌名 IEEE Transactions on Applied Superconductivity | 6. 最初と最後の頁 1~5 |
| 掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TASC.2021.3067827 | 査読の有無 有 |
| オープンアクセス オープンアクセスではない、又はオープンアクセスが困難 | 国際共著 - |

| | |
|---|------------------------|
| 1. 著者名 井上弘士, 川上哲志, 田中雅光 | 4. 巻 102 |
| 2. 論文標題 ムーアの法則の限界が見えた今, デバイス研究はどこに向かうのか コンピュータアーキテクチャの視点から | 5. 発行年 2019年 |
| 3. 雑誌名 電子情報通信学会誌 | 6. 最初と最後の頁 957, 962 |
| 掲載論文のDOI (デジタルオブジェクト識別子) なし | 査読の有無 無 |
| オープンアクセス オープンアクセスではない、又はオープンアクセスが困難 | 国際共著 - |

[学会発表] 計57件 (うち招待講演 19件 / うち国際学会 22件)

| |
|--|
| 1. 発表者名 I. Nagaoka, R. Kashima, T. Nakano, M. Tanaka, T. Yamashita, and A. Fujimaki |
| 2. 発表標題 Implementation of a High-Throughput Bit-Parallel Microprocessor Using Single-Flux-Quantum Logic |
| 3. 学会等名 15th European Conference on Applied Superconductivity (EUCAS 2021) (招待講演) (国際学会) |
| 4. 発表年 2021年 |

| |
|--|
| 1. 発表者名 中埜智貴, 長岡一起, 加島亮太, 田中雅光, 山下太郎, 藤巻朗 |
| 2. 発表標題 10kA/cm ² プロセスを用いた単一磁束子100GHzビット並列加算器の実証 |
| 3. 学会等名 第82回応用物理学会秋季学術講演会 |
| 4. 発表年 2021年 |

| |
|--|
| 1. 発表者名 長岡一起, 加島亮太, 田中雅光, 山下太郎, 川上哲志, 井上弘士, 藤巻朗 |
| 2. 発表標題 単一磁束量子回路に基づくゲートレベルパイプライン浮動小数点演算器の設計 |
| 3. 学会等名 2021年電子情報通信学会ソサイエティ大会 |
| 4. 発表年 2021年 |

| |
|--|
| 1. 発表者名 国吉真波, 長岡一起, 田中雅光, 山下太郎, 藤巻朗 |
| 2. 発表標題 アンシャント接合による加算器の高速化 |
| 3. 学会等名 2021年電子情報通信学会ソサイエティ大会 |
| 4. 発表年 2021年 |

| |
|--|
| 1. 発表者名 加島亮太, 長岡一起, 中埜智貴, 田中雅光, 山下太郎, 藤巻朗 |
| 2. 発表標題 低レイテンシ化を目的としたインターリーブ方式レジスタを伴う単一磁束量子データパスの動作実証 |
| 3. 学会等名 2021年電子情報通信学会ソサイエティ大会 |
| 4. 発表年 2021年 |

| |
|--|
| 1. 発表者名 加島亮太, 長岡一起, 田中雅光, 山下太郎, 藤巻朗 |
| 2. 発表標題 単一磁束量子回路の面積削減へ向けた細線受動伝送線路用ピアホールの設計と評価 |
| 3. 学会等名 2022年電子情報通信学会総合大会 |
| 4. 発表年 2022年 |

| |
|--|
| 1. 発表者名 長岡一起, 加島亮太, 田中雅光, 川上哲志, 谷本輝夫, 山下太郎, 井上弘士, 藤巻朗 |
| 2. 発表標題 単一磁束量子回路に基づくゲートレベルパイプライン浮動小数点演算器の動作実証 |
| 3. 学会等名 2022年電子情報通信学会総合大会 |
| 4. 発表年 2022年 |

| |
|--|
| 1. 発表者名 石川伊織, 長岡 一起, 石田浩貴, 福光孝介, 岡慶太郎, 田中雅光, 川上哲志, 谷本輝夫, 小野貴継, 藤巻朗, 井上 弘士 |
| 2. 発表標題 単一磁束量子回路によるビット幅可変加減算器の設計と評価 |
| 3. 学会等名 情報処理学会システムアーキテクチャ研究会 |
| 4. 発表年 2021年 |

| |
|--|
| 1. 発表者名 Koji Inoue |
| 2. 発表標題 Ultra-Fast, Low-Power Neural Network Computing with Superconductor Devices |
| 3. 学会等名 Brain-Inspired Computing: Physics, Architectures, Materials, and Applications (招待講演) (国際学会) |
| 4. 発表年 2021年 |

| |
|--|
| 1. 発表者名 Koji Inoue |
| 2. 発表標題 Towards Extremely High-Speed, Low-Power Cryogenic Superconductor Computing |
| 3. 学会等名 CRNCH (Center for Research into Novel Computing Hierarchies) Summit (招待講演) (国際学会) |
| 4. 発表年 2022年 |

| |
|--|
| 1. 発表者名 Iori Ishikawa, Ikki Nagaoka, Ryota Kashima, Koki Ishida, Kosuke Fukumitsu, Keitaro Oka, Masamitsu Tanaka, Satoshi Kawakami, Teruo Tanimoto, Takatsugu Ono, Akira Fujimaki, Koji Inoue |
| 2. 発表標題 Design of Variable Bit-Width Arithmetic Unit Using Single Flux Quantum Device |
| 3. 学会等名 the IEEE International Symposium on Circuits and Systems (ISCAS) (国際学会) |
| 4. 発表年 2022年 |

| |
|---|
| 1. 発表者名 鈴木謙吾, 深谷猛, 岩下武史 |
| 2. 発表標題 SIMD演算に適したブロック構造を有する新しいILU分解前処理手法 |
| 3. 学会等名 The 5th cross-disciplinary Workshop on Computing Systems, Infrastructures, and Programming (xSIG 2021) |
| 4. 発表年 2021年 |

| |
|--|
| 1. 発表者名 K. Ishida, M. Tanaka, I. Nagaoka, T. Ono, S. Kawakami, T. Tanimoto, A. Fujimaki, and K. Inoue |
| 2. 発表標題 32 GHz 6.5 mW gate-level-pipelined 4-bit processor using superconductor single-flux-quantum logic |
| 3. 学会等名 2020 IEEE Symposium on VLSI Circuits (国際学会) |
| 4. 発表年 2020年 |

| |
|---|
| 1. 発表者名 加島亮太, 長岡一起, 田中雅光, 山下太郎, 藤巻朗 |
| 2. 発表標題 単一磁束量子回路に基づく並列処理データパスの 64GHz動作実証 |
| 3. 学会等名 2020年電子情報通信学会ソサイエティ大会 |
| 4. 発表年 2020年 |

| |
|--|
| 1. 発表者名 国吉真波, 長岡一起, 田中雅光, 山下太郎, 藤巻朗 |
| 2. 発表標題 低消費電力単一磁束量子回路における論理ゲートのタイミングパラメータ解析 |
| 3. 学会等名 2020年電子情報通信学会ソサイエティ大会 |
| 4. 発表年 2020年 |

| |
|---|
| 1. 発表者名 長岡一起, 加島亮太, 田中雅光, 山下太郎, 藤巻朗 |
| 2. 発表標題 フィードバックループを含む単一磁束量子回路の高周波設計に向けたカウンターフロー方式シフトレジスタのタイミング解析 |
| 3. 学会等名 2020年電子情報通信学会ソサイエティ大会 |
| 4. 発表年 2020年 |

| |
|--|
| 1. 発表者名 K. Ishida, I. Byun, I. Nagaoka, K. Fukumitsu, M. Tanaka, S. Kawakami, T. Tanimoto, T. Ono, J. Kim, and K. Inoue |
| 2. 発表標題 SuperNPU: An Extremely Fast Neural Processing Unit Using Superconducting Logic Devices |
| 3. 学会等名 53rd Annual IEEE/ACM International Symposium on Microarchitecture (MICRO) (国際学会) |
| 4. 発表年 2020年 |

| |
|---|
| 1. 発表者名 I. Nagaoka, K. Ishida, M. Tanaka, K. Sano, T. Yamashita, T. Ono, K. Inoue, and A. Fujimaki |
| 2. 発表標題 Demonstration of a 52-GHz, energy-efficient, bit-parallel multiplier using low-voltage rapid single-flux-quantum logic |
| 3. 学会等名 Applied Superconductivity Conference (ASC 2020) (国際学会) |
| 4. 発表年 2020年 |

| |
|--|
| 1. 発表者名 K. Kitamura, M. Tanaka, T. Kawaguchi, I. Nagaoka, K. Takagi, A. Fujimaki, and N. Takagi |
| 2. 発表標題 High-density routing with wire length matching for single-flux-quantum circuits using thin passive transmission lines |
| 3. 学会等名 Applied Superconductivity Conference (ASC 2020) (国際学会) |
| 4. 発表年 2020年 |

| |
|--|
| 1. 発表者名 M. Kuniyoshi, K. Murase, I. Nagaoka, K. Sano, M. Tanaka, T. Yamashita, and A. Fujimaki |
| 2. 発表標題 Investigation of timing parameters in single flux quantum circuits using low critical current junctions and low bias voltages |
| 3. 学会等名 Applied Superconductivity Conference (ASC 2020) (国際学会) |
| 4. 発表年 2020年 |

| |
|---|
| 1. 発表者名 R. Kashima, I. Nagaoka, M. Tanaka, K. Sano, T. Yamashita, and A. Fujimaki |
| 2. 発表標題 50-GHz datapath for parallel SFQ microprocessors based on gate-level-pipeline architecture |
| 3. 学会等名 Applied Superconductivity Conference (ASC 2020) (国際学会) |
| 4. 発表年 2020年 |

| |
|--|
| 1. 発表者名 M. Tanaka, M. Kuniyoshi, K. Murase, I. Nagaoka, T. Yamashita, and A. Fujimaki |
| 2. 発表標題 50-GHz datapath for parallel SFQ microprocessors based on gate-level-pipeline architecture |
| 3. 学会等名 2nd Workshop on Quantum and Classical Cryogenic Devices, Circuits, and Systems (QCCC 2020) (国際学会) |
| 4. 発表年 2020年 |

| |
|---|
| 1. 発表者名 国吉真波, 村瀬健, 長岡一起, 田中雅光, 山下太郎, 藤巻朗 |
| 2. 発表標題 低消費電力単一磁束量子回路の動作周波数の調査 |
| 3. 学会等名 電子情報通信学会超伝導エレクトロニクス研究会 |
| 4. 発表年 2021年 |

| |
|---|
| 1. 発表者名 国吉真波, 長岡一起, 田中雅光, 山下太郎, 藤巻朗 |
| 2. 発表標題 アンシャント接合によるSFQ論理ゲートのエネルギー効率の向上 |
| 3. 学会等名 電子情報通信学会2021年総合大会 |
| 4. 発表年 2021年 |

| |
|---|
| 1. 発表者名 長岡一起, 加島亮太, 中埜智貴, 田中雅光, 山下太郎, 藤巻朗 |
| 2. 発表標題 単一磁束量子回路に基づく50GHzビット並列演算マイクロプロセッサの設計 |
| 3. 学会等名 電子情報通信学会2021年総合大会 |
| 4. 発表年 2021年 |

| |
|---|
| 1. 発表者名 加島亮太, 長岡一起, 田中雅光, 山下太郎, 藤巻朗 |
| 2. 発表標題 単一磁束量子回路の高集積化へ向けた細線受動伝送線路の評価 |
| 3. 学会等名 電子情報通信学会2021年総合大会 |
| 4. 発表年 2021年 |

| |
|---|
| 1. 発表者名 石田浩貴, IlkwonByun, 長岡一起, 福光孝介, 田中雅光, 川上哲志, 谷本輝夫, 小野貴継, 藤巻朗, Jangwoo Kim, 井上弘士 |
| 2. 発表標題 超伝導ニューラルネットワーク・アクセラレータのアーキテクチャ探索を目的とした電力性能モデリング |
| 3. 学会等名 情報処理学会 236回システム・アーキテクチャ研究会 |
| 4. 発表年 2021年 |

| |
|--|
| 1. 発表者名 福光孝介, 石田浩貴, 長岡一起, 田中雅光, 川上哲志, 谷本輝夫, 小野貴継, 藤巻朗, 井上弘士 |
| 2. 発表標題 アーキテクチャ探索を目的とした単一磁束量子回路の電力効率モデリング |
| 3. 学会等名 情報処理学会研究報告, Vol.2020-ARC-242 No.5, pp.1-7 |
| 4. 発表年 2020年 |

| |
|--|
| 1. 発表者名 石田浩貴 |
| 2. 発表標題 単一磁束量子回路を用いた4ビットゲートレベルパイプライン・プロセッサの設計 |
| 3. 学会等名 VDECデザインコンテスト |
| 4. 発表年 2020年 |

| |
|---|
| 1. 発表者名 福光孝介 |
| 2. 発表標題 単一磁束量子回路を用いたニューラルネットワーク・アクセラレータのプロトタイプ設計 |
| 3. 学会等名 VDECデザインコンテスト |
| 4. 発表年 2020年 |

| |
|--|
| 1. 発表者名 Takeshi Iwashita, Kengo Suzuki and Takeshi Fukaya |
| 2. 発表標題 An Integer Arithmetic-Based Sparse Linear Solver Using a GMRES Method and Iterative Refinement |
| 3. 学会等名 Conference Proceedings of 2020 IEEE/ACM 11th Workshop on Latest Advances in Scalable Algorithms for Large-Scale Systems (ScaIA) (招待講演) (国際学会) |
| 4. 発表年 2020年 |

| |
|--|
| 1. 発表者名 Takeshi Iwashita |
| 2. 発表標題 An Iterative Refinement Technique with an Integer Arithmetic-Based GMRES Solver |
| 3. 学会等名 Lip6 (仏 ソルボンヌ大学, CNRS) PEQUAN team seminar (招待講演) (国際学会) |
| 4. 発表年 2020年 |

| |
|---|
| 1. 発表者名 井上弘士 |
| 2. 発表標題 革新的コンピューティングの実現に向けた新デバイス技術への期待 |
| 3. 学会等名 第一回 阪大スピンセンター異分野交流研究会 (招待講演) |
| 4. 発表年 2020年 |

| |
|---|
| 1. 発表者名 井上弘士 |
| 2. 発表標題 近未来のコンピューティング像を探る! |
| 3. 学会等名 産総研 IMPULSE コンソーシアム 2020年度第4回セミナー (招待講演) |
| 4. 発表年 2021年 |

| |
|--|
| 1. 発表者名 Koji Inoue |
| 2. 発表標題 Towards Ultra-High-Speed Superconductor Computing ~ Computer Architecture Perspective ~ |
| 3. 学会等名 the 33rd International Superconductivity Symposium (ISS2020) (招待講演) (国際学会) |
| 4. 発表年 2021年 |

| |
|--|
| 1. 発表者名 Koji Inoue |
| 2. 発表標題 Challenges in Ultra-High-Performance Low-Power Computing towards the Post Moore Era ~ A Computer Architecture Perspective ~ |
| 3. 学会等名 26th Asia and South Pacific Design Automation Conference ASP-DAC 2021 (招待講演) (国際学会) |
| 4. 発表年 2021年 |

| |
|--|
| 1. 発表者名 M. Tanaka |
| 2. 発表標題 Development of 50-GHz, high-throughput rapid single-flux-quantum circuits toward ultra-fast, energy-efficient computing |
| 3. 学会等名 10th Asian Conference on Applied Superconductivity and Cryogenics (ACASC), 2nd International Cryogenic Materials Conference in Asia (Asian-ICMC), and CSSJ Joint Conference (招待講演) (国際学会) |
| 4. 発表年 2020年 |

| |
|--|
| 1. 発表者名 A. Fujimaki |
| 2. 発表標題 Challenges to thermal limit, quantum limit, and high throughput based on SFQ circuits |
| 3. 学会等名 2020 International Symposium on Superconductor Electronics / 13th Superconducting SFQ VLSI Workshop (招待講演) (国際学会) |
| 4. 発表年 2020年 |

| |
|---|
| 1. 発表者名 R. Kashima |
| 2. 発表標題 Design of datapath for 8 bit parallel SFQ microprocessors with gate level pipelines |
| 3. 学会等名 2020 International Symposium on Superconductor Electronics / 13th Superconducting SFQ VLSI Workshop (招待講演) |
| 4. 発表年 2020年 |

| |
|---|
| 1. 発表者名 M. Kuniyoshi |
| 2. 発表標題 Investigation of timing design by using low-power SFQ shift registers |
| 3. 学会等名 2020 International Symposium on Superconductor Electronics / 13th Superconducting SFQ VLSI Workshop (招待講演) |
| 4. 発表年 2020年 |

| |
|---|
| 1. 発表者名 I. Nagaoka |
| 2. 発表標題 High-throughput gate-level-pipelined SFQ multipliers |
| 3. 学会等名 2020 International Symposium on Superconductor Electronics / 13th Superconducting SFQ VLSI Workshop (招待講演) |
| 4. 発表年 2020年 |

| |
|---|
| 1. 発表者名 M. Tanaka |
| 2. 発表標題 Development of gate-level-pipelined SFQ circuits toward ultra-high-speed cryogenic computing |
| 3. 学会等名 2020 International Symposium on Superconductor Electronics / 13th Superconducting SFQ VLSI Workshop (招待講演) |
| 4. 発表年 2020年 |

| |
|----------------------------------|
| 1. 発表者名 長岡一起 |
| 2. 発表標題 100TOPS/W超伝導単一磁束量子演算器 |
| 3. 学会等名 LSIとシステムのワークショップ2019 |
| 4. 発表年 2019年 |

| |
|--|
| 1. 発表者名 田中雅光 |
| 2. 発表標題 単一磁束量子回路に基づくゲートレベル・パイプライン算術論理演算器の高エネルギー効率化と0.3mW, 30GHz動作実証 |
| 3. 学会等名 2019年並列 / 分散 / 協調処理に関する『北見』サマー・ワークショップ (SWoPP2019) |
| 4. 発表年 2019年 |

| |
|---|
| 1. 発表者名 長岡一起 |
| 2. 発表標題 単一磁束量子回路に基づく低電圧駆動ゲートレベルパイプライン算術論理演算器の設計と評価 |
| 3. 学会等名 電子情報通信学会2019年ソサイエティ大会 |
| 4. 発表年 2019年 |

| |
|---|
| 1. 発表者名 加島亮太 |
| 2. 発表標題 単一磁束量子回路に基づく50 GHz並列処理データパスの設計 |
| 3. 学会等名 電子情報通信学会2020年総合大会 |
| 4. 発表年 2020年 |

| |
|---|
| 1. 発表者名 国吉真波 |
| 2. 発表標題 低電圧駆動単一磁束量子回路における論理ゲートのタイミングパラメータの解析 |
| 3. 学会等名 電子情報通信学会2020年総合大会 |
| 4. 発表年 2020年 |

| |
|---|
| 1. 発表者名 長岡一起 |
| 2. 発表標題 単一磁束量子回路に基づく低電圧駆動ゲートレベルパイプライン算術論理演算器の設計と評価 |
| 3. 学会等名 電子情報通信学会2020年総合大会 |
| 4. 発表年 2020年 |

| |
|---|
| 1. 発表者名 K. Inoue |
| 2. 発表標題 Towards Ultra High-Speed Superconducting Computing |
| 3. 学会等名 the 19th International Forum on Embedded MPSoC and Multicore (招待講演) (国際学会) |
| 4. 発表年 2019年 |

| |
|---|
| 1. 発表者名 井上弘士 |
| 2. 発表標題 革新的コンピューティングの創生に向けて～量的変化から質的变化へ～ |
| 3. 学会等名 IPSJ連続セミナー (招待講演) |
| 4. 発表年 2019年 |

| |
|----------------------------|
| 1. 発表者名 井上弘士 |
| 2. 発表標題 次世代超伝導コンピューティング |
| 3. 学会等名 応用物理学会 (招待講演) |
| 4. 発表年 2019年 |

| |
|---|
| 1. 発表者名 井上弘士 |
| 2. 発表標題 革新的コンピューティングの実現に向けた新デバイス技術への期待 |
| 3. 学会等名 第一回 阪大スピンセンター異分野交流研究会（招待講演） |
| 4. 発表年 2020年 |

| |
|----------------------------------|
| 1. 発表者名 長岡一起 |
| 2. 発表標題 100TOPS/W超伝導単一磁束量子演算器 |
| 3. 学会等名 LSIとシステムのワークショップ2019 |
| 4. 発表年 2019年 |

| |
|---|
| 1. 発表者名 Susumu Mashimo |
| 2. 発表標題 Energy Efficient Runahead Execution on a Tightly Coupled Heterogeneous Core |
| 3. 学会等名 International Conference on High Performance Computing in Asia-Pacific Region (国際学会) |
| 4. 発表年 2020年 |

| |
|---|
| 1. 発表者名 Keitaro Oka |
| 2. 発表標題 Enhancing a manycore-oriented compressed cache for GPGPU |
| 3. 学会等名 International Conference on High Performance Computing in Asia-Pacific Region (国際学会) |
| 4. 発表年 2020年 |

| |
|--|
| 1. 発表者名 Susumu Mashimo |
| 2. 発表標題 An Open Source FPGA-Optimized Out-of-Order RISC-V Soft Processor |
| 3. 学会等名 IEEE International Conference on Field Programmable Technology (国際学会) |
| 4. 発表年 2019年 |

| |
|---|
| 1. 発表者名 Yusuke Matsunaga |
| 2. 発表標題 An Efficient SAT-Attack Algorithm Against Logic Encryption |
| 3. 学会等名 International Symposium on On-Line Testing and Robust System Design (IOLTS) (国際学会) |
| 4. 発表年 2019年 |

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

| | 氏名 (ローマ字氏名) (研究者番号) | 所属研究機関・部局・職 (機関番号) | 備考 |
|-------|---|---|----|
| 研究分担者 | 松永 裕介 (Matsunaga Yusuke) (00336059) | 九州大学・システム情報科学研究所・准教授 (17102) | |
| 研究分担者 | 田中 雅光 (Masamitsu Tanaka) (10377864) | 名古屋大学・工学研究科・助教 (13901) | |
| 研究分担者 | 岩下 武史 (Iwashita Takeshi) (30324685) | 北海道大学・情報基盤センター・教授 (10101) | |

6. 研究組織（つづき）

| | 氏名 (ローマ字氏名) (研究者番号) | 所属研究機関・部局・職 (機関番号) | 備考 |
|-------|---|--|----|
| 研究分担者 | 谷本 輝夫 (Tanimoto Teruo) (60826353) | 九州大学・システム情報科学研究院・助教 (17102) | |
| 研究分担者 | 小野 貴継 (Ono Takatsugu) (80756239) | 九州大学・システムL S I 研究センター・准教授 (17102) | |

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

| 共同研究相手国 | 相手方研究機関 | | | |
|---------|---------------------------|--|--|--|
| 韓国 | Seoul National University | | | |