

令和 4 年 6 月 15 日現在

機関番号：10101

研究種目：基盤研究(B) (一般)

研究期間：2019～2021

課題番号：19H02184

研究課題名(和文) Si/III-V異種接合によるナノワイヤ縦型トンネルFET立体集積回路技術の確立

研究課題名(英文) Investigation on vertical tunnel FET using Si/III-V heterojunction and their three-dimensional integrated circuit applications

研究代表者

富岡 克広 (Tomioka, Katsuhiko)

北海道大学・情報科学研究所・准教授

研究者番号：60519411

交付決定額(研究期間全体)：(直接経費) 13,600,000円

研究成果の概要(和文)：本研究は、研究代表者が独自に確立したナノワイヤ異種集積技術を更に発展・探究するだけでなく、III-V族化合物半導体ナノワイヤ材料からなる高速・低消費電力/高効率3D回路の基盤技術を創出し、新しい三次元(3D)立体回路を実現するトランジスタ集積技術を確立し、既存の平面集積パラダイムを革新し、次世代エレクトロニクスの新たな潮流を創出する。本研究では、新しいSi/III-Vナノワイヤ接合とトンネル輸送原理で、ナノワットで駆動する超高効率新型トランジスタを創出した。これらの成果から、ナノワイヤTFETによる立体回路構造の新たな設計指針が得られた。

研究成果の学術的意義や社会的意義

本研究結果によって、超低消費電力で動作するスイッチ素子の作製と集積技術が確立された。爆発的な情報端末・車載エレクトロニクスの普及、人口増加でエネルギー消費量は今後、指数関数的に増加することが予想される次世代エレクトロニクスにおいて、抜本的な省エネルギー化を新しいスイッチ素子、集積方法で実現できるようになる。

研究成果の概要(英文)：In this research, we developed and explored heterogeneous integration of III-V nanowires heterogeneous for high-speed, low-power, and high-efficiency three-dimensional (3D) circuits application. a nanowire 3D-architecture revolutionized the existing planar integration paradigm, and created a new trend in next-generation electronics. We have created an ultra-efficient tunnel transistors driven by nanowatts based on a new Si/III-V nanowire junction and tunneling transport mechanism. These results would provided new design guidelines for three-dimensional circuit structures based on nanowire TFETs.

研究分野：薄膜成長、半導体デバイス、半導体ナノ構造

キーワード：ナノワイヤ トランジスタ トンネルFET FET III-V

様式 C-19, F-19-1, Z-19 (共通)

1. 研究開始当初の背景

シリコン CMOS 集積技術の微細化限界が指摘され始め、新材料・デバイス開発が検討されている中、新材料・デバイスに期待される性能は、Si-CMOS 集積回路と同等かそれ以上であること、且つ大幅な消費電力の削減ができることの2点に集約される。一方で、爆発的な情報端末・車載エレクトロニクスの普及、人口増加でエネルギー消費量は今後、指数関数的に増加することが予想される。これらのエネルギー消費量に対して、すべて電子機器、とりわけ集積回路・ナノエレクトロニクスでは、高性能化と低消費電力化の両立が急務であり、半導体ロードマップでは既に、2030年に急峻な S.S 係数を有した縦型トランジスタ構造の実用化の可能性が指標化されている。急峻な S.S 係数はステープスロープスイッチ素子で達成でき、いくつかの素子のうちトンネル輸送を電界変調するトンネル FET(TFET)が有望視されている。しかしながら、実験的に S.S 係数の急峻化を達成した例は少なく、これらの TFET の優位性を実証した相補型スイッチ特性への研究展開や、これらを活用した縦型集積構造の実現に至っていない。低消費電力用の次世代スイッチ・トランジスタ開発については、欧米を中心にして大規模予算で現在活発に研究展開されている。そこには大きく分けて三つのアプローチがある。①トランジスタの動作原理の代替、②半導体材料の代替、③さらに①と②を組み合わせで抜本的な高性能化を図る。これらはそれぞれの立場で Si CMOS を超える性能・低消費電力性能を実証するため、それぞれの得意領域で研究が行なわれ黎明期と言える。本研究は③のアプローチで、Si/III-V 異種材料融合に立脚した新たなトンネル接合と、LSI 超集積回路技術という欧米の企業がしのぎを削って開発を行なっている分野に独自の CMOS 立体集積回路の要素技術の確立で切り込む。

2. 研究の目的

本研究は、NW(NW)結晶成長で形成される Si/III-V 異種接合を応用することで、低消費電力性能と高性能化を両立した縦型トンネル FET からなる次世代超集積回路の基盤技術を確認する。具体的には、研究代表者が独自に開発した Si 上の III-VNW 異種集積技術によって、高品質 NW チャネルと Si/III-V 異種接合を形成することで、Si グリッド細線上に、極低電圧でスイッチングする縦型トンネル FET アレイを集積し結晶成長技術で高性能化を図る。さらに、配線配置の組み合わせで相補型スイッチング動作を実証し、縦型 NW TFET からなる立体集積回路の基本構成のプロトタイプを作製し、省電力 3D 立体集積回路作製技術の基礎を築く。

本研究の最終目的は、超低消費電力 LSI について新型/縦型 TFET を実装し、あらゆる電子デバイスの省エネルギー化を図ることである。これには、TFET 素子の集積、相補スイッチの実現、集積構造の工夫、寄生容量などの抽出、最適な集積アーキテクチャ設計、SPICE/ルール/ライブラリの構築といった材料からシステムについてマイルストーンがあり、本提案は、最初のマイルストーンである縦型 TFET の集積回路の基盤技術を確認することが目的である。

3. 研究の方法

研究期間中以下の研究課題について実施した。(1)結晶成長【SOI(111)ナノ加工プロセスと III-VNW 異種集積技術】、(2)デバイス作製【SOI-フィン上の Si/III-V ヘテロ接合縦型 TFET の相補スイッチング】、(3)立体回路作製プロセス技術とプロトタイプ回路構造の試作【立体集積回路作製プロセス工程の最適化とインバータ回路プロトタイプの試作】

(1) 結晶成長【SOI(111)ナノ加工プロセスと III-VNW 異種集積技術】

p, n 型 SOI (111)基板に対し、細線幅 100 - 500 nm、長さ 2-3 μm からなるグリッド線状のフィン構造を作製し、独自の NW 選択成長技術を応用することで、短冊状に加工された Si 上に縦型 InGaAsNW からなる変調ドーパ型のチャネル構造を異種集積する。

(2) デバイス作製【SOI-フィン上の Si/III-V ヘテロ接合縦型 TFET の相補スイッチング】

代表者独自の縦型素子作製工程を採用し、n-SOI フィン上に異種集積した変調ドーパ型 InGaAsNW チャネルの縦型 FET 素子を作製する。膜厚数 nm の制御性を有した極小電力スパッタでダメージの少ない金属堆積装置を導入することで、ゲート長(ゲート金属の膜厚に相当)の微細化を図り、InGaAsNW からなる縦型サラウンディングゲート FET の評価を行う。次いで、異なる抵抗率からなる p-SOI(111)上に縦型 TFET 構造を作製し、低電圧・高性能スイッチングを達成する。

(3) 立体回路作製プロセス技術とプロトタイプ回路構造の試作【立体集積回路作製プロセス工程の最適化とインバータ回路プロトタイプの試作】

上記(1),(2)で実現された Si グリッド細線上の Si/InGaAs ヘテロ接合縦型 TFET 素子アレイを 3次元立体集積プロセス技術を確認することで、立体集積構造インバータ回路のプロトタイプ作製し回路の動作実験を行う。

4. 研究成果

[1] SOI(111)基板上的 III-V NW 選択成長

図 1 (a)–(d)に示すように、p, n 型 SOI(111)基板に対し、細線幅 300 nm、長さ 2-3 μm からなるグリッド線状のフィン構造を作製し、熱酸化によって、膜厚 34 nm の SiO_2 を形成した後、電子ビームリソグラフィとドラインエッチング・ウェットエッチングを組み合わせることで、フィン上に開口部を形成、NW 選択成長と成長方向の制御を達成した。図 1(f)に短冊状に加工された SOI(111)上に変調ドープ InGaAs/InP/AlInAs/InP コアマルチシェル(CMS) NW の選択成長結果を示す。加工した SOI 細線上に垂直 NW を集積した。

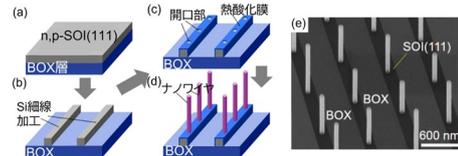


図 1 (a)–(d): Si フィン上の III-V NW 局所選択成長方法と (f) Si 細線上の InGaAs CMS NW 成長結果

[2] SOI(111)細線上の InGaAs CMS NW の縦型ゲートオールアラウンド TFET の作製

図 2 に InGaAs CSM NW チャネルの断面構造の元素分析結果を示す。図 2(a)–(c)から集積した InGaAs CMS NW は、選択成長法[10]によって直接集積した垂直 InGaAs NW に対して、選択成長法の横方向成長モードを応用することで作製した。本研究では、In 組成 80% の InGaAs NW の長軸方向に p-Si 基板側から 200 nm 長の真性層、400 nm 長の Si ドープ層、600 nm 長の Sn パルスドープ層で構成される NW チャネルを形成した。次いで、図 2(b), (c)に示すように、横方向成長モードによって、InP/AlInAs/ δ ドープ AlInAs/AlInAs/InP 多層膜を NW の垂直ファセット上に形成した。直径は 50 nm である。図 2(c)は、NW 断面の高角散乱環状暗視野走査型透過電子顕微鏡(HAADF-STEM)像であり、コア直径はおよそ 33 nm であることがわかる。図 2(d)–2(i)は、図 2(c)のエネルギー分散型 X 線(EDX)分析による元素マッピングである。この図から、InP, AlInAs, δ ドープ AlInAs, AlInAs, InP 層はそれぞれ 2.5, 1.0, 1.0, 1.0, 3.0 nm の膜厚を有しており、NW の $\{-110\}$ 側壁全面に成膜され、六角形の各頂点に Al が偏析していることが示された。この多層膜のうち、最表面の InP シェル層は InP/ゲート酸化膜界面でゲート制御性を向上するため、内層の InP シェル層はバリア層として、ノーマリオフ動作を目的として導入している。

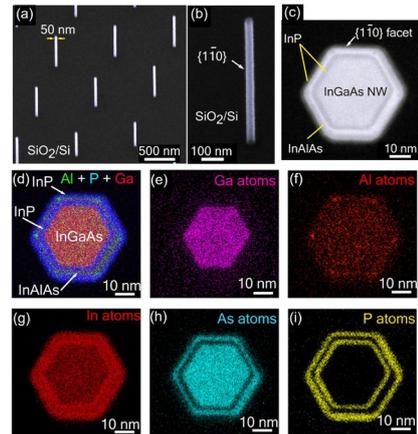


図 2 (a) Si 上の InGaAs CMS NW 成長 SEM 像, (b) (a)の拡大像, (c) NW 断面の HAADF-TEM 像, 元素マッピング: (d) Al+Ga+P 混合マッピング, (e) Ga, (f) Al, (g) In, (h) As, (i) P 原子

次に、検証として、まず SOI(111)上の InGaAs CMS NW に対して、縦型ゲートオールアラウンド FET (VGAA-FET)素子を図 3(a)のように作製した。図 3(b)–3(d)に作製した VGAA-FET の素子特性を示す。SOI 基板上的 NW においても VGAA-FET 構造によって、電子輸送が VGAA 構造で電界変調できることを確認した。図 3(b)から、オン電流は $V_{DS} = 1.00 \text{ V}$ で $I_D = 1.12 \text{ mA}/\mu\text{m}$ 、 $V_{DS} = 0.50 \text{ V}$ で $I_D = 0.23 \text{ mA}/\mu\text{m}$ と、低電圧で高いオン電流を達成できることを明らかにした。さらに、図 3(c)から $V_{DS} = 0.50 \text{ V}$ における最小 SS 係数は $74 \text{ mV}/\text{dec}$ 、オフリーク電流は $1 \text{ pA}/\mu\text{m}$ 程度であり、従来の InGaAs VGAA-FET 特性と遜色ない値で変調できることを確認した。また、相互コンダクタンス(G_m)は $V_{DS} = 0.50 \text{ V}$ の時に $1.81 \text{ mS}/\mu\text{m}$ であり、変調ドープチャネル特有の高い G_m 特性を示すことがわかる。

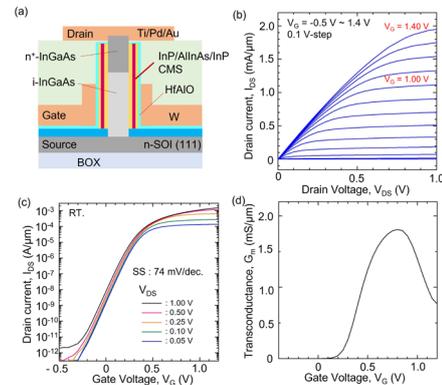


図 3 (a) SOI(111)上の InGaAs CMS NW VGAA-FET 模式図, (b)出力特性, (c) 伝達特性, (d)相互コンダクタンス

p 型 SOI(111)上に同様の手法で InGaAs CMS NW を集積し、縦型 VGAA-トンネル FET (VGAA-TFET)構造を作製した。図 4 に作製した VGAA-TFET 素子特性を示す。図 4(a)から InGaAs/Si ヘテロ接合界面で流れるトンネル電子輸送がゲート変調を受けていることがわかる。また、変調ドープ CMS によってトンネル電子と二次元電子ガスを重畳することで、TFET 素子特性としては、 $V_{DS} = 0.50 \text{ V}$ で $4 \mu\text{A}/\mu\text{m}$ と極めて高いオン電流が得られることを実証した。さらに、FET の物理限界 ($60 \text{ mV}/\text{dec}$)を下回る急峻な SS 係数を達成していることがわかる。図 4(b)から、最小 SS は $SS =$

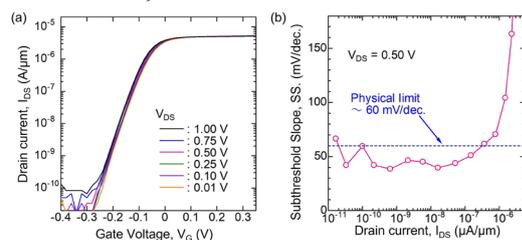


図 4 (a) SOI 細線上の InGaAs CMS NW VGAA-TFET の伝達特性, (b) ドレイン電流に対する SS の変化

40 mV/dec であり、ドレイン電流 4 桁に渡って急峻な SS 係数が得られていることがわかる。今回作製した VGAA-TFET 素子のオフリーク電流は $0.1 \text{ nA}/\mu\text{m}$ 程度と VGAA-FET 特性と比べると高くなる。これは、SOI 細線のリーク成分や、InGaAs/Si ヘテロ接合界面に由来するリーク要因と考えられる。

[3] VGAA-TFET の高性能化と相補スイッチ特性

VGAA-TFET の立体集積構造には、[1]で確立した NW 集積構造が必須であり、次いで、集積回路として VGAA-TFET 素子特性の種々の特性の詳細について評価する必要がある。ここでは、InGaAs/Si ヘテロ接合型 VGAA-TFET 素子の素子特性を Si 上に基板に切り替えてデバイス物性と相補スイッチ特性について調査した。作製した VGAA-TFET の伝達特性を図 5(a)に示す。測定は室温で行い、電流値は NW の外周で規格化した。図 5(a)から、FET の物理限界を下回る急峻な SS でトンネル電流がゲート変調されていることがわかる。 $V_{DS} < 1.00 \text{ V}$ で電流値のオンオフ比は 10^5 以上であった。閾値電圧はおよそ -0.07 V であり、 $V_G - V_T = 0.50 \text{ V}$ のとき、オン電流は $2.4 \mu\text{A}/\mu\text{m}$ まで向上した。回路演算のゲート電圧ウィンドウ（供給電圧に相当）はおよそ 0.35 V であり、通常の FET のおよそ $1/3$ まで低減できることが分かる。また、オフリーク電流について、現行 FET よりも小さく $10^{-11} \text{ A}/\mu\text{m}$ であり、ゲートリーク電流(I_G)は $1 \text{ pA}/\mu\text{m}$ であった。以上から、オフリーク電流は、主に InGaAs NW/Si トンネル接合におけるトンネルリーク電流が支配的であることを示す。閾値電圧シフトはおよそ $20 \text{ mV}/\text{V}$ であった。また、ヒステリシス特性は見られなかった。高いドレイン電流と急峻な SS 係数を実現したのは本研究が初めてである。

図 5(b)に VGAA-TFET の出力特性を示す。従来の MOSFET の飽和特性と異なり、 $V_{DS} = 0.10 \text{ V}$ で飽和領域を生じ、ゲート電圧の増加に対して非線形に増加することがわかる。一方、図 5(c)から、負の V_{DS} (順方向バイアス)において、トンネル接合特有の負性微分抵抗(NDR)領域が現れなかった。これは、InGaAs NW/Si トンネル接合直上の NW が真性層であることと、p-Si のキャリア密度が $1 \times 10^{18} \text{ cm}^{-3}$ であるためと考えられる。図 5(d)は p-Si(111)基板のキャリア密度を $1 \times 10^{20} \text{ cm}^{-3}$ とし、NW 中の真性層を Si ドープ層に置き換えた場合のダイオード特性である。この図から、InGaAs NW/Si 接合界面近傍のキャリア密度を高くすると、NDR を生じることがわかる。また、得られた飽和領域のドレイン電流に対して Kanen モデルでプロットすると、図 5(e)のように $\log(I_D/V_G^2)$ と $1/V_G$ が線形関係になる。したがって、素子を流れる電流はトンネル輸送過程が支配的と考えられる。これらの成果は、当該分野では最高性能の素子特性である。

図 5(f)に $V_{DS} = 0.25 \text{ V}$ における SS とドレイン電流 I_D の関係を示す。この図では、InGaAs/InP コアシェル(CS) NW/Si 接合による VGAA-TFET の特性も示している。最小 SS は $21 \text{ mV}/\text{dec}$ 、急峻な SS を示す I_D の範囲の平均 SS は $40 \text{ mV}/\text{dec}$ であった。SS = $60 \text{ mV}/\text{dec}$ になるドレイン電流 I_{60} は $0.24 \mu\text{A}/\mu\text{m}$ であり、InGaAs/InP CS NW/Si 接合の VGAA-TFET と比べると、およそ 600 倍に向上することが分かる。単純な InGaAs NW/Si 接合の VGAA-TFET と比べるとおよそ 1000 倍である。この InGaAs CMS-NW/Si 接合によるトンネル電流の増大は、NW チャネルの電子ガス生成によるシートキャリアが増加し、変調ドープ型 InGaAs CMS NW のコア NW 中にキャリアが閉じ込められ、InGaAs NW/Si 接合界面のトンネル確率が増大したと考えられる。以上から、二次元電子ガスと量子トンネル過程を組み合わせることで、TFET 性能を向上できることが示された。

シートキャリア密度は、NW の直径微細化によって増加できることを調べた。図 6(a)にコア InGaAs NW の直径とオン電流の関係を示す。NW 直径の微細化によって I_{ON} が向上することが分かり変調ドープ CMS NW/Si 界面による TFET 特性については、NW 直径サイズが二次元電子ガス密度と I_{ON} の制御に寄与できることを明らかにした。図 6(b)に、今回作製した VGAA-TFET 素子の伝達効率(G_m/I_D)と I_D の関係を示す。図 6(b)から、作製した素子は、従来の FET の理論限界($G_m/I_D = 38.5 \text{ V}^{-1}$, 図 6(b)中破線)を大幅に超えることが分かった。伝達効率は回路駆動するために電流効率を表す指標であり、従来の FET はどの電流範囲においても 38.5 V^{-1} を超えることはないが、VGAA-TFET の急峻な SS 領域では、この上限を超える効率が得られることを示している。

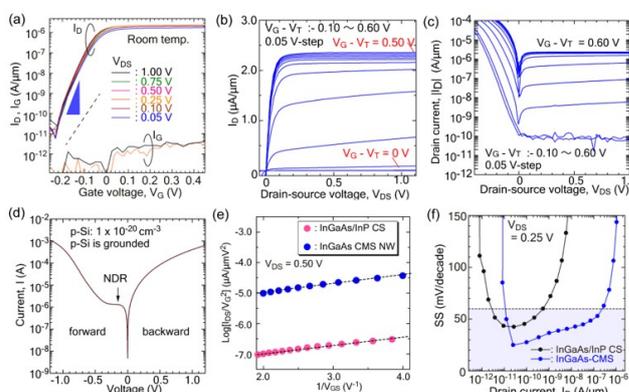


図 5 (a) InGaAs CMS VGAA-TFET の伝達特性, (b) 出力特性, (c) (b)の方対数プロット, (d)ダイオード特性, (e) Kanen プロット, (f) ドレイン電流に対する SS の変化

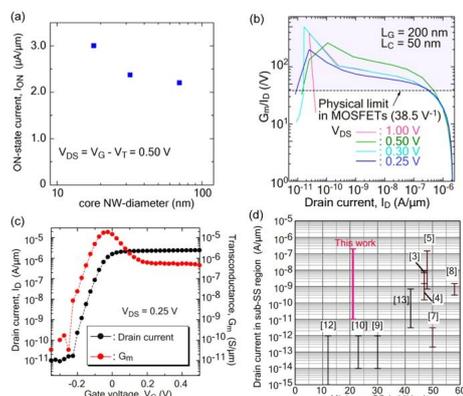


図 6 (a) コア NW の直径とドレイン電流の関係, (b) 伝達効率, (c) 相互コンダクタンス, (d)比較

図 6(b)から、最大 G_m/I_D は V_{DS} に依存するものの、 $V_{DS}=0.50\text{ V}$ 以下、 $I_D < I_{D0}$ で上限を超え、 $V_{DS}=0.25\text{ V}$ の場合、最大 G_m/I_D はおよそ 520 /V になることがわかる。これは、従来の FET で電力効率がまったくくない低電流領域で高効率の回路構成ができることを示しており、従来の FET とは異なる構成の回路を創成できる可能性がある。

図 7 に、ソース・ドレイン電極を入れ替えた場合の VGAA-TFET 素子特性を示す。図 7(b) に示すように、接地電極を入れ替えることによって、n チャネル動作の極性を反転させて p チャネル動作することがわかる。図 7(c) にその伝達特性を示す。図から、 $V_{DS} = -0.50\text{ V}$ 以下で急峻な SS 特性を示すスイッチング特性が得られた。図 7(d) に示すように、 $V_{DS} = -0.10\text{ V}$ で最小 SS 係数は 5.6 mV/桁 になる。また、図 7(e) と 7(f) から、最大 G_m/I_D は $V_{DS} = -0.25\text{ V}$ 以下でおよそ $1000\text{ - }3000\text{ /V}$ になることがわかる。これによって、ソース・ドレイン接地電極の立体配置を工夫することで、低電圧型 NW 立体集積回路構造を構成できる重要な知見が得られた。

[4] 立体回路作製プロセス技術とプロトタイプ構造

VGAA-TFET の立体集積のプロトタイプ構造を作製した。NW 立体集積構造は図 8(b) に示すように III-V NW からなる CMOS 構造の試作を初期構造として作製を試みた。ここでは、SOI 上に異種集積した InGaAs/GaSb CS NW [図 8(a)] を用いている。立体集積プロセスの初期工程においては、SOI 基板上で NW を成長した後、SOI 層を部分的にエッチングするアプローチと [1] の成果の SOI 細線上の局所選択成長から成膜するアプローチの 2 通りの工程が可能であることが本研究を通して明らかにできた。今回は前者のアプローチで試作を進めた。図 8(c) に InGaAs/GaSb CS NW アレイに図 8(b) のインバータ構造を作製した顕微鏡像を示す。今回のプロトタイプでは、GaSb シェル層の p チャネル特性が後述する [6] の特性から良好な特性が得られなかったため、VGAA-FET の NOT 動作は得られなかったが、SOI 層の局所エッチングとナノワイヤ集積で国内では初めて一括集積型の CMOS 立体回路構造を得た。次に、同様の SOI 選択エッチを回路作製工程に導入することで、図 8(d) 内挿図に示す VGAA-TFET インバータ素子を試作した。今回はナノワイヤアレイ同士の集積とした。図 8(d) は TFET-NOT 回路のプロトタイプの特性で、 0.5 V で回路動作は得られたが、図 7 に示すような大きな DIBL 特性や閾値電圧の非整合性から理想的な特性にはならなかった。しかしながら、VGAA-TFET の立体回路の作製例は、世界初であり、素子特性の整合を改善しハイインパクトの論文誌へ掲載公開を目指すとともに、これらの回路を用いた社会実装を目指す。

[5] 予期しなかった新たな知見と展望

VGAA-TFET の立体集積のプロトタイプ構造を作製する過程で、InGaAs/GaSb CS NW の VGAA-FET 素子構造と特性評価を進め、図 9 のように、ドレイン極性によって、GaSb シェルの正孔輸送の電界変調 (p チャネル FET) と、InGaAs/Si ヘテロ接合界面のトンネル輸送の電界変調 (n チャネル TFET) が一つの素子で達成できることを見出した。得られた特性は [1]-[5] まで示した特性に劣るが、予期しなかった新たな知見であり知的財産の権利化を進めた。現在、この知見から、一つの材料・デバイスに複数のキャリア・原理を集約し制御する新デバイスの着想・集積回路の展開を構想している。また、今回確立した立体集積回路のプロセス技術を応用し、新奇な演算回路素子やシナプス模倣回路など新たな回路構成を実現できるため、低消費立体内 LSI の実現とともに、これらの新しい知見についても大きく展開したいと考えている。

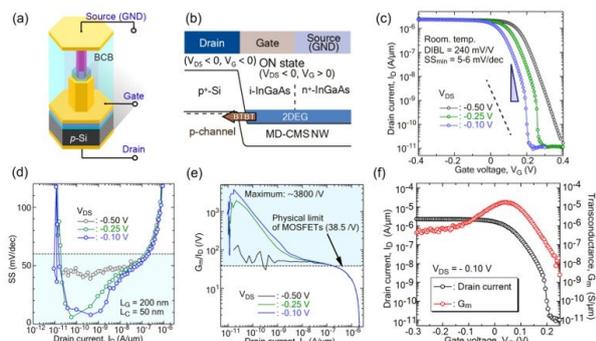


図 7 (a) ソース・ドレイン接地電極を入れ替えた VGAA-TFET の模式図, (b) 動作原理, (c) 伝達特性, (d) SS とドレイン電流の関係, (e) 伝達効率特性, (f) 相互コンダクタンス

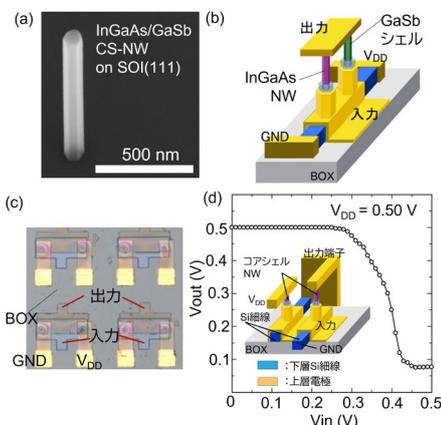


図 8 (a) SOI(111) 上の InGaAs/GaSb CS ナノワイヤ SEM 像, (b) III-V NW の立体 CMOS 回路構造模式図, (c) (b) の作製結果顕微鏡像, (d) VGAA-TFET のインバータ試作例

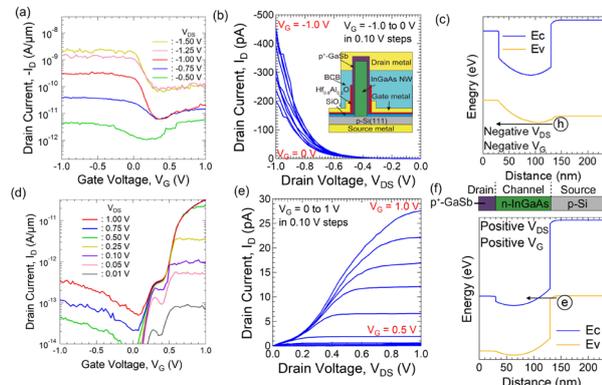


図 9 マルチモード特性, (a) - (c): p-チャネル FET モード特性, (d) - (f): n チャネル TFET モード

5. 主な発表論文等

〔雑誌論文〕 計12件（うち査読付論文 11件 / うち国際共著 0件 / うちオープンアクセス 4件）

1. 著者名 Katsuhiko Tomioka and Junichi Motohisa	4. 巻 -
2. 論文標題 Scaling effect on vertical gate-all-around FETs using III-V NW-channels on Si	5. 発行年 2021年
3. 雑誌名 IEEE SNW 2021 Tech. Dig.	6. 最初と最後の頁 51-52
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/SNW51795.2021.00027	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Katsuhiko Tomioka	4. 巻 V
2. 論文標題 A logical switch to the vertical direction	5. 発行年 2021年
3. 雑誌名 Compound Semiconductor	6. 最初と最後の頁 40-45
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -
1. 著者名 Yoshida Akinobu, Gamo Hironori, Motohisa Junichi, Tomioka Katsuhiko	4. 巻 12
2. 論文標題 Creation of unexplored tunnel junction by heterogeneous integration of InGaAs nanowires on germanium	5. 発行年 2022年
3. 雑誌名 Scientific Reports	6. 最初と最後の頁 1606-1~8
掲載論文のDOI (デジタルオブジェクト識別子) 10.1038/s41598-022-05721-x	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -
1. 著者名 Gamo Hironori, Tomioka Katsuhiko	4. 巻 41
2. 論文標題 Integration of Indium Arsenide/Indium Phosphide Core-Shell Nanowire Vertical Gate-All-Around Field-Effect Transistors on Si	5. 発行年 2020年
3. 雑誌名 IEEE Electron Device Letters	6. 最初と最後の頁 1169 ~ 1172
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/LED.2020.3004157	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Tomioka Katsuhiro, Motohisa Junichi, Fukui Takashi	4. 巻 10
2. 論文標題 Rational synthesis of atomically thin quantum structures in nanowires based on nucleation processes	5. 発行年 2020年
3. 雑誌名 Scientific Reports	6. 最初と最後の頁 10720 - 1~9
掲載論文のDOI (デジタルオブジェクト識別子) 10.1038/s41598-020-67625-y	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Akamatsu Tomoya, Tomioka Katsuhiro, Motohisa Junichi	4. 巻 31
2. 論文標題 Demonstration of InP/InAsP/InP axial heterostructure nanowire array vertical LEDs	5. 発行年 2020年
3. 雑誌名 Nanotechnology	6. 最初と最後の頁 394003 ~ 394003
掲載論文のDOI (デジタルオブジェクト識別子) 10.1088/1361-6528/ab9bd2	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Tomioka Katsuhiro, Ishizaka Fumiya, Motohisa Junichi, Fukui Takashi	4. 巻 117
2. 論文標題 InGaAs-InP core-shell nanowire/Si junction for vertical tunnel field-effect transistor	5. 発行年 2020年
3. 雑誌名 Applied Physics Letters	6. 最初と最後の頁 123501 - 1~5
掲載論文のDOI (デジタルオブジェクト識別子) 10.1063/5.0014565	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Tai Yoshiki, Gamo Hironori, Motohisa Junichi, Tomioka Katsuhiro	4. 巻 98
2. 論文標題 Selective-Area Growth of AlInAs Nanowires	5. 発行年 2020年
3. 雑誌名 ECS Transactions	6. 最初と最後の頁 149 ~ 153
掲載論文のDOI (デジタルオブジェクト識別子) 10.1149/09806.0149ecst	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Tomioka Katsuhiro, Gamo Hironori, Motohisa Junichi, Fukui Takashi	4. 巻 IEDM2020
2. 論文標題 Vertical Gate-All-Around Tunnel FETs Using InGaAs Nanowire/Si with Core-Multishell Structure	5. 発行年 2020年
3. 雑誌名 IEEE IEDM Technical Digest	6. 最初と最後の頁 429 - 432
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/IEDM13553.2020.9371991	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 富岡 克広、蒲生 浩憲、本久 順一、福井 孝志	4. 巻 120 (SDM2020-52)
2. 論文標題 InGaAsコアマルチシェルナノワイヤ/Si接合による垂直ゲートオールアラウンドトンネルFETの作製	5. 発行年 2021年
3. 雑誌名 電子情報通信学会技術研究報告	6. 最初と最後の頁 13-16
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 K. Tomioka, H. Gamo, J. Motohisa	4. 巻 92
2. 論文標題 Vertical Tunnel FET Technologies using III-V/Si heterojunciton	5. 発行年 2019年
3. 雑誌名 ECS Transaction	6. 最初と最後の頁 71-78
掲載論文のDOI (デジタルオブジェクト識別子) 10.1149/MA2019-02/25/1168	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 富岡克広	4. 巻 88
2. 論文標題 III-V族化合物半導体ナノワイヤトランジスタ集積技術 (解説記事)	5. 発行年 2019年
3. 雑誌名 応用物理	6. 最初と最後の頁 245-251
掲載論文のDOI (デジタルオブジェクト識別子) 10.11470/oubutsu.88.4_245	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

[学会発表] 計43件(うち招待講演 10件/うち国際学会 21件)

1. 発表者名 Katsuhiro Tomioka, Junichi Motohisa
2. 発表標題 Scaling effect on vertical gate-all-around FETs using III-V NW-channels on Si
3. 学会等名 2021 Silicon Nanoelectronics Workshop (SNW 2021), Online (国際学会)
4. 発表年 2021年

1. 発表者名 Shun Kimura, Yu Katsumi, Hironori Gamo, Junichi Motohisa and Katsuhiro Tomioka
2. 発表標題 InP nanowire light-emitting diodes: different junction geometry and their diode properties
3. 学会等名 2021 International Conference on Solid State Device and Materials (SSDM2021), Online (国際学会)
4. 発表年 2021年

1. 発表者名 Katsuhiro Tomioka, Hironori Gamo, and Junichi Motohisa
2. 発表標題 (Invited) Integration of III-V Nanowire on Si and Their Device Application
3. 学会等名 International Union of Materials Research Societies - International Conference in Asia 2021 (IUMRS-ICA 2021), Online, Jeju, Korea (招待講演) (国際学会)
4. 発表年 2021年

1. 発表者名 Hironori Gamo, Junichi Motohisa, Katsuhiro Tomioka
2. 発表標題 Dual switching operation of vertical gate-all-around transistor using InGaAs/GaSb core-shell nanowires on Si
3. 学会等名 34th International Microprocesses and Nanotechnology Conference (MNC 2021), Online (国際学会)
4. 発表年 2021年

1. 発表者名 Katsuhiko Tomioka and Junichi Motohisa
2. 発表標題 (Invited) Integration of III-V Nanowires on Si and their Device Applications
3. 学会等名 International 14th International Symposium on Advanced Plasma Science and its Applications for Nitrides and Nanomaterials (ISPlasma2022), Online (招待講演) (国際学会)
4. 発表年 2022年

1. 発表者名 富岡 克広、蒲生 浩憲、本久 順一
2. 発表標題 (招待講演) 縦型トンネルトランジスタの高性能化
3. 学会等名 第85回半導体・集積回路技術シンポジウム、オンライン (招待講演)
4. 発表年 2021年

1. 発表者名 本久 順一、富岡 克広
2. 発表標題 (チュートリアル・招待講演) 半導体ナノワイヤの成長とデバイス応用
3. 学会等名 第13回ナノ構造エピタキシャル成長講演会、オンライン・松山 (招待講演)
4. 発表年 2021年

1. 発表者名 田井 良樹、蒲生 浩憲、本久 順一、富岡 克広
2. 発表標題 ナノワイヤ縦型共鳴トンネル電界効果トランジスタの試作
3. 学会等名 第57回応用物理学会北海道支部・第18回日本光学回北海道支部合同学術講演会、オンライン
4. 発表年 2022年

1. 発表者名 Lian Chen, Hironori Gamo, Junichi Motohisa, Katsuhiro Tomioka
2. 発表標題 Characterization of GaSb epitaxial growth and InAs/GaSb core shell nanowires
3. 学会等名 第57回応用物理学会北海道支部・第18回日本光学回北海道支部合同学術講演会、オンライン
4. 発表年 2022年

1. 発表者名 田井 良樹、蒲生 浩憲、本久 順一、富岡 克広
2. 発表標題 ナノワイヤ縦型共鳴トンネル電界効果型トランジスタの作製
3. 学会等名 第69回応用物理学会春季学術講演会、ハイブリッド・神奈川
4. 発表年 2022年

1. 発表者名 Katsuhiro Tomioka and Junichi Motohisa
2. 発表標題 (Invited) Integration of III-V nanowire LEDs on Si
3. 学会等名 The 20th International Meeting on Information Display (IMID 2020) (招待講演) (国際学会)
4. 発表年 2020年

1. 発表者名 Hironori Gamo, Lian Chen, Yu Katsumi, Junichi Motohisa and Katsuhiro Tomioka
2. 発表標題 Selective-area growth of InGaAs/GaSb core-shell nanowires on Si
3. 学会等名 2020 International Conference on Solid State Device and Materials (SSDM2020) (国際学会)
4. 発表年 2020年

1. 発表者名 Tomoya Akamatsu, Masahiro Sasaki, Katsuhiro Tomioka, and Junichi Motohisa
2. 発表標題 Control of the size and the emission wavelength in InP-based nanowire quantum dots
3. 学会等名 2020 International Conference on Solid State Device and Materials (SSDM2020) (国際学会)
4. 発表年 2020年

1. 発表者名 Y. Tai, J. Motohisa, K. Tomioka
2. 発表標題 Selective-Area Growth of AlInAs Nanowires
3. 学会等名 Pacific Rim Meeting on electrochemical and solid state science (PRIME 2020) (国際学会)
4. 発表年 2020年

1. 発表者名 Katsuhiro Tomioka, Hironori Gamo, Junichi Motohisa and Takashi Fukui
2. 発表標題 Vertical Gate-All-Around Tunnel FETs Using InGaAs Nanowire/Si with Core-Multishell Structure
3. 学会等名 66th International Electron Devices Meeting (IEDM 2020) (国際学会)
4. 発表年 2020年

1. 発表者名 赤松 知弥、佐々木 正尋、富岡 克広、本久 順一
2. 発表標題 熱アニールによるInP/InAsPヘテロ構造ナノワイヤのサイズ制御と発光ダイオード応用
3. 学会等名 第81回応用物理学会秋季学術講演会
4. 発表年 2020年

1. 発表者名 勝見 悠、蒲生 浩憲、本久 順一、富岡 克広
2. 発表標題 InPナノワイヤ縦型トンネルFETの作製
3. 学会等名 第81回応用物理学会秋季学術講演会
4. 発表年 2020年

1. 発表者名 田井 良樹、蒲生 浩憲、本久 順一、富岡 克広
2. 発表標題 有機金属気相選択成長法によるAlInAsナノワイヤ成長とAl組成依存性
3. 学会等名 第81回応用物理学会秋季学術講演会
4. 発表年 2020年

1. 発表者名 蒲生 浩憲、陳 リアン、勝見 悠、本久 順一、富岡 克広
2. 発表標題 Si上InAs/GaSbコアシェルナノワイヤ選択成長と電気特性
3. 学会等名 第81回応用物理学会秋季学術講演会
4. 発表年 2020年

1. 発表者名 小原 康, 富岡 克広, 原 真二郎, 本久 順一
2. 発表標題 GaAs/InGaAs/GaAsコアマルチシェルナノワイヤ共振器の発光特性
3. 学会等名 第56回応用物理学会北海道支部・第17回日本光学回北海道支部合同学術講演会
4. 発表年 2021年

1. 発表者名 富岡 克広、蒲生 浩憲、本久 順一、福井 孝志
2. 発表標題 (招待講演) InGaAsコアマルチシェルナノワイヤ/Si接合による垂直ゲートオールアラウンドトンネルFETの作製
3. 学会等名 2020年度電子情報通信学会 シリコン材料・デバイス研究会 (招待講演)
4. 発表年 2021年

1. 発表者名 蒲生 浩憲、本久 順一、富岡 克広
2. 発表標題 Si上のInAs/GaSbコアシェルナノワイヤ縦型サラウンディングゲートトランジスタの試作
3. 学会等名 第68回応用物理学会春季学術講演会
4. 発表年 2021年

1. 発表者名 木村 峻、勝見 悠、蒲生 浩憲、本久 順一、富岡 克広
2. 発表標題 InPナノワイヤの接合構造と発光ダイオード特性の関係
3. 学会等名 第68回応用物理学会春季学術講演会
4. 発表年 2021年

1. 発表者名 J. Motohisa, H. Kameda, M. Sasaki, K. Tomioka
2. 発表標題 Radiative and Nonradiative Tunneling in Nanowire Light-Emitting Diodes
3. 学会等名 Compound Semiconductor Week 2019 (CSW 2019) (国際学会)
4. 発表年 2019年

1 . 発表者名 H. Gamo, J. Motohisa, K. Tomioka
2 . 発表標題 Demonstration of InAs nanowire vertical transistors
3 . 学会等名 Compound Semiconductor Week 2019 (CSW 2019) (国際学会)
4 . 発表年 2019年

1 . 発表者名 K. Tomioka, A. Yoshida, H. Gamo
2 . 発表標題 Heteroepitaxial growth of InGaAs/InP/InAlAs/InP core-multishell nanowires on Si for a complementary tunnel FETs
3 . 学会等名 Compound Semiconductor Week 2019 (CSW 2019) (国際学会)
4 . 発表年 2019年

1 . 発表者名 T. Akamatsu, M. Sasaki, H. Kameda, K. Tomioka, J. Motohisa
2 . 発表標題 InP/InAsP/InP heterostructure nanowire LEDs for a single photon emitter
3 . 学会等名 Nanowire Week 2019 (国際学会)
4 . 発表年 2019年

1 . 発表者名 Y. Katsumi, H. Gamo, J. Motohisa, K. Tomioka
2 . 発表標題 First demonstration of vertical surrounding-gate transistor using InP nanowires
3 . 学会等名 Nanowire Week 2019 (国際学会)
4 . 発表年 2019年

1. 発表者名 K. Tomioka, J. Motohisa
2. 発表標題 Selective-Area Epitaxy of III-V Nanowires on Si and Their Switching Applications
3. 学会等名 7th International Workshop on Epitaxial Growth and Fundamental Properties of Semiconductor Nanostructures (Semicon Nano 2019) (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 K. Tomioka, H. Gamo, J. Motohisa
2. 発表標題 Vertical Tunnel FET Technologies Using III-V/Si Heterojunction
3. 学会等名 236th ECS meeting (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 H. Gamo, J. Motohisa, K.Tomioka
2. 発表標題 InAs/InP Core-Shell Nanowire Channel for High-Mobility Vertical Surrounding-Gate Transistors
3. 学会等名 32nd International Microprocesses and Nanotechnology Conference (MNC 2019) (国際学会)
4. 発表年 2019年

1. 発表者名 Y. Katsumi, H.Gamo, T.Akamatsu, J. Motohisa, K. Tomioka
2. 発表標題 Vertical Surrounding-gate Transistor Using InP Nanowires
3. 学会等名 International School and Symposium on Nanoscale Transport and Photonics (ISNTT 2019) (国際学会)
4. 発表年 2019年

1. 発表者名 H. Gamo, T. Akamatsu, J. Motohisa, K. Tomioka
2. 発表標題 Performance Analysis of InAs/InP Core-shell Nanowire Vertical Surrounding-gate Transistors
3. 学会等名 International School and Symposium on Nanoscale Transport and Photonics (ISNTT 2019) (国際学会)
4. 発表年 2019年

1. 発表者名 Junichi Motohisa and Katsuhiro Tomioka
2. 発表標題 InP-based Nanowires Towards On-demand Single Photon Emitters
3. 学会等名 XXth International Workshop on Physics of Semiconductor Devices (IWPSD 2019) (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 富岡克広
2. 発表標題 III-V族化合物半導体ナノワイヤチャネルの電子素子応用
3. 学会等名 第24回半導体におけるスピニングの基礎と応用(PASPS-24) (招待講演)
4. 発表年 2019年

1. 発表者名 蒲生 浩憲、富岡 克広
2. 発表標題 Si上InGaAs/GaSbコアシェルナノワイヤ選択成長
3. 学会等名 第80回応用物理学会秋季学術講演会
4. 発表年 2019年

1. 発表者名 蒲生 浩憲、本久 順一、富岡 克広
2. 発表標題 InAs/InPコアシェルナノワイヤ縦型サラウンディングゲートトランジスタにおける変調ドープ構造の検討
3. 学会等名 第80回応用物理学会秋季学術講演会
4. 発表年 2019年

1. 発表者名 勝見 悠、蒲生 浩憲、本久 順一、富岡 克広
2. 発表標題 InPナノワイヤサラウンディングゲートトランジスタのスイッチング特性評価
3. 学会等名 第80回応用物理学会秋季学術講演会
4. 発表年 2019年

1. 発表者名 赤松 知弥、佐々木 正尋、富岡 克広、本久 順一
2. 発表標題 InPナノワイヤ量子ドットの熱アニールによる直径微細化と発光特性
3. 学会等名 第80回応用物理学会秋季学術講演会
4. 発表年 2019年

1. 発表者名 勝見 悠、蒲生 浩憲、赤松 知弥、本久 順一、富岡 克広
2. 発表標題 InP ナノワイヤサラウンディングゲートトランジスタのスイッチング特性評価
3. 学会等名 The 38th Electronic Materials Symposium (EMS 38)
4. 発表年 2019年

1. 発表者名 蒲生 浩憲、赤松 知弥、本久 順一、富岡 克広
2. 発表標題 高移動度サラウンディングゲートトランジスタにおける InAs/InP コアシェルナノワイヤヘテロ構造の検討
3. 学会等名 The 38th Electronic Materials Symposium (EMS 38)
4. 発表年 2019年

1. 発表者名 蒲生 浩憲、富岡 克広
2. 発表標題 Si上InAs/GaSbコアシェルナノワイヤ選択成長
3. 学会等名 第67回応用物理学会春季学術講演会
4. 発表年 2020年

1. 発表者名 田井 良樹、赤松 知弥、蒲生 浩憲、本久 順一、富岡 克広
2. 発表標題 InP(111)B基板上のAlInAsナノワイヤ選択成長
3. 学会等名 第67回応用物理学会春季学術講演会
4. 発表年 2020年

〔図書〕 計0件

〔出願〕 計2件

産業財産権の名称 マルチモードスイッチ素子	発明者 蒲生 浩憲、富岡 克広	権利者 国立大学法人 北海道大学
産業財産権の種類、番号 特許、特願2022-48567	出願年 2022年	国内・外国の別 国内

産業財産権の名称 相補型スイッチ素子	発明者 富岡克広	権利者 国立大学法人 北海道大学
産業財産権の種類、番号 特許、特願2020-563343	出願年 2019年	国内・外国の別 国内

〔取得〕 計3件

産業財産権の名称 Group III-V compound semiconductor nanowire, field effect transistor, and switching element	発明者 富岡克広、福井孝志	権利者 国立大学法人 北海道大学
産業財産権の種類、番号 特許、US Patent 10,403,498	取得年 2019年	国内・外国の別 外国

産業財産権の名称 Tunnel field effect transistor	発明者 富岡克広、福井孝志	権利者 国立大学法人 北海道大学
産業財産権の種類、番号 特許、US Patent 10,381,489	取得年 2019年	国内・外国の別 外国

産業財産権の名称 トンネル電界効果トランジスタ	発明者 富岡克広、福井孝志	権利者 国立大学法人 北海道大学
産業財産権の種類、番号 特許、6600918	取得年 2019年	国内・外国の別 国内

〔その他〕

https://researchmap.jp/read0146924/ https://publons.com/researcher/2573745/katsuhiro-tomioka/publications/
--

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究分担者	池辺 将之 (Ikebe Masayuki) (20374613)	北海道大学・量子集積エレクトロニクス研究センター・教授 (10101)	研究課題のうちナノワイヤ/Si界面の結晶構造の高精細画像解析と回路応用について研究を分担する
研究分担者	本久 順一 (Motohisa Junichi) (60212263)	北海道大学・情報科学研究院・教授 (10101)	研究課題のうちナノワイヤの高速分光測定とXRDによる結晶構造解析について研究を分担する

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8 . 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------