

科学研究費助成事業（基盤研究（S））公表用資料
〔令和3（2021）年度 中間評価用〕

令和元年度採択分
令和3年3月31日現在

可逆量子磁束回路を用いた熱力学的限界を超える超低エネルギー集積回路技術の創成 Creation of extremely energy-efficient integrated circuit technology beyond the thermodynamic limit based on reversible quantum flux circuits

課題番号：19H05614

吉川 信行 (YOSHIKAWA Nobuyuki)

横浜国立大学・大学院工学研究院・教授



研究の概要（4行以内）

本研究は、低エネルギー動作を特徴とする断熱的量子磁束回路(AQFP)を用いた可逆演算回路の学理を明らかにし、熱力学的極限を超える究極の低消費エネルギー集積回路を実現する。これまでに、可逆 AQFP 回路の消費エネルギーを導出する手法を確立し、可逆論理回路の低エネルギー性を明らかにした。また、4b AQFP マイクロプロセッサシステム全体の動作実証を行った。

研究分野：電子デバイス、超伝導、計算機システム

キーワード：超伝導回路、断熱回路、可逆回路、磁束量子

1. 研究開始当初の背景

今日の情報機器の爆発的な消費電力の増大を抑えるためには、デバイスの動作原理の見直しによる根本的な低電力化が必要不可欠である。一方、入力から出力、あるいは出力から入力への双方向の演算が可能な可逆計算機では、無限小のエネルギーで計算が行えることが予想されている。

2. 研究の目的

本研究は、低エネルギー動作を特徴とする断熱的量子磁束回路(AQFP)を用いた可逆演算回路の学理を明らかにし、論理回路の熱力学的極限を超える究極の低消費エネルギー集積回路を実現する。これにより回路の消費エネルギーを半導体回路に対して6桁以上低減し、冷却電力を考慮しても十分な優位性を生み出す。本研究は可逆 AQFP を中核技術とし、新規プロセッサアーキテクチャ、磁性体を用いた位相シフト AQFP、3次元高密度集積回路技術を研究し、超省エネ集積回路の基盤技術を確立する。プロジェクトの最終目標として低電力動作が可能な可逆 AQFP プロセッサの実現を目指す。

3. 研究の方法

半導体 CMOS 回路など通常の演算回路は、非可逆な演算を行うため、演算の後で情報のエントロピー（情報の複雑さ）が減少する。Landauerらの検討によればその際に熱力学的エネルギーが消費され、それが演算における

消費エネルギーの下限を制限すると考えられている。一方、可逆演算回路では、入力から出力、あるいは出力から入力への双方向の演算が可能であり、情報のエントロピーが保存される。そのため、演算におけるエネルギーを無限小にできる可能性がある。

本研究では、断熱的量子磁束パラメトロン(AQFP)と呼ばれる超伝導論理ゲートから成る可逆論理ゲートを構成し、これを用いて超低消費エネルギー動作が可能な演算回路を実現する。研究では、実際のデバイスを用いて可逆演算回路における消費エネルギーの下限値を解明すると共に、可逆演算回路を用いた集積回路技術を確立する。

4. これまでの成果

①可逆 AQFP の学理の解明

多入力多出力の可逆 AQFP 回路において、消費エネルギーを数値シミュレーションにより正確に導出する方法を確立した。1bit 可逆全加算器において、熱雑音を考慮しながら動作周波数と消費エネルギーとの関係を数値シミュレーションにより検討した。これより、情報エントロピーが保存されない非可逆 AQFP 加算器では動作周波数の低下に対してランダウアリミット程度の下限值($\sim k_B T \ln 2$)が存在するのに対して、情報エントロピーが保存される可逆 AQFP 加算器ではランダウアリミット以下の動作エネルギーで演算が行えることを明らかにした。

②可逆 AQFP の設計基盤技術の確立

可逆 AQFP の大規模集積回路を実現するために必要なセルライブラリを構築した。これを用いて、8-b 可逆加算器、1b 8-word 可逆レジスタファイル、マルチプレクサなどを設計・試作しそれらの回路動作の実証を行った。また、可逆 AQFP 回路の論理合成ツールの開発を行った。

③新規可逆量子磁束回路の創生

多数の AQFP ゲートの二次元ネットワークで構成された新規可逆 AQFP 論理回路の検討を行った。AQFP 二次元ネットワークの相互結合を任意に設定し、ポテンシャル形状を最適化することで、複雑な機能を有する可逆演算ゲートを構成できることを示した。

④新規プロセッサアーキテクチャの研究

可逆 AQFP 向けのアーキテクチャ向けの RISC プロセッサの検討を行った。第一段階として非可逆 AQFP 回路を用いた 4-bit プロセッサの設計・試作を行い(図 1)、システム全体の低速での動作を確認した。また、データパスの 2.5GHz での動作実証を行った。本プロセッサのエネルギー効率は最新の CMOS を用いた場合に対して冷却コストを見込んでも 80 倍優れていることを示した。

⑤位相シフト可逆 AQFP ゲートの研究

強磁性体薄膜を用いた位相シフト素子を実現し、直流バイアス電流なしにゲートを励起して動作できることを確認した。チップ内に複数の強磁性体パターンを再現性、制御性よく作り込むため、成膜プロセスを合金ターゲットによるスパッタ法に変更した。

⑥3次元超伝導回路の高密度集積化

積層可能な Nb 層数を増加するために平坦化プロセスの改善を行った。平坦化工程における SiO₂ エッチング深さ精度向上と研磨法の改善によって Nb 膜厚に対する残留段差を 2%以下に改善することができた。

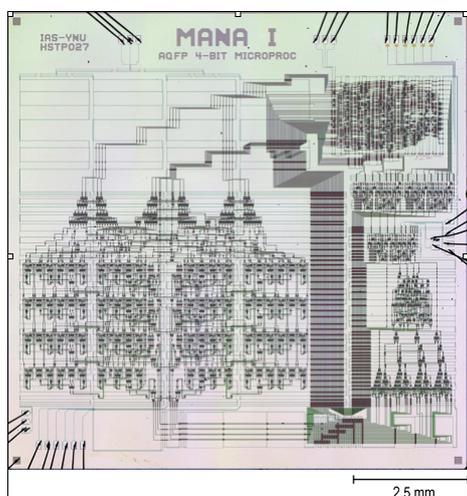


図1 4-b AQFPマイクロプロセッサの顕微鏡写真

5. 今後の計画

これまで可逆論理回路について回路シミュレーションで得られた研究結果を実験的に検証する。すなわち、情報エントロピーが保存される論理回路においては動作周波数の減少に伴い演算における消費エネルギーに下限値が無いことを、可逆フリップフロップにおいては情報の消去に伴いランダウアリミットに対応するエネルギー消費が生じることを実験的に示す。2022 年までにマイクロプロセッサのための各種可逆 AQFP 回路コンポーネントを設計し、その動作実証を行う。2023 年までにこれの回路ブロックを統合して、4-b 可逆 AQFP マイクロプロセッサの動作実証を目指す。これより、マイクロプロセッサの性能と消費エネルギーの関係を明らかにする。

6. これまでの発表論文等 (受賞等も含む)

- (1) C. L. Ayala, T. Tanaka, R. Saito, M. Nozoe, N. Takeuchi and N. Yoshikawa, "MANA: A Monolithic Adiabatic iNtegration Architecture Microprocessor Using 1.4-zJ/op Unshunted Superconductor Josephson Junction Devices," IEEE Journal of Solid-State Circuits, vol. 56, no. 4, pp. 1152-1165, April 2021, doi: 10.1109/JSSC.2020.3041338.
- (2) N. Takeuchi, T. Yamae, H. Suzuki and N. Yoshikawa, "An Adiabatic Superconductor Comparator With 46 nA Sensitivity," IEEE Trans. Appl. Supercond., vol. 31, no. 5, pp. 1-5, Aug. 2021, Art no. 1301105, doi: 10.1109/TASC.2021.3061947.
- (3) N. Takeuchi, K. Arai, N. Yoshikawa, "Directly coupled adiabatic superconductor logic," Supercond. Sci. Tech., vol. 33, 2020, 065002. DOI: 10.1088/1361-6668/ab87ad
- (4) Y. He, N. Takeuchi, N. Yoshikawa, "Low-latency power-dividing clocking scheme for adiabatic quantum-flux-parametron logic," Appl. Phys. Lett., 116, 182602 (2020). DOI: 10.1063/5.0005612
- (5) N. Takeuchi, T. Yamae, C. L. Ayala, H. Suzuki, N. Yoshikawa, "An adiabatic superconductor 8-bit adder with 24kBT energy dissipation per junction," Appl. Phys. Lett., 114, 042602 (2019). DOI: 10.1063/1.5080753
- (6) N. Takeuchi, M. Nozoe, Y. He, N. Yoshikawa, "Low-latency adiabatic superconductor logic using delay-line clocking," Appl. Phys. Lett., 115, 072601 (2019). DOI: 10.1063/1.5111599
- (7) T. Yamae, N. Takeuchi, N. Yoshikawa, "Systematic method to evaluate energy dissipation in adiabatic quantum-flux-parametron logic," J. Appl. Phys. 126, 173903 (2019). DOI: 10.1063/1.5119306

7. ホームページ等

https://www.yoshilab.dnj.ynu.ac.jp/yoshilab_hp/