

令和 4 年 6 月 15 日現在

機関番号：10101

研究種目：挑戦的研究(萌芽)

研究期間：2019～2021

課題番号：19K21951

研究課題名(和文)超高速共鳴トンネルトランジスタの開発

研究課題名(英文) Demonstration of ultrafast resonant tunneling transistor

研究代表者

富岡 克広 (Tomioka, Katsuhiko)

北海道大学・情報科学研究所・准教授

研究者番号：60519411

交付決定額(研究期間全体)：(直接経費) 5,000,000円

研究成果の概要(和文)：本研究は、ナノワイヤ(NW)選択成長技術を用いて、従来では作製が困難であった超格子NW成長に挑戦し、ナノワイヤの長軸方向に超格子構造を形成する手法を確立し、超格子ナノワイヤによる縦型ダイオード素子、縦型ゲートオールアラウンド共鳴トンネルトランジスタ(VGAA-RTFET)素子を国内外で初めて作製した。作製したVGAA-RTFET素子では、高いトンネル電流と急峻なサブスレッショルド(SS)係数で高速スイッチング特性を実証し、TFETの課題であったスイッチ電流の向上と急峻なSS係数の同時に解決する材料・デバイス技術を実現した。これにより、低消費電力スイッチ素子、高周波素子の新たな方法論を開拓した。

研究成果の学術的意義や社会的意義

本研究は、ナノワイヤ材料の中に超格子構造を作製することで従来のスイッチデバイスにはない高い電流値と、スイッチ素子の電力を決定するサブスレッショルド係数の急峻化を実証した。本成果は国内外で前例のない材料・デバイスの開発であり、低消費電力回路用のスイッチ素子応用だけでなく、超低消費電力の無線発振素子の実現などへの応用展開が期待できる。

研究成果の概要(英文)：In this research, we developed a formation of superlattice NWs by selective-area growth technique and demonstrated vertical diode and vertical gate all-around resonant tunneling transistor (VGAA-RTFET) device using the superlattice nanowires for the first time. The demonstrated VGAA-RTFET device has realized high-speed switching properties with high tunneling current and steep subthreshold slope (SS), and material and device technologies that simultaneously solve the TFET problem of high switching current and steep SS have been realized. This has pioneered a new methodology for low-power switching devices and high-frequency devices.

研究分野：薄膜成長、半導体デバイス、半導体ナノ構造

キーワード：ナノワイヤ 超格子 共鳴トンネル輸送 トランジスタ III-V FET 縦型構造

1. 研究開始当初の背景

次世代電子スイッチ素子は、低消費電力化と高性能化を両立する必要がある。低消費電力化のためには、電界効果トランジスタ(FET)のスイッチ性能のサブスレッショルド係数について、キャリアの熱拡散原理の物理限界を回避し、新しい電流輸送機構で動作するスイッチ素子の実現が不可欠である。これまでにトンネル FET、負性容量ゲート FET などが次世代スイッチ素子として期待されているが、トンネル FET は、トンネル確率で電流値が決定されるため得られる電流値が非常に小さく、負性容量ゲート FET は、誘電率をマッチングするため高速（高周波）動作に向かない。以上から、低消費電力化と高性能化は現行の次世代トランジスタ候補ではトレードオフがあり、低消費電力化と高性能化を両立した新しい原理の次世代スイッチ素子は実現されていない。従来のトンネル FET はバンド間トンネル（江崎トンネル）輸送機構を応用しているが、超格子ナノワイヤ(NW)に形成される伝導帯の多重障壁の共鳴トンネル輸送機構を応用すると、トンネル確率を凌駕し、共鳴トンネル輸送による準バリスティック輸送を実現できるため高電流値を得られるだけでなく、FET の物理限界も回避できる。

2. 研究の目的

本研究は、従来では作製が困難であった超格子 NW の結晶成長に挑戦し、これまで提案されてきた次世代電子スイッチ素子候補の深刻な課題であった超低消費電力化と高性能化の両立について、新しいスイッチ素子の動作を実証することで新しい道筋を開拓し、NW 材料の潜在性、学術的知見の拡充することで未踏分野への応用を探究する。具体的には、超格子ナノワイヤ成長（NW の長軸方向に独自の成長手法で超格子構造を形成）によって新材料の創成に挑戦するとともに、縦型サラウンディングゲート構造による小さな電界変調によって、伝導帯に形成された多重ポテンシャルで生じる準バリスティック輸送・共鳴トンネル輸送を制御しスイッチングする新しいトランジスタの実証を行なう。

本研究は、半導体 NW の長軸方向に独自の成長手法で超格子構造を形成し、縦型のサラウンディングゲート構造による小さな電界変調によって、伝導帯に形成された多重ポテンシャルで生じる準バリスティック輸送・共鳴トンネル輸送を制御しスイッチングする新しいトランジスタ構造の動作実証を行なう。

3. 研究の方法

研究期間中以下の研究課題について実施した。(1) 半導体 NW 超格子の選択成長、(2) 結晶構造評価・光学特性評価、(3) 新型共鳴トンネル FET の実証

(1) 半導体 NW 超格子の選択成長

半導体 NW の作製手法として申請者独自の手法の図 1 に示す有機金属選択成長法を用いた NW 集積技術を応用する。選択成長法は、成長基板表面をアモルファス薄膜で覆い、リソグラフィ技術で開口部を形成することで任意の位置に半導体ナノ構造をボトムアップで集積する手法である。絶縁体厚膜をテンプレートマスク基板として、高さ 50 - 100 nm、直径 50 nm の円形開口部に III-V 族化合物半導体からなる超格子 NW を形成し、その直上に NW チャネル構造を結晶成長させる。超格子 NW 材料としては、InGaAs/AlInAs, GaAs/AlGaAs, InGaAs/GaSb などの組み合わせを検討する。それぞれの膜厚が 2 nm 程度、超格子構造の周期としては数層を一つのマイルストーンとしている。

(2) 結晶構造評価・光学特性評価

超格子 NW の成長について、X 線回折による結晶構造評価などで超格子 NW 構造を評価し、X 線回折法で検出できない場合は、縦型二端子ダイオード構造によって電気特性によって超格子構造の特性を評価する。

(3) 新型共鳴トンネル FET の実証

申請者が確立した 3 次元立体デバイス加工工程によって縦型ゲートオールアラウンド(VGAA)型トランジスタ構造を作製し共鳴トンネル FET 動作を実証する。

4. 研究成果

[1] AlInAs NW 選択成長の検討

本研究の超格子 NW 材料の組み合わせとして、研究代表者の実績から、AlInAs/InGaAs の組み合わせや InGaAs/GaAs の組み合わせからなる超格子 NW 選択成長を検討した。この材料のうち AlInAs について、選択成長における NW 成長モードの成長機構を確立できていないため、AlInAs NW 選択成長技術の検証から着手した。

図 2(a) - 2(d)に InP(111)B 基板上的 InAlAs 選択成長における Al 供給分圧(P_{Al})依存性を示す。成長温度は 560°C で一定とした。図 2(a)-2(d)に示すように、異なる供給分圧において、成長構造は、(111)B 面と $\{-110\}$ 面の 6 つの等価なファセットを有する六角柱構造にファセット成長してい

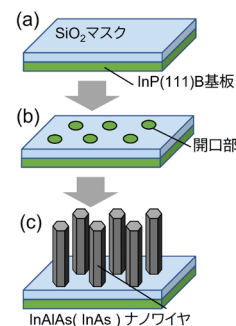


図 1 (a) - (c): MOVPE 選択成長法の模式図

ることが分かる。また、Al 供給分圧が増加するほど、 $\langle 111 \rangle_B$ 方向の成長レートが低下し、一方で $\langle -110 \rangle$ 方向の横成長レートが増加することを明らかにした。図 2(e) に異なる P_{Al} に対する NW 平均高さとの関係、図 2(f) に平均横方向成長の変化を示す。図 2(e) から、 P_{Al} が 20% を超えると NW の体積が減少することが分かる。一方で、図 2(f) から P_{Al} が増加するにつれて NW 直径と開口部直径の差 (Δ diameter) が増加する。 P_{Al} の増加によって縦方向の成長速度が減少し、 $\langle -110 \rangle$ 横方向成長が増加することを明らかにした。これは、マスクや NW 上の Al 原子の表面拡散長が極めて短く、マスク表面や NW 上の In 原子の表面拡散が阻害され、NW 頂部の(111)B 面上まで拡散できる In 原子が実的に少なくなることに起因する。さらに、In 原子が $\{-110\}$ ファセット上で過飽和することによって横方向成長が支配的になり、一方で縦方向成長が抑制される NW 体積が減少すると考えられる。図 2(f) 作製した NW の XRD 測定結果を示す。図 2(f) から、NW のピークは約 25.44 度に単一の回折ピークを示しており、これは InAs の格子定数に相当する。また、NW のピーク角度は P_{Al} の変化に伴って高角側にシフトすることはなく、成長した NW はほぼ InAs であり、NW 固相中に Al が含まれないことが明らかになった。この他、 $P_{Al} = 30\%$ における AllnAs 選択成長の評価を実施し、AllnAs 選択成長では、NW 固相中に Al 原子が含まれないことを明らかにし、AllnAs ナノワイヤ選択成長は困難であるが分かった。

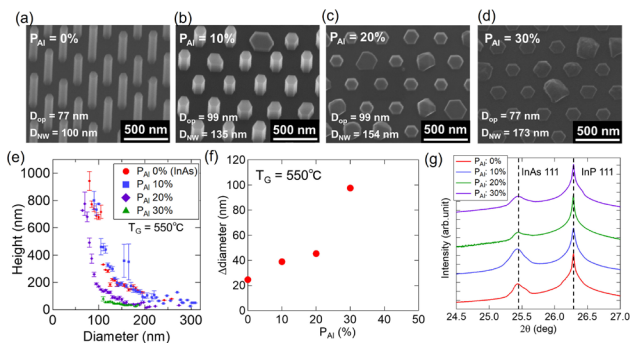


図 2 (a) – (d): AllnAs の MOVPE 選択成長の P_{Al} 依存性の成長結果、(e) 成長速度 P_{Al} 依存性、(f) 横方向成長速度 P_{Al} 依存性、(g) XRD 結果

[2] InGaAs/GaAs 超格子 NW 選択成長とダイオード特性

次いで、InGaAs/GaAs 超格子 NW 選択成長の評価とダイオード特性について評価を行った。超格子は GaAs 層をバリアとする InGaAs/GaAs 二重障壁(DB)構造とした。図 3 に InGaAs NW と InGaAs/GaAs DB NW の成長結果を示す。InGaAs NW と InGaAs/GaAs DB NW いずれも 6 つの等価な $\{-110\}$ ファセットと(111)B 面を有する六角柱状に成長したが、InGaAs/GaAs DB NW の NW 平均高さは図 3(c) に示すように InGaAs NW よりも低くなるのがわかった。これは、InGaAs と GaAs の格子不整合によって核形成時間の遅延に由来すると考えられる。

図 3(d) に NW の XRD スペクトルを示す。図 3(d) から、InGaAs NW は約 26.01 度と、25.71 度に回折ピークが観察され、これらは InGaAs 111 に由来すると考えられる。Ga 組成はそれぞれ 32% と 15% であり、InGaAs NW は強度の大きい 26.01 度の回折ピークをメインピークとすると、NW の Ga 組成は約 30% と考えられる。また、26.29 度において現れている回折ピーク角度は InP (111) B 基板である。一方、InGaAs/GaAs DB NW では、同様の回折ピークが観察されたが、GaAs 障壁層に由来する GaAs 111 や Ga 組成の高い InGaAs 111 の回折ピークは観察できなかった。InGaAs NW 成長と比較して、InGaAs/GaAs DB NW における InGaAs NW の Ga 組成は 3% 増加したが、この差は有意な差ではないと考えている。XRD 測定において、GaAs 障壁層由来の回折ピークが観察されなかった理由は、障壁層の厚さが原子層スケールで薄く、layer-by-layer 成長でバリア層が成長しないため、XRD で評価できなかったと考えている。

作製した NW が DB 構造を有する場合、その電気特性は共鳴トンネル効果に由来する負性微分抵抗(NDR)領域を示すと考えられる。次に、選択成長したノンドープ NW を用いて縦型ダイオードの作製し、電気特性の測定と評価を行った。作製した縦型ダイオードの電流電圧特性を図 4(a), (b) に示す。これらの図から InGaAs/GaAs DB NW と InGaAs NW の両方で NDR 領域特性が生じることを明らかにした。図 4(b) から InGaAs/GaAs DB NW は NDR ピークが 0.96 V と 1.38 V の二つ

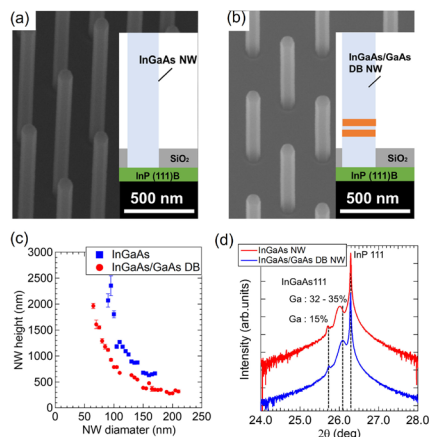


図 3 (a) InGaAs NW 成長結果、(b) InGaAs DB NW 成長結果、(c) NW 成長速度、(d) XRD

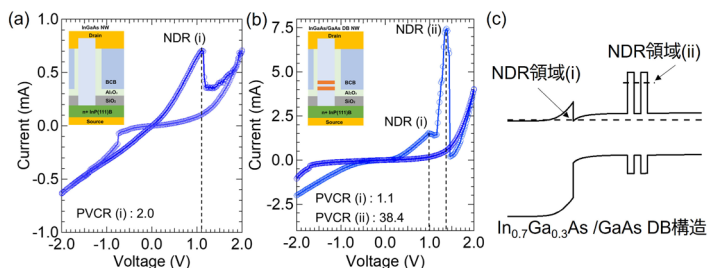


図 4 (a) InGaAs NW ダイオード特性、(b) InGaAs DB NW ダイオード特性、(c) バンド構造

電圧で生じ、その peak-valley-current-ratio (PVCR)はそれぞれ 1.1 と 38.8 で大きく異なることが分かった。一方で、InGaAs NW では NDR ピークが 1.12 V の一つのみであり、その PVCR は 2.0 となった。これらの NDR 領域特性が発生する原因は InGaAs/InP ヘテロ接合界面と DB 構造に由来するものと思われる。InGaAs NW と InGaAs DB NW ダイオードのどちらにも生じた印加電圧~1 V 付近に生じる NDR 領域(i)と、図 2(b)の印加電圧~1.4 V 付近に生じる NDR 領域(ii)に分けると、NDR 領域(i)は低い PVCR であり、これは図 4(c)に示すように、InP 基板と InGaAs NW の接合界面で生じるトンネル効果に由来し、一方 NDR 領域(ii)は、高い PVCR を示し、NDR 領域(i)よりも高い印加電圧で生じていることから、InGaAs/GaAs DB で生じる共鳴トンネル効果に由来するものと考えられる。

図 5 に各 NW のバンド模式図と、DB 構造内に形成される離散準位と井戸幅の関係を示す。これらより、NDR 領域(i)-(ii)が生じる電圧は、InP/In_{0.7}Ga_{0.3}As の接合界面や、In_{0.7}Ga_{0.3}As/GaAs 接合界面の障壁高さよりも大きいことが分かる。この原因は、直列抵抗成分がダイオード素子中に存在することによって、ヘテロ接合界面に印加される実効的な電圧が小さくなっているためであると考えられる。そこで、寄生直列抵抗成分を仮定した場合の InP/In_{0.7}Ga_{0.3}As ショットキーダイオードの計算特性からそれぞれのヘテロ接合界面、DB 構造に印加される実効電圧を計算した。図 5(a)より、ダイオード素子に印加されている実効的な電圧は $V_{P1} = 0.38$ V, $V_{P2} = 0.40 - 0.42$ V となり、図 5(a)の電流-電圧特性と、図 5(c)の離散準位の結果から、NDR 領域(i)は NW/界面に由来する NDR 領域特性、NDR 領域(ii)は井戸幅 1 nm の離散準位と近い値を取ることから、3 原子層程度の井戸層が形成されていることを明らかにした。

以上から、NWDB 超格子ナノワイヤの形成と NW 縦型共鳴トンネルダイオード素子特性を本研究で世界で初めて実証した。

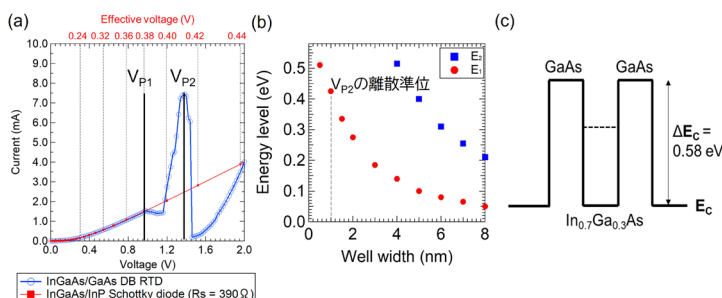


図 5 (a) InGaAs DB NW ダイオード特性、(b) GaAs バリア幅と離散準位の関係、(c) バンド構造

[3] 縦型共鳴 TFET(VGAA-RTFET)の実証

[2]で得られた知見により、低電圧の共鳴トンネル特性の応用には、それぞれの接合界面に印加する電界の強さを制御する必要がある。そこで、InGaAs/GaAs DB NW 選択成長に、Zn パルスドーピングによる擬似真性層と Sn パルスドーピングによる高濃度 n⁺層の形成を InGaAs NW に導入することで、基板表面から長軸方向に i-n-n⁺接合構造を形成し、VGAA 構造を作製した。

図 6(a)に InGaAs/GaAs DB NW VGAA-RTFET の出力特性の代表的な特性を示す。図 6(b)は図 6(a)の拡大図である。また、図 6(c)に伝達特性を示す。図 6(a)から V_{GS} が -0.2 V から 0.9 V の範囲で NDR 領域を示し、NDR 領域特性がゲート電圧で変調されることを実証した。このような NW-VGAA 素子構造で共鳴トンネル輸送に由来するスイッチ特性を実証して例は、世界で初めてである。また、最大 PVCR は $V_{DS} = 1.9$ V で 3.85 を示し、 V_{GS} を -0.5 V から -0.4 V に上昇させたとき、大きな電流上昇が生じることが図 6(b)からわかった。この電流上昇は、印加する V_{DS} が大きいほど高くなることを明らかにした。

図 6(c)の伝達特性からは、 V_{DS} に対して、急峻な SS 特性が二つの領域で示す特性が観察できた。一つめの急峻な立ち上がりを第 1 領域、二度目の立ち上がりを第 2 領域とここでは定義する。第 1 領域は図 6(c)から分かるように、生じる電圧は V_{DS} に依存せず $V_{GS} = -0.56$ V 近傍で現れた。一方で、第 2 領域の生じる V_{GS} は印加する V_{DS} が大きいほど高電圧側にシフトすることが分かる。ここで、第 1 領域は出力特性において、 V_{GS} を -0.5 V から -0.4 V に上昇させたときのドレイン電流増加に対応しており、第 2 領域が NDR 領域と対応すると考えられる。これらの結果から、第 1 領域は NW/基板界面の現象であり、第 2 領域が DB 構造由来の共鳴トンネル効果であると考えている。次に、伝達特性における電流値と SS の関係を図 6(d)に示す。印加する $V_{DS}(V_{GS})$ が高い場合、第 1 領域と第 2 領域ともに 60 mV/decade を下回る急峻な SS 特性が得られることが

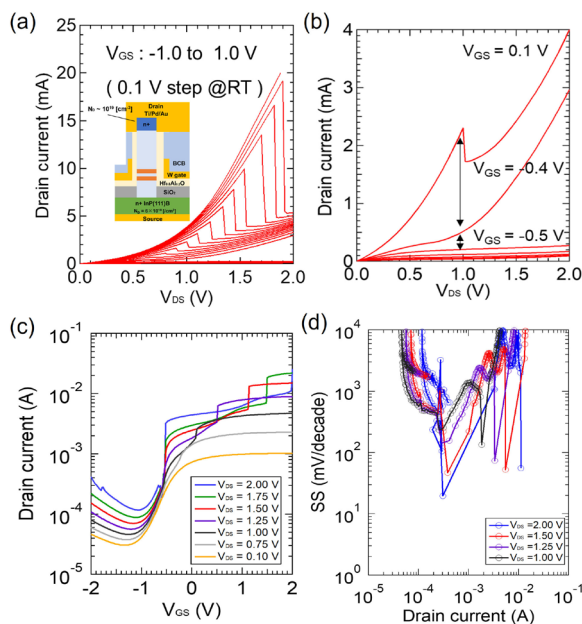


図 6 (a) InGaAs DB NW VGAA-RTFET の出力特性、(b) (a)の拡大図、(c)伝達特性、(d) ドレイン電流と SS の関係

分かった。最小 SS は第 1 領域において、19.6 mV/decade と急峻な SS 係数になることが分かった。この値は、測定ステップ最小分解能であり、測定分解能をさらに小さくすることでより急峻な SS 値になる可能性がある。

次に、VGAA-RTFET 素子の印加電圧の関係について考察を行う。今回作製した VGAA-RTFET は DB 構造がチャンネルに内在している。出力特性と直列抵抗成分からゲート・ドレイン間電圧を求めたところ、出力特性が NDR のピーク電圧を示すとき、 V_{GD} は 0.9 V 程度で一定となることを明らかにした。これは、NDR のピーク電圧を示すバイアス下で、チャンネルに印加される電圧は常に一定であることを示している。従って、チャンネル内の DB 構造に印加された電界も一定であり、NDR が DB 構造における同一の離散準位を介する共鳴トンネル効果であることが分かった。 V_{GD} の大きさについても[2]の縦型ダイオードの評価と同様に、直列抵抗成分による電圧降下の影響を受けていると考えられ、その実効電圧はダイオード素子と同程度と考えている。また、第 2 領域において V_{GS} が大きいほど高い PVCR や急峻な SS 特性を示す理由は、チャンネルに対してソースのポテンシャルが高いために、高いエネルギーを持った電子がチャンネルに注入されるためと考えられる。

[4] 今後の研究展開と予期しなかった新たな成果について

図 7 に図 6 の特性以外の VGAA-TFET 素子の特性を示す。図 7(a), (b) から急峻な SS を示す共鳴トンネル輸送特性のゲート変調特性になることが分かる。得られた最小の SS 係数は最小で 10 mV/桁で急峻な SS 特性を示すことが分かった。更に、相互コンダクタンスは $V_{DS}=1.00$ V で 442 mS と非常に高い値を示し、高周波素子としても有望な性能が得られた。本研究で作製した VGAA-RTFET 素子は、本研究の目的であった高いドレイン電流とともに急峻な SS を示すスイッチングができる潜在性を実証することができた。一般的な Si や III-V 材料からなる TFET のドレイン電流は高く μ A スケールとなり、バンド間トンネル輸送よりもおよそ 1000 倍高い電流範囲でスイッチングできることを実証した。今後は、この急峻な SS を示すドレイン電流範囲を 2-3 桁まで拡大する高性能化技術について検討する予定である。これには、原子層スケールの GaAs バリア層を精緻に layer-by-layer 成長させる工夫が必要であり、ナノワイヤ直径の微細化によって達成できると考えている。さらにナノワイヤの平均高さを調整し、ゲート・ドレイン間距離の微細化を図ることで、さらに内部電界の制御性を高めることで、より低電圧で本研究のような特異なスイッチング特性を制御できるようにする。

また、本研究を通して、単純な InGaAs NW の VGAA-FET についても高周波特性への応用展開が図れることを見出した。図 7(c) は InP 基板上の InGaAs NW の VGAA-FET 素子の伝達特性線形プロットと相互コンダクタンスであるが、得られるドレイン電流は $V_{DS} = 1.00$ V で 6 mA と非常に高い電流値を示し、相互コンダクタンスは 8.3 mS と非常に高い値を示すことが分かった。素子ばらつきもあるが、ドレイン電流が数 10 mA、相互コンダクタンス数十 mS を示す。相互コンダクタンス- V_G の傾きから二次元電子ガスに匹敵する高い電子移動度特性になることを明らかにし、ナノ構造を用いた高周波素子としても潜在性がある。今後は高周波デバイスへの応用も検討する。

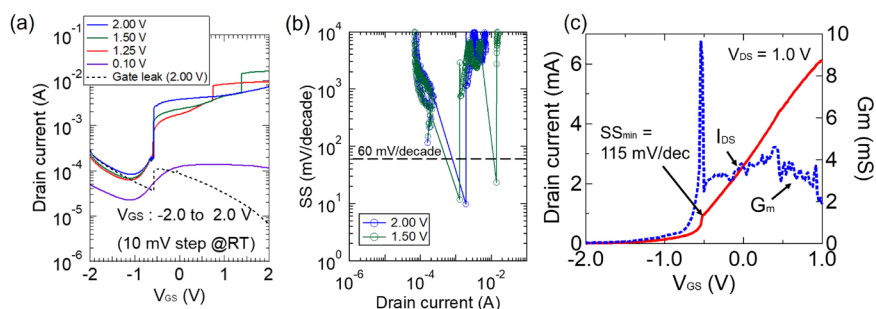


図 7 (a) InGaAs DB NW VGAA-RTFET の伝達特性、(b) ドレイン電流と SS の関係、(c) InGaAs NW VGAA-FET の伝達特性線形プロットと相互コンダクタンス特性

5. 主な発表論文等

〔雑誌論文〕 計12件（うち査読付論文 12件 / うち国際共著 0件 / うちオープンアクセス 4件）

1. 著者名 Katsuhiko Tomioka and Junichi Motohisa	4. 巻 -
2. 論文標題 Scaling effect on vertical gate-all-around FETs using III-V NW-channels on Si	5. 発行年 2021年
3. 雑誌名 IEEE SNW 2021 Technical Digest	6. 最初と最後の頁 51-52
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/SNW51795.2021.00027	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Katsuhiko Tomioka	4. 巻 V
2. 論文標題 A logical switch to the vertical direction	5. 発行年 2021年
3. 雑誌名 Compound Semiconductor	6. 最初と最後の頁 40-45
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Akinobu Yoshida, Hironori Gamo, Junichi Motohisa, Katsuhiko Tomioka	4. 巻 12
2. 論文標題 Creation of unexplored tunnel junction by heterogeneous integration of InGaAs nanowires on germanium	5. 発行年 2022年
3. 雑誌名 Scientific Reports	6. 最初と最後の頁 1606-1~8
掲載論文のDOI (デジタルオブジェクト識別子) 10.1038/s41598-022-05721-x	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -
1. 著者名 Gamo Hironori, Tomioka Katsuhiko	4. 巻 41
2. 論文標題 Integration of Indium Arsenide/Indium Phosphide Core-Shell Nanowire Vertical Gate-All-Around Field-Effect Transistors on Si	5. 発行年 2020年
3. 雑誌名 IEEE Electron Device Letters	6. 最初と最後の頁 1169 ~ 1172
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/LED.2020.3004157	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Tomioka Katsuhiro, Motohisa Junichi, Fukui Takashi	4. 巻 10
2. 論文標題 Rational synthesis of atomically thin quantum structures in nanowires based on nucleation processes	5. 発行年 2020年
3. 雑誌名 Scientific Reports	6. 最初と最後の頁 10720-1-9
掲載論文のDOI (デジタルオブジェクト識別子) 10.1038/s41598-020-67625-y	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Akamatsu Tomoya, Tomioka Katsuhiro, Motohisa Junichi	4. 巻 31
2. 論文標題 Demonstration of InP/InAsP/InP axial heterostructure nanowire array vertical LEDs	5. 発行年 2020年
3. 雑誌名 Nanotechnology	6. 最初と最後の頁 394003 ~ 394003
掲載論文のDOI (デジタルオブジェクト識別子) 10.1088/1361-6528/ab9bd2	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Tomioka Katsuhiro, Ishizaka Fumiya, Motohisa Junichi, Fukui Takashi	4. 巻 117
2. 論文標題 InGaAs-InP core-shell nanowire/Si junction for vertical tunnel field-effect transistor	5. 発行年 2020年
3. 雑誌名 Applied Physics Letters	6. 最初と最後の頁 123501 ~ 123501
掲載論文のDOI (デジタルオブジェクト識別子) 10.1063/5.0014565	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Tai Yoshiki, Gamo Hironori, Motohisa Junichi, Tomioka Katsuhiro	4. 巻 98
2. 論文標題 Selective-Area Growth of AllnAs Nanowires	5. 発行年 2020年
3. 雑誌名 ECS Transactions	6. 最初と最後の頁 149 ~ 153
掲載論文のDOI (デジタルオブジェクト識別子) 10.1149/09806.0149ecst	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Tomioka Katsuhiro, Gamo Hironori, Motohisa Junichi, Fukui Takashi	4. 巻 IEDM-2020
2. 論文標題 Vertical Gate-All-Around Tunnel FETs Using InGaAs Nanowire/Si with Core-Multishell Structure	5. 発行年 2020年
3. 雑誌名 IEEE IEDM Technical Digest	6. 最初と最後の頁 429-432
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/IEDM13553.2020.9371991	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 富岡 克広、蒲生 浩憲、本久 順一、福井 孝志	4. 巻 120
2. 論文標題 (招待講演) InGaAsコアマルチシェルナノワイヤ/Si接合による垂直ゲートオールアラウンドトンネルFETの作製	5. 発行年 2021年
3. 雑誌名 電子情報通信学会技術研究報告	6. 最初と最後の頁 13-16
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 K. Tomioka, H. Gamo, J. Motohisa	4. 巻 92
2. 論文標題 Vertical Tunnel FET Technologies using III-V/Si heterojunction	5. 発行年 2019年
3. 雑誌名 ECS Transaction	6. 最初と最後の頁 71-78
掲載論文のDOI (デジタルオブジェクト識別子) 10.1149/MA2019-02/25/1168	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 富岡克広	4. 巻 88
2. 論文標題 III-V族化合物半導体ナノワイヤトランジスタ集積技術(解説記事)	5. 発行年 2019年
3. 雑誌名 応用物理	6. 最初と最後の頁 245-251
掲載論文のDOI (デジタルオブジェクト識別子) 10.11470/oubutsu.88.4_245	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計33件（うち招待講演 7件 / うち国際学会 18件）

1. 発表者名 Katsuhiro Tomioka, Junichi Motohisa
2. 発表標題 Scaling effect on vertical gate-all-around FETs using III-V NW-channels on Si
3. 学会等名 2021 Silicon Nanoelectronics Workshop (SNW 2021), Online (国際学会)
4. 発表年 2021年

1. 発表者名 Shun Kimura, Yu Katsumi, Hironori Gamo, Junichi Motohisa and Katsuhiro Tomioka
2. 発表標題 InP nanowire light-emitting diodes: different junction geometry and their diode properties
3. 学会等名 2021 International Conference on Solid State Device and Materials (SSDM2021), Online (国際学会)
4. 発表年 2021年

1. 発表者名 Katsuhiro Tomioka, Hironori Gamo, and Junichi Motohisa
2. 発表標題 (Invited) Integration of III-V Nanowire on Si and Their Device Application
3. 学会等名 International Union of Materials Research Societies - International Conference in Asia 2021 (IUMRS-ICA 2021), Online, Jeju, Korea (招待講演) (国際学会)
4. 発表年 2021年

1. 発表者名 Hironori Gamo, Junichi Motohisa, Katsuhiro Tomioka
2. 発表標題 Dual switching operation of vertical gate-all-around transistor using InGaAs/GaSb core-shell nanowires on Si
3. 学会等名 34th International Microprocesses and Nanotechnology Conference (MNC 2021), Online (国際学会)
4. 発表年 2021年

1. 発表者名 Katsuhiko Tomioka and Junichi Motohisa
2. 発表標題 (Invited) Integration of III-V Nanowires on Si and their Device Applications
3. 学会等名 International 14th International Symposium on Advanced Plasma Science and its Applications for Nitrides and Nanomaterials (ISPlasma2022), Online (招待講演) (国際学会)
4. 発表年 2022年

1. 発表者名 富岡 克広、蒲生 浩憲、本久 順一
2. 発表標題 (招待講演) 縦型トンネルトランジスタの高性能化
3. 学会等名 第85回半導体・集積回路技術シンポジウム、オンライン (招待講演)
4. 発表年 2021年

1. 発表者名 本久 順一、富岡 克広
2. 発表標題 (チュートリアル・招待講演) 半導体ナノワイヤの成長とデバイス応用
3. 学会等名 第13回ナノ構造エピタキシャル成長講演会、オンライン・松山 (招待講演)
4. 発表年 2021年

1. 発表者名 田井 良樹、蒲生 浩憲、本久 順一、富岡 克広
2. 発表標題 ナノワイヤ縦型共鳴トンネル電界効果トランジスタの試作
3. 学会等名 第57回応用物理学会北海道支部・第18回日本光学回北海道支部合同学術講演会、オンライン
4. 発表年 2022年

1. 発表者名 Lian Chen, Hironori Gamo, Junichi Motohisa, Katsuhiko Tomioka
2. 発表標題 Characterization of GaSb epitaxial growth and InAs/GaSb core shell nanowires
3. 学会等名 第57回応用物理学会北海道支部・第18回日本光学回北海道支部合同学術講演会、オンライン
4. 発表年 2022年

1. 発表者名 田井 良樹、蒲生 浩憲、本久 順一、富岡 克広
2. 発表標題 ナノワイヤ縦型共鳴トンネル電界効果型トランジスタの作製
3. 学会等名 第69回応用物理学会春季学術講演会、ハイブリッド・神奈川
4. 発表年 2022年

1. 発表者名 Katsuhiko Tomioka and Junichi Motohisa
2. 発表標題 (Invited) Integration of III-V nanowire LEDs on Si
3. 学会等名 The 20th International Meeting on Information Display (IMID 2020) (招待講演) (国際学会)
4. 発表年 2020年

1. 発表者名 Y. Tai, J. Motohisa, K. Tomioka
2. 発表標題 Selective-Area Growth of AlInAs Nanowires
3. 学会等名 Pacific Rim Meeting on electrochemical and solid state science (PRIME 2020) (国際学会)
4. 発表年 2020年

1. 発表者名 田井 良樹、蒲生 浩憲、本久 順一、富岡 克広
2. 発表標題 有機金属気相選択成長法によるAlInAsナノワイヤ成長とAl組成依存性
3. 学会等名 第81回応用物理学会秋季学術講演会
4. 発表年 2020年

1. 発表者名 J. Motohisa, H. Kameda, M. Sasaki, K. Tomioka
2. 発表標題 Radiative and Nonradiative Tunneling in Nanowire Light-Emitting Diodes
3. 学会等名 Compound Semiconductor Week 2019 (CSW 2019) (国際学会)
4. 発表年 2019年

1. 発表者名 H. Gamo, J. Motohisa, K. Tomioka
2. 発表標題 Demonstration of InAs nanowire vertical transistors
3. 学会等名 Compound Semiconductor Week 2019 (CSW 2019) (国際学会)
4. 発表年 2019年

1. 発表者名 K. Tomioka, A. Yoshida, H. Gamo
2. 発表標題 Heteroepitaxial growth of InGaAs/InP/InAlAs/InP core-multishell nanowires on Si for a complementary tunnel FETs
3. 学会等名 Compound Semiconductor Week 2019 (CSW 2019) (国際学会)
4. 発表年 2019年

1. 発表者名 T. Akamatsu, M. Sasaki, H. Kameda, K. Tomioka, J. Motohisa
2. 発表標題 InP/InAsP/InP heterostructure nanowire LEDs for a single photon emitter
3. 学会等名 Nanowire Week 2019 (国際学会)
4. 発表年 2019年

1. 発表者名 Y. Katsumi, H. Gamo, J. Motohisa, K. Tomioka
2. 発表標題 First demonstration of vertical surrounding-gate transistor using InP nanowires
3. 学会等名 Nanowire Week 2019 (国際学会)
4. 発表年 2019年

1. 発表者名 K. Tomioka, J. Motohisa
2. 発表標題 Selective-Area Epitaxy of III-V Nanowires on Si and Their Switching Applications
3. 学会等名 7th International Workshop on Epitaxial Growth and Fundamental Properties of Semiconductor Nanostructures (Semicon Nano 2019) (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 K. Tomioka, H. Gamo, J. Motohisa
2. 発表標題 Vertical Tunnel FET Technologies Using III-V/Si Heterojunction
3. 学会等名 236th ECS meeting (招待講演) (国際学会)
4. 発表年 2019年

1 . 発表者名 H. Gamo, J. Motohisa, K.Tomioka
2 . 発表標題 InAs/InP Core-Shell Nanowire Channel for High-Mobility Vertical Surrounding-Gate Transistors
3 . 学会等名 32nd International Microprocesses and Nanotechnology Conference (MNC 2019) (国際学会)
4 . 発表年 2019年

1 . 発表者名 Y. Katsumi, H.Gamo, T.Akamatsu, J. Motohisa, K. Tomioka
2 . 発表標題 Vertical Surrounding-gate Transistor Using InP Nanowires
3 . 学会等名 International School and Symposium on Nanoscale Transport and Photonics (ISNTT 2019) (国際学会)
4 . 発表年 2019年

1 . 発表者名 H. Gamo, T. Akamatsu, J. Motohisa, K. Tomioka
2 . 発表標題 Performance Analysis of InAs/InP Core-shell Nanowire Vertical Surrounding-gate Transistors
3 . 学会等名 International School and Symposium on Nanoscale Transport and Photonics (ISNTT 2019) (国際学会)
4 . 発表年 2019年

1 . 発表者名 Junichi Motohisa and Katsuhiro Tomioka
2 . 発表標題 InP-based Nanowires Towards On-demand Single Photon Emitters
3 . 学会等名 XXth International Workshop on Physics of Semiconductor Devices (IWPSD 2019) (国際学会)
4 . 発表年 2019年

1. 発表者名 富岡克広
2. 発表標題 III-V族化合物半導体ナノワイヤチャネルの電子素子応用
3. 学会等名 第24回半導体におけるスピン工学の基礎と応用(PASPS-24)
4. 発表年 2019年

1. 発表者名 蒲生 浩憲、富岡 克広
2. 発表標題 Si上InGaAs/GaSbコアシェルナノワイヤ選択成長
3. 学会等名 第80回応用物理学会秋季学術講演会
4. 発表年 2019年

1. 発表者名 蒲生 浩憲、本久 順一、富岡 克広
2. 発表標題 InAs/InPコアシェルナノワイヤ縦型サラウンディングゲートトランジスタにおける変調ドープ構造の検討
3. 学会等名 第80回応用物理学会秋季学術講演会
4. 発表年 2019年

1. 発表者名 勝見 悠、蒲生 浩憲、本久 順一、富岡 克広
2. 発表標題 InPナノワイヤサラウンディングゲートトランジスタのスイッチング特性評価
3. 学会等名 第80回応用物理学会秋季学術講演会
4. 発表年 2019年

1. 発表者名 赤松 知弥、佐々木 正尋、富岡 克広、本久 順一
2. 発表標題 InPナノワイヤ量子ドットの熱アニールによる直径微細化と発光特性
3. 学会等名 第80回応用物理学会秋季学術講演会
4. 発表年 2019年

1. 発表者名 勝見 悠、蒲生 浩憲、赤松 知弥、本久 順一、富岡 克広
2. 発表標題 InP ナノワイヤサラウンディングゲートトランジスタのスイッチング特性評価
3. 学会等名 The 38th Electronic Materials Symposium (EMS 38)
4. 発表年 2019年

1. 発表者名 蒲生 浩憲、赤松 知弥、本久 順一、富岡 克広
2. 発表標題 高移動度サラウンディングゲートトランジスタにおける InAs/InP コアシェルナノワイヤヘテロ構造の検討
3. 学会等名 The 38th Electronic Materials Symposium (EMS 38)
4. 発表年 2019年

1. 発表者名 蒲生 浩憲、富岡 克広
2. 発表標題 Si上InAs/GaSbコアシェルナノワイヤ選択成長
3. 学会等名 第67回応用物理学会春季学術講演会
4. 発表年 2020年

1. 発表者名 田井 良樹、赤松 知弥、蒲生 浩憲、本久 順一、富岡 克広
2. 発表標題 InP(111)B基板上的AlInAsナノワイヤ選択成長
3. 学会等名 第67回応用物理学会春季学術講演会
4. 発表年 2020年

〔図書〕 計0件

〔出願〕 計0件

〔取得〕 計3件

産業財産権の名称 Group III-V compound semiconductor nanowire, field effect transistor, and switching element	発明者 富岡克広、福井孝志	権利者 北海道大学
産業財産権の種類、番号 特許、US Patent 10,403,498	取得年 2019年	国内・外国の別 外国

産業財産権の名称 Tunnel field effect transistor	発明者 富岡克広、福井孝志	権利者 同左
産業財産権の種類、番号 特許、US Patent 10,381,489	取得年 2019年	国内・外国の別 外国

産業財産権の名称 トンネル電界効果トランジスタ	発明者 富岡克広、福井孝志	権利者 同左
産業財産権の種類、番号 特許、6600918	取得年 2019年	国内・外国の別 国内

〔その他〕

https://researchmap.jp/read0146924 https://publons.com/researcher/2573745/katsuhiro-tomioka/publications/
--

6. 研究組織	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------	---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8 . 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------