

## 自己評価報告書

平成 23 年 4 月 20 日現在

機関番号：12101

研究種目：基盤研究(S)

研究期間：2008～2012

課題番号：20226014

研究課題名(和文) 極限高純度めっきプロセスによる Cu 配線ナノ構造制御と次世代ナノ LSI への展開

研究課題名(英文) Nano-structure Control of Cu Interconnects by a Very High Purity Plating Process and Its Application to Next-generation LSIs

研究代表者

大貫 仁 (OONUKI JIN)

茨城大学・工学部・教授

研究者番号：70315612

研究分野：工学

科研費の分科・細目：材料工学・構造・機能材料

キーワード：LSI, Cu 配線, 添加剤フリー, 超高純度めっき材, 革新的高導電性

## 1. 研究計画の概要

次世代以降の LSI 性能は、Cu 配線の導電性に支配される。超高純度めっきプロセスの極限を追求することにより、微細 Cu 配線の結晶粒径の均一・粗大化を図り、革新的高導電性を有する Cu 配線材料の基盤技術を開発する。

## 2. 研究の進捗状況

(1) 超高純度 Cu および硫酸銅作製法の開発  
市販の最高純度 Cu を水素プラズマ溶解および分別再結晶法により 1～2 桁程度高純度の Cu アノードおよび硫酸銅を作製した。

(2) 高純度めっき材(アノードと硫酸銅)の配線抵抗率の低減効果への寄与率  
配線抵抗率の低減効果は、硫酸銅の純度の方が大きい(80%)。

(3) 超高純度めっきプロセスによる配線抵抗率の低減

(1)を用いて作製した超高純度プロセス Cu 配線(30nm 幅)の抵抗率は現状純度プロセス Cu 配線のそれよりも約 30%低い。これは前者の結晶粒径が後者のそれよりも約 30%大きいこと、さらに 40nm 以下の粒径の存在比は後者のその 1/15 程度に小さいことによる。

(4) Cu 配線抵抗率と結晶粒径に及ぼす添加剤フリーめっきと高速熱処理の効果

超高純度めっき材料を用いた添加剤フリーめっきおよび高速加熱速度(≧1.7K/s)でのアニールを組み合わせることにより、Cu 配線中の結晶粒径の均一粗大化の促進および大幅な抵抗率低減効果が得られる。

(5) 線幅 60nm 配線溝中への添加剤フリーめ

っきによる Cu 配線形成と抵抗率の評価  
パルスめっき条件の最適化により、幅 60nm、高さ 200nm 配線溝への完全埋め込みが可能になった。

(6) Cu 配線微細構造の評価技術の開発

TEM を用い、配線長さ方向からの断面評価を行う方法を開発し、高純度化による Cu 配線の微細構造の変化を評価する手段を得た。

(7) Ta/TaN バリア代替低抵抗率 Ru バリア形成プロセス技術の開発

高抵抗率(100 $\mu\Omega\cdot\text{cm}$ )の Ta/TaN バリアに替わる低抵抗率で直接 Cu めっきが可能な Ru バリアのクレヴァースフリー成膜技術を開発した。抵抗率はバルク Ru とほぼ同等の 10 $\mu\Omega\cdot\text{cm}$ である。

## 3. 現在までの達成度

②おおむね順調に進展している。

(理由)

本研究では、1) めっき材料(アノード、硫酸銅)の超高純度化を行うこと、2) 添加剤フリーめっき技術の確立を行うこと、さらに 3) 超高純度めっき材料を用いた添加剤フリーめっきにより微細配線溝中に Cu 膜を埋め込んだ後、開発した最適アニール技術により均一・粗大粒径を有する低抵抗率 Cu 配線を形成することが当初の 3 年間の達成目的である。研究の進捗状況で述べたようにこれらの目的はおおよそ達成されている。

## 4. 今後の研究の推進方策

(1) 28nm 以細 LSI 対応 Cu 配線形成と抵抗率および信頼性の評価

幅 30～50nm、深さ 100nm～150nm の配線

溝への超高純度めっき材を用いた添加剤フリーor 添加剤レス埋め込み技術の開発。高速アニールを組み合わせによる Cu 配線形成と抵抗率および耐エレクトロマイグレーション性の評価

(2) 低抵抗率Ruバリア材の導入によるCu配線抵抗率の低減効果の検証

10  $\mu\Omega \cdot \text{cm}$  と抵抗率の低い Ru バリアの形成プロセス技術の確立とこれを用いた超高純度 Cu/Ru 配線の形成ならびに抵抗率の評価

(3) Cu配線の微細結晶粒界に存在する不純物の解析

微細結晶粒界に複合酸化物等の形態で存在する不純物の球面収差補正型 TEM による解析

(4) 超高純度 Cu 配線システムの性能・信頼性の検証

超高純度プロセスで形成した Cu 配線システム (Cu、バリア、層間絶縁膜) の配線遅延・信頼性の検証

5. 代表的な研究成果

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 21 件)

1. 田代 優, 打越雅仁, 三村耕司, 一色実, 大貫 仁, 高純度めっき材料を用いた低抵抗率Cu配線形成プロセスの 8 インチウエハによる検証, 本金属学会誌, 75 (2011) 査読有 掲載決定
2. 田代 優, 大貫 仁, 微細Cu配線の微細構造と抵抗率に及ぼす硫酸銅純度の影響, 本金属学会誌, 5 (2011) 223-228 査読有
3. T. Inami, J. Onuki, and M. Isshiki, Development of a Nondestructive Method Utilizing X-ray Diffraction for the Evaluation of Grain Size Distributions of Cu Interconnects, *Electrochemical and Solid-State Letters*, 14 (2011) H208-H211 査読有
4. J. Onuki, K.P. Khoo, Y. Sasajima, Y. Chonan, and T. Kimura, Reduction in resistivity of 50nm wide Cu wire by high heating rate and short time annealing utilizing misorientation energy, *J. Appl. Phys.*, 108 (2010) 044302 1-7 査読有
5. J. Onuki, K. Tamahashi, T. Namekawa, and Y. Sasajima, Impact of High Heating Rate, Low Temperature and Short Time Annealing on the Realization of Low Resistivity Cu Wire, *Materials Transaction* 51 (2010) 1715-1717 査読有
6. Y. Sasajima, J. Kageyama, K.P. Khoo, and J. Onuki, Grain coarsening mechanism of Cu thin films by rapid annealing, *Thin Solid Films*, 518 (2010) 6883-6890 査

読有

7. J. Onuki, S. Tashiro, K.P. Khoo, N. Is hikawa, Y. Chonan, T. Kimura, and H. Akahoshi, Effect of the Purity of Plating Materials on the Reduction of Resistivity of Cu Wires for Future LSIs, *J. Electrochem. Soc.* 157 (2010) H857-H862 査読有
8. K.P. Khoo and J. Onuki, Texture investigation in the trench depth direction of very narrow copper wires less than 10 nm wide using electron backscatter diffraction, *Thin Solid Films*, 518 (2010) 3413- 3416 査読有

[学会発表] (計 20 件)

招待・基調講演 (3 件)

1. 大貫 仁, ナノ構造制御による次世代LSI用低抵抗率Cu配線の形成、日本金属学会2010秋期大会(2010年9月26日)(北海道大学)
2. 大貫 仁, LSI用めっきCu配線の微細構造と抵抗率、ナノプレーティング研究会(日本金属学会)(2010年4月16日)(慶応義塾大学)
3. 篠嶋 妥, 半導体集積回路の性能向上のための計算機シミュレーション、日本金属学会2009年秋期大会(2009年9月28日)(京都大学)

[産業財産権]

○出願状況 (計 5 件)

1. 名称: 金属層の結晶粒径及び粒径分布評価方法並びにこれを用いた半導体集積回路装置の製造方法  
発明者: 稲見 隆、大貫 仁  
権利者: 国立大学法人茨城大学  
種類: 特許  
番号: 特願 2011-22414  
出願年月日: 2011 年 2 月 4 日  
国内外の別: 国内
2. 名称: 半導体集積回路装置及びその製造方法  
発明者: 篠嶋 妥、大貫 仁  
権利者: 国立大学法人茨城大学  
種類: PCT  
番号: J P 2009/070637  
出願年月日: 2008 年 12 月 4 日  
国内外の別: 国外

[その他]

1. 新聞掲載

2010 年 12 月 1 日 日刊工業新聞掲載、題目: 超高速 LSI 用低抵抗率 Cu 配線材料の研究