

平成 22 年 6 月 1 日現在

研究種目： 若手研究（B）

研究期間： 2008 ～ 2009

課題番号： 20700051

研究課題名（和文） 多変数数学関数回路の自動合成システムの開発に関する研究

研究課題名（英文） Research on development of synthesis system for multivariable numerical function generators

研究代表者

永山 忍 (NAGAYAMA SHINOBU)

広島市立大学・情報科学研究科・講師

研究者番号： 10405491

研究成果の概要（和文）：本研究では、多変数数学関数回路の自動合成システムを開発するために、新しい空間分割アルゴリズムに基づく区分多項式近似法を考案した。考案した近似法に基づいた自動合成システムを用いることで、非専門家でも、高速かつコンパクトな多変数数学関数回路を容易に設計でき、人手不足のために低下することが懸念されているデジタル回路の設計生産性を、大幅に改善できる。また、提案した書換え可能な回路構成は、様々な数学関数を一つの回路で実現できるため、多種多様なデジタルシステムで再利用でき、コストダウンも期待できる。

研究成果の概要（英文）： In this research, we devised a piecewise polynomial approximation method based on a new spatial segmentation algorithm in order to develop an efficient synthesis system for multivariable numeric function generators. By using the synthesis system based on the new approximation method, even non-experts can easily design fast and compact numeric function generators. It can significantly improve the design productivity of digital circuits that would degrade due to lack of designers. And, our programmable architecture can be expected to reduce design and development costs of digital systems. This is because various numeric functions can be realized with a single circuit, and it can be reused for many kinds of digital systems.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2008 年度	2,000,000	600,000	2,600,000
2009 年度	1,400,000	420,000	1,820,000
年度			
年度			
年度			
総計	3,400,000	1,020,000	4,420,000

研究分野： 総合領域

科研費の分科・細目： 情報学，情報システム・ネットワーク

キーワード： 数値計算回路，自動合成，多変数数学関数，空間分割アルゴリズム，書換え可能な回路構成，バイリニア補間関数，2変数スプライン補間関数，決定グラフ

1. 研究開始当初の背景

近年のデジタルシステムの急速な普及と技術進歩に伴い、多種多様なデジタルシステムが開発されている。デジタル家電製品に代表されるように、今までアナログで処理されていたものもデジタル化され、今後ますます、デジタルシステムの需要が高まることが予想されている。その一方で、2007年問題や若年無業者の増加などによる技術者不足やそれに伴う生産性の低下が深刻な社会問題になっている。そこで、デジタルシステムの設計自動化に関する研究を行うことで、この問題に取り組む。現在技術者が行っている設計の一部を計算機で自動化することにより、技術者の負担を軽減し、技術者不足による生産性の低下を抑えることを目的とする。特に、本研究では、多変数数学関数を計算する数値計算回路の自動合成システムを開発する。

多変数数学関数は、コンピュータグラフィックス、デジタル信号処理、機械制御、流体物理学など様々な分野で広く利用され、C言語やMATLABなどの高級プログラミング言語では、標準的に数学関数ライブラリが用意されている。数学関数ライブラリを用いたソフトウェア実装は、容易である一方、計算速度が遅いという欠点を持つ。そのため、数学関数の高速な計算を要する分野では、しばしばハードウェア実装による高速化が求められている。しかし、ソフトウェア実装と違い、ハードウェアでは、多変数数学関数の標準的な実装法が知られておらず、現状では、設計者任せ(その場凌ぎ)の実装が行われている。実際、既存の数値計算回路は、一変数数学関数のみを対象にしている。近年の開発期間の短縮化や技術者不足などの社会問題は、設計者をさらに苦しめ、高速な多変数数学関数回路の容易な実装法が求められている。

2. 研究の目的

高速な多変数数学関数を最も簡単に実装する方法は、多変数関数の関数表をメモリでそのまま実装する方法である。入力変数の値の組合せを一つの入力(メモリのアドレス)とみなすことで、一変数関数と同じように実装することができる。しかし、多変数関数の場合、 2^m ワード(m は変数の数、 n は各変数のビット精度)のメモリが必要になり、一変数関数とは違い、低精度の計算であっても、必要メモリ量が大きくなりすぎ、実用的ではない。多変数関数を一変数関数回路と四則演算器の組合せで実現することに

より、実用的な実装を得ることができるが、関数によっては回路構成が非常に複雑になり、誤差解析(出力精度の保証)が困難になるという欠点を持つ。また、複雑な回路構造では、高速な回路を得ることも困難になってしまう。そのため、この手法は、多変数数学関数の容易な実装および高速な実装のどちらにもあまり適していない。

様々な多変数数学関数を同じ回路構成で容易に実装するために、本研究では、区分多項式近似による手法を用いる。区分多項式近似による数学関数の実装は、一変数数学関数の実装によく用いられ、与えられた数学関数の定義域を複数の区間へ分割し、その各区間で関数を多項式近似する手法である。この手法は、数学関数を低次多項式で近似することにより高速な計算を可能にし、近似区間を狭くすることで、近似精度が上がり高精度な計算も高速に実行できる。しかし、現在までに提案されている手法は、一変数数学関数のみを対象にしているため、多変数数学関数の多項式近似による数値計算回路の設計法は知られていない。この手法で設計された回路のサイズや速度は、定義域の分割法に強く依存するので、効率的な分割法が重要である。一変数関数の場合、定義域の分割は、一次元の区間分割であるが、多変数関数の場合は、多次元空間の分割になるため、一変数関数の分割アルゴリズムより複雑なアルゴリズムが必要になる。

そこで本研究では、自動合成システムのプロトタイプを開発するために、まず(平成20年度に)、以下の二つの研究を同時に行う。

- (1) 多次元空間の分割アルゴリズムの考案
- (2) 多変数数学関数回路の回路構成の考案

ここでは、多次元空間の分割アルゴリズムだけでなく、得られた分割を実現するための回路構成も同時に考案する。特に、本研究では、様々な多変数関数を同じ回路構成で実現するために、再構成可能な回路構成を考案する。そして、多数の計算機実験により、分割法で回路のサイズや速度がどのように変化するか、ビット精度(近似誤差)と分割された空間数の関係、どの分割法が優れているか、そして実用的なビット精度はどのぐらいかなどを解明する。これらの実験結果を基に、平成20年度中に、固定小数点数値計算回路の自動合成システムを開発する予定である。

平成21年度は、20年度に開発したシステ

ムに以下の二つの拡張を加える。

(3) 多変数離散関数への応用

一つ目の拡張は、連続関数だけでなく離散関数も扱えるように、システムに改良を加えることである。前年度までは、標準的な数学関数のみを対象に研究を行うが、実際の様々な現象（物理現象など）は、必ずしも数学関数で定義されておらず、測定値や実験データなどの離散関数として与えられる場合が多い。MATLABなどの数値計算ソフトでは、グラフ上で、与えられた座標データ（離散関数）から補間関数を自動生成できる。本研究では、同様に与えられた座標データから補間関数の数値計算回路を自動生成できるように拡張する。これにより設計者は座標データを解析し、補間関数を求めることなく、その数値計算回路を直接生成できる。これは、与えられた3次元座標データを滑らかな曲面で補間することが多い3Dコンピュータグラフィックスなどの分野で、特に有用である。

(4) 浮動小数点回路への拡張

二つ目の拡張は、回路の浮動小数点化である。固定小数点は、高速な回路をもたらす一方で、関数の定義域が広がるとビット数が増加し、回路規模が大きくなってしまふという欠点を持つ。ビット数を増加させずに広い定義域を表現する方法として、浮動小数点表現がよく知られており、IEEEの標準規格としても採用されている。しかし、浮動小数点を用いると回路が遅くなるという欠点を持つ。そこで、本研究では、初年度に開発した固定小数点回路の性能を損なわずに、浮動小数点回路を生成する手法を考案する。

3. 研究の方法

(1) 多次元空間の分割アルゴリズムの考案

区分多項式近似に基づく数値計算回路の設計法では、回路のサイズや速度が定義域の分割法に強く依存する。そのため、高速かつコンパクトな数値計算回路を設計するには、まず、効率的な分割法の考案が重要である。そこで、効率的な分割法を見つけるために、多変数関数の多項式近似法に関する文献や既存の一変数関数（線形空間）の分割アルゴリズムを調査し、それらを参考に、多次元空間の分割アルゴリズムを考案した。一変数関数の区間分割に比べ、空間分割は、複雑な問題であったため、任意の空間における効率的な分割アルゴリズムの考案が非常に困難であった。そのため、対象とする空間を実用的な範囲のみに制限し、また、二変数関数のみを対象とすることで問題の複雑さを下げ、研究全体の計画に支

障がでないように工夫した。

そして、多数の計算機実験により考案した様々な分割アルゴリズムの効率を評価し、提案手法の利害得失を明らかにした。

(2) 多変数数学関数回路の回路構成の考案

区分多項式に基づく数値計算回路の設計において、次に重要になるのが、得られた分割をハードウェアでどのようにして実現するかである。私たちは、過去の研究で、一変数関数における任意の区間分割を実現するためにLUTカスケードという再構成可能な回路構成を提案し、分割法と回路の複雑度(サイズ)の関係を示した。LUTカスケードは、LUT(メモリ)をカスケード状に並べた単純な構成であり、回路の構成を変更することなく、各LUTの内容を変更するだけで所望の区間分割を実現できる。

本研究では、まず、空間分割をLUTカスケードで実現した場合の複雑度を調べ、分割法と複雑度の関係を解析した。解析の結果、任意の分割を実現するために必要なLUTカスケードのサイズが大きいことがわかったため、別の再構成可能な回路構成を模索した。そして、考案した回路構成をFPGA上に実装し、性能評価を行った。多変数数学関数を本回路構成で実装した場合と、別の方法で実装した場合とを様々な観点で比較し、本提案手法の利点や欠点を明らかにした。比較実験においては、より実用的な結果を得るために、コンピュータグラフィックスやデジタル信号処理など、実際の数値計算アプリケーションで使用されている多変数数学関数を用いた。それらの実用的な多変数数学関数は、文献調査や研究会資料などから効率よく収集を行った。

(3) 多変数離散関数への応用

開発したシステムで多変数離散関数（多次元座標データ）を扱うために、本研究では、まず、多次元座標データの多項式補間法に関する文献や通常の2次元座標データの手法について調査した。座標データの滑らかな補間としてスプライン補間などが、よく知られているが、様々な補間法を調べ、それらを参考に、与えられた多変数離散関数から連続関数を生成するアルゴリズムを考案した。そして、得られた連続関数を前年度に考案した数値計算回路で実装し、そのときの回路サイズや速度を実験的に評価した。生成した連続関数のソフトウェア実装との比較実験により、本手法の有用性を示した。

(4) 浮動小数点回路への拡張

本研究では、前年度に考案した数値計算回路を浮動小数点に拡張する。浮動小数点は、広い定義域を効率よく表現でき、標準

的な実数の表現法として利用されているが、回路が遅くなるという欠点がある。一般に、高速な浮動小数点回路の設計は非常に難しく、固定小数点回路から浮動小数点への拡張は容易ではない。そこで、本研究では、まず、一変数数学関数の浮動小数点数値計算回路から研究を開始した。様々な回路構成を考案し、それらの複雑さを解析した。解析の結果、考案した回路の複雑さと計算精度の関係が明らかになった。また、提案回路を FPGA に実装し、既存の浮動小数点回路との比較実験により、提案回路の有用性を示した。

4. 研究成果

(1) 多次元空間の分割アルゴリズムの考案
 区分多項式近似に基づく数値計算回路のサイズや性能は、定義域(多次元空間)の分割法の効率で決まるため、高速かつコンパクトな数値計算回路を設計するために、本研究では、まず、効率的な空間分割アルゴリズムについて研究を行った。そして、コンピュータグラフィックスなどの様々な文献を参考に、再帰的空間分割アルゴリズムを考案した。このアルゴリズムにより生成された空間分割は、分割数が少なく、図1の回路でコンパクトに実現できる。また、提案アルゴリズムは、発見的手法であるため、そのような優れた空間分割を短い計算時間で生成することができる。様々な多変数数学関数を用いた多数の計算機実験により、提案アルゴリズムを用いることで、与えられた数学関数を区分多項式で効率よく近似することができ、高速かつコンパクトな多変数数学関数回路を容易に生成できることを確認した。

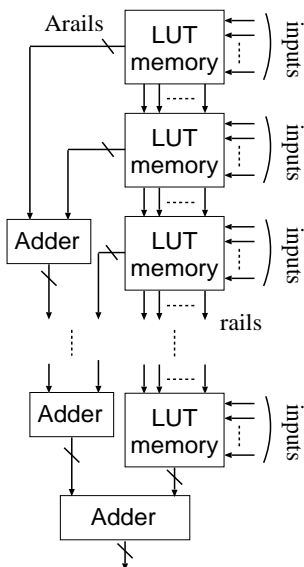


図1. 分割空間指定回路

(2) 多変数数学関数回路の回路構成の考案
 次に、提案アルゴリズムで得られた定義域の分割を、高速かつコンパクトに実現する書換え可能な回路構成について研究を行った。様々な回路構成を試行錯誤し、最終的に、EVBDD (Edge-Valued Binary Decision Diagram) という決定グラフを用いた回路構成(図1)が優れているという結論に達した。また、(1)の研究で提案したアルゴリズムでは、任意の近似多項式を用いることができ、二変数数学関数回路の設計には、接平面多項式またはバイリニア補間多項式が効果的であることを、回路の FPGA 実装により実証した。図2にバイリニア補間多項式を用いた数値計算回路全体の構成を示す。図2の“Segment Index Encoder”は、図1の回路で実現され、この部分で空間分割を実現する。そして、分割された各空間における多項式の係数を係数表“Coefficients Memory”から読み出し、バイリニア補間多項式による数学関数の近似値を乗算器と加算器を用いて計算している。

以上のように、(1)と(2)の研究により、空間分割アルゴリズムとそれを実現する回路の考案に成功し、二変数数学関数回路のプロトタイプ自動合成システムの開発に成功した。私たちの調べた限り、国内外において、区分多項式近似に基づく多変数数学関数回路の自動合成システムの開発に成功したのは本研究が初めてである。

(1)と(2)の研究で得られた成果は、論文[1, 2, 3, 4, 5]で公表した。論文では、問題を簡単にするために、二変数数学関数のみを対象としたが、提案アルゴリズムおよび回路構成は、三変数以上の数学関数へも容易に拡張できることも確認した。

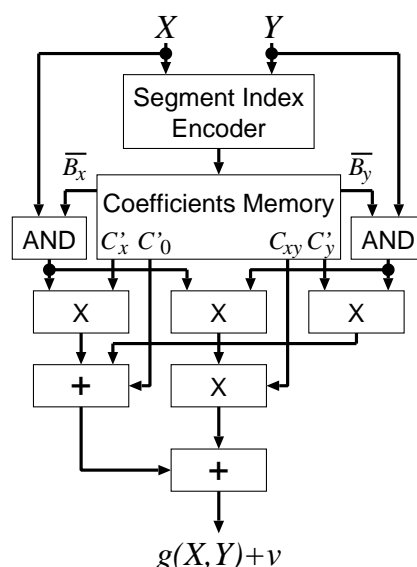


図2. 二変数数学関数回路の構成

(3) 多変数離散関数への応用

世の中の様々な物理現象は、必ずしも数学関数(連続関数)として定義されておらず、測定値や実験データ(二次元データ)などの二変数離散関数として与えられることが多い。そのような離散関数から数値計算回路を自動合成するために、本研究では、二変数スプライン補間関数とバイリニア補間関数を用いて与えられた離散関数を近似し、数値計算回路を設計する手法を考案した。これにより、二変数離散関数も図2の数値計算回路で高速に計算でき、容易に自動合成可能であることを確認した。

本提案手法では、スプライン補間関数とバイリニア補間関数の両方をうまく組み合わせることで、高い計算精度と速度の両方を満たす数値計算回路の自動合成に成功し、山岳の標高データなどを用いた実験により、本数値計算回路は、一般的によく用いられるソフトウェアプログラムによる実装に対し、約129倍から176倍の性能が得られることを確認した。また、提案した数値計算回路は、大量データの計算に特に優れており、1秒間に計算できるデータ量は、ソフトウェアプログラムで計算できるデータ量の約531倍から704倍におよぶことを確認した。

この研究で得られた成果の一部は、論文[7]で公表した。この研究成果(離散関数回路の自動合成システム)も、私たちの調べた限り、国内外において、他に例を見ない。

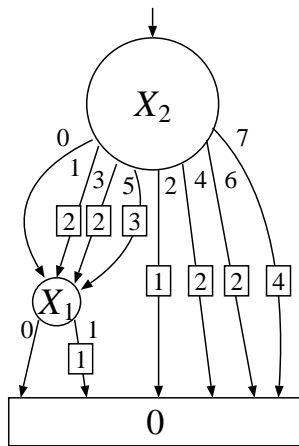


図3. EVMDD (Edge-Valued Multiple-valued Decision Diagram)

(4) 浮動小数点回路への拡張

次に、固定小数点回路から浮動小数点回路への拡張に関する研究を行った。様々な回路の設計法を試行錯誤し、最終的に、単調関数においては、図3に示されているEVMDD (Edge-Valued Multiple-valued Decision Diagram) という決定グラフを用い

ると数学関数をコンパクトに表現でき、高性能な浮動小数点数学関数回路の設計に有効であることを突き止めた。本研究では、浮動小数点数学関数を表現しているEVMDDの複雑さを数学的に解析し、EVMDDを用いた設計法の有効性を理論的に示した。そして、提案手法により設計された数値計算回路をFPGAに実装し、提案回路のコンパクトさを実証した。

既存手法で設計された回路との比較実験により、提案手法は、従来利用されていた多項式近似ではなく、決定グラフによる表現を用いているため、高精度とコンパクトさの両立に成功したことが明らかになった。また、既存手法は、特定の数学関数のみに特化した専用回路の設計法であるのに対し、本提案手法は、多様な数学関数に適用可能な汎用回路の設計法であるにもかかわらず、本数値計算回路は、既存回路よりも高速に浮動小数点数学関数を計算できることがわかった。

この研究で得られた成果の一部は、論文[6]で公表した。浮動小数点数学関数の決定グラフを用いた表現法に関する研究は、私たちの調べた限り、国内外において、他に例がなく、決定グラフを用いた浮動小数点回路の設計法および自動合成の成功も、この研究が初めてである。

以上に述べた本研究の成果により、多変数数学関数回路の自動合成システムの開発に関する有益な知見が得られ、今後の研究・開発に大きく寄与することが期待される。今後は、この研究の成果を活用し、より大きなシステム開発の研究に発展させる予定である。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計7件)

1. Shinobu Nagayama and Tsutomu Sasao, "Complexities of graph-based representations for elementary functions," *IEEE Transactions on Computers*, 査読有, Vol.58, No.1, pp.106-119, Jan. 2009.
2. Shinobu Nagayama, Tsutomu Sasao, and Jon T. Butler, "Programmable architectures and design methods for two-variable numeric function generators," *IPSJ Transactions on System LSI Design Methodology*, 査読有, Vol.3, pp.118-129, Feb. 2010.

3. Shinobu Nagayama and Tsutomu Sasao, "Representations of two-variable elementary functions using EVMDDs and their applications to function generators," *Proceedings of IEEE International Symposium on Multiple-Valued Logic*, 査読有, Vol.38, pp.50-56, May 2008.
4. Shinobu Nagayama, Jon T. Butler, and Tsutomu Sasao, "Programmable numerical function generators for two-variable functions," *Proceedings of EUROMICRO Conference on Digital System Design*, 査読有, Vol.11, pp.891-898, Sept. 2008.
5. Shinobu Nagayama, Tsutomu Sasao, and Jon T. Butler, "Numerical function generators using bilinear interpolation," *Proceedings of IEEE International Conference on Field Programmable Logic and Applications*, 査読有, Vol.18, pp.463-466, Sept. 2008.
6. Shinobu Nagayama, Tsutomu Sasao, and Jon T. Butler, "Floating-point numeric function generators using EVMDDs for monotone elementary functions," *Proceedings of IEEE International Symposium on Multiple-Valued Logic*, 査読有, Vol.39, pp.349-355, May 2009.
7. Yudai Wakamoto, Shinobu Nagayama, Masato Inagi, and Shin'ichi Wakabayashi, "Design and FPGA implementation of efficient discrete function generators using piecewise polynomial," *Proceedings of International Technical Conference on Circuits/Systems, Computers and Communications*, 査読有, Vol.24, pp.1016-1019, Jul. 2009.

[学会発表] (計6件)

1. Shinobu Nagayama, "Representations of two-variable elementary functions using EVMDDs and their applications to function generators," *IEEE International Symposium on Multiple-Valued Logic*, May 22, 2008, Dallas, U.S.A.
2. Shinobu Nagayama, "Programmable numerical function generators for

two-variable functions," *EUROMICRO Conference on Digital System Design*, Sept. 5, 2008, Palma, Italy.

3. Shinobu Nagayama, "Numerical function generators using bilinear interpolation," *IEEE International Conference on Field Programmable Logic and Applications*, Sept. 8, 2008, Heidelberg, Germany.
4. Shinobu Nagayama, "Numeric function generators using decision diagrams for discrete functions," *International Workshop on Post-Binary ULSI Systems*, May 20, 2009, Okinawa, Japan 招待講演.
5. Shinobu Nagayama, "Floating-point numeric function generators using EVMDDs for monotone elementary functions," *IEEE International Symposium on Multiple-Valued Logic*, May 23, 2009, Okinawa, Japan.
6. Shinobu Nagayama, "Design and FPGA implementation of efficient discrete function generators using piecewise polynomial," *International Technical Conference on Circuits/Systems, Computers and Communications*, Jul. 7, 2009, Jeju, South Korea.

6. 研究組織

(1) 研究代表者

永山 忍 (NAGAYAMA SHINOBU)
 広島市立大学・情報科学研究科・講師
 研究者番号: 10405491

(2) 研究分担者

なし

(3) 連携研究者

なし