

令和 5 年 6 月 1 日現在

機関番号：17102

研究種目：基盤研究(C)（一般）

研究期間：2020～2022

課題番号：20K04600

研究課題名（和文）バースト伝送用瞬時応答送受信回路の研究

研究課題名（英文）Research on the instantaneous-response burst-mode transmitter and receiver circuits.

研究代表者

木村 俊二（Kimura, Shunji）

九州大学・システム情報科学研究所・教授

研究者番号：80732974

交付決定額（研究期間全体）：（直接経費） 3,300,000円

研究成果の概要（和文）：光アクセスネットワークに用いられているバースト伝送技術は、理想的な回路構成は量産に不向きであったため、結果的に理想とはかけ離れた瞬時応答性能のものが採用されてきた。シンプルな回路構成で容量結合などの量産化技術と両立可能なバースト送受信技術の実現可能性を確認することができた。平均値検出回路を用いた反転歪補償技術による瞬時応答受信回路は、最短で7.56ナノ秒で応答可能であることを解析的に明らかにした。さらにバースト送信回路の動作原理や、PAM4変調を用いた将来の高速バースト伝送に用いる時定数可変型の帰還回路構成技術、マルチレートバースト受信器のM値制御による感度改善効果などを明らかにした。

研究成果の学術的意義や社会的意義

現在光アクセスネットワークに採用されているバースト送受信回路の多くは、量産性を確保する為に瞬時応答性能を犠牲にしているため、比較的長いオーバーヘッドを必要とする。本技術によるバースト送受信器を実現し、社会実装が可能になると光アクセスネットワークの伝送効率が飛躍的に向上する。今後、固定移動網融合など、移動体ネットワークにおいても光アクセスネットワークの技術は重要性を高めるものと思われるので、ネットワークを使うすべてのユーザにメリットをもたらす技術と言える。

研究成果の概要（英文）：Burst-mode transmission technology used in optical access networks has been employed with instantaneous response performance that is far from ideal as a result of the fact that the ideal circuit configuration was not suitable for mass production. We were able to confirm the feasibility of a burst-mode transceiver technology with a simple circuit configuration that is compatible with mass production technologies such as capacitive coupling. An instantaneous response receiver circuit based on inverted distortion compensation technology using an average-value detection circuit was analytically shown to be capable of responding in as little as 7.56 nanoseconds. Furthermore, the operating principle of the burst-mode transmitter circuit, a feedback circuit configuration technique with a variable time constant for future high-speed burst-mode transmission using PAM4 modulation, and the effect of sensitivity improvement by M-value control on a multi-rate burst-mode receiver were clarified.

研究分野：光アクセスネットワーク

キーワード：光アクセスネットワーク バースト伝送 バースト送受信器 瞬時応答回路 反転歪補償回路 M値制御

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属します。

1. 研究開始当初の背景

インターネットのトラフィック量は年々増加の一途をたどり、光伝送技術には一層の高速大容量化が求められている。アクセスネットワークの光化は日本が世界に先駆けて進展させたため、第五世代移動体通信網(5G)はこれらのインフラを活用しながら普及すると考えられる。このため、伝送容量だけでなくユーザトラフィックの収容効率を高めるための技術開発が急務である。光アクセスネットワークでは PON(Passive Optical Network)方式が採用され、上り伝送のユーザトラフィックを光信号のまま分岐光ファイバ上で集線できるようになった。これにより、従来のシングルスター方式に比べ、局内装置の光送受信器の数は 1/32 にまで減少し、抜本的な経済化を実現することができた。これは、上り伝送の光送受信器の間欠信号送受能力、所謂「バースト伝送技術」による。一般的な光伝送用送受信回路は、光信号が連続的に送受されることを前提として設計されており、信号の連続性が失われたときに生じる定常状態遷移(光信号の平均パワの変化)の過渡応答により、一時的に信号を正常に受信できなくなる。この過渡応答は大きく分けると2種類の要因によって生じる。1つは、増幅回路内の帰還(フィードバック)回路の応答によるもの、もう一つは回路間の接続に用いられる結合容量や電源部に用いられるチョークコイルなどの個別部品によるものである。一般に、帰還増幅回路のループ帯域は、入力信号の帯域下限よりも十分に低い周波数に設計される。このため、例えば 10Gbit/s 級の伝送システムでは、 μ 秒からミリ秒程度の応答時間がかかる。10Gbit/s の信号は1ビットの信号幅が 100 ピコ秒であるため、4 桁から 7 桁程度のビットがオーバーヘッドとして失われる可能性がある。結合容量やチョークコイルも信号を透過・遮断する目的で使われるので、基本的には上記のループと同様の時定数を持つ。従来提案されてきたバースト受信回路は、(a)フィードバックではなくフィードフォワード構成による高速制御、(b)回路間の直流結合による過渡応答の排除、を基本としている。この回路構成は理想的には過渡応答の原因を可能な限り排除できるが、(b)の直流結合の採用は、製造時の量産性に問題があり、国内外の装置メーカーは採用を断念した。容量結合は性能上のメリットだけでなく、組み立て後の直流レベルの調整作業が不要となるなど、量産性向上に必須の技術であり、特に光アクセスのような大量に導入される機器には、欠くことができない。1Gbit/s 級の光アクセスではギガビットイーサの 8B10B 符号が用いられたため、同符号連続が 6bit 以下となり、連続信号用送受信回路の結合容量の時定数を低減することでそれなりの応答速度(800 ナノ秒 : 1,000bit 相当)を出すことができたが、10Gbit/s 級光アクセスでは 10 ギガビットイーサの 64B/66B 符号が使われたため、同符号連続が最大 65bit となり、10 倍以上(1,200 ナノ秒 : 12,000bit 相当)のオーバーヘッドを必要としている。つまり、光アクセスネットワークでは通常の連続信号用送受信回路に近い技術が採用されたため、現在でも十分な瞬時応答性能が得られていない。

2. 研究の目的

本研究の目的は、容量結合を採用しつつ過渡応答による性能の劣化を補償する新たな回路構成を提案・実現することで、社会実装可能な真のバースト伝送技術を実現することにある。新たに提案する回路は、過渡応答を排除するのではなく、過渡応答は生じてしまうものとして内包した上で、意図的に生じさせた「もう一つの過渡応答」によって相殺するという新しい設計思想に立っている。これにより、量産性の向上に不可避な容量結合方式を維持しつつ、その瞬時応答性への影響だけを排除することができる。提案する新規回路は初段のインピーダンス変換増幅器(Trans-impedance Amplifier: TIA)と振幅制限増幅回路(Limiting Amplifier: LA)を容量結合することを前提としており、LA は2段構成となっている。初段の LA は差動増幅回路の閾値検出に入力信号と同相信号を用いており、次段の LA は逆相信号を用いているところが特徴となる。バースト信号の受信時に結合容量によって生じる信号のベースライン変動(過渡応答)を、高速平均値検出回路で平均化して閾値として与えるため、瞬時に信号波形を正常化できる。しかしながら同符号連続の入力時に、検出した平均電位が信号波形連続符号側に寄ってしまい、出力信号の波形に歪みが生じる。次段の LA は初段と同様に高速平均値検出回路で閾値検出を行うが、信号は逆相信号が入力される。これによって次段 LA の出力信号は初段と逆の歪みが加えられるため、波形のひずみが相殺されて元に戻る。これまで国内外の学会に発表されてきたバースト送受信回路では、従来技術をベースとしたものがほとんどで、ここまで大きく動作原理や設計思想を変えたものは提案されていない。

3. 研究の方法

本研究では、提案の回路構成を用いて、従来技術では 10Gbit/s で 1,200 ナノ秒程度必要とされた応答時間(オーバーヘッド)を 100 ナノ秒程度まで短縮させる回路設計指針を理論的に明確化するとともに、集積回路の試作を通じて実証する。具体的には、LA の閾値電圧変動の補償可能範囲(平均値検出回路の時定数の限界値)を時間雑音の定式化により明らかにする。集積化は LA の基本増幅部の実現にとどまっていたが、TIA の差動出力に対応する LA の入力部差動化や、新たにバースト送信回路の集積化にも挑戦する。さらには 25Gbit/s から 50Gbit/s 級バースト送受信回路の設計を行い、将来の超高速伝送への適用上の課題を先行して抽出する。

4. 研究成果

令和2年度は、年度開始当初から新型コロナウイルス感染拡大の影響で大学の施設を活用することができなかつたため、机上検討で進められるものを中心に、理論的解析を先行して進めた。研究計画調書で提案したバースト受信器の応答時間解析では、閾値検出回路の時定数、パルス波形の立ち上がり時間、閾値の変動により生じる時間雑音の解析結果から、目標とする応答時間100ナノ秒以下が実現できる見通しを得た。加えて、3年目に予定していた将来寄りの先行検討課題の検討を前倒しで行った。マルチレート・バースト受信器において、アバランシェフォトダイオードを用いた場合の最適M値がビットレートごとに異なることを解析的に明らかにし、10Gbit/s動作時に最大3.8dB感度が改善することを明らかにした。さらにM値を各ビットレートのバースト信号毎に最適制御する瞬時応答回路を提案し、100ナノ秒以下の応答性をシミュレーションで明らかにした。本解析結果は電子情報通信学会の総合大会で報告し、活発な質疑が行われた。さらに、高速化の検討においては振幅方向の多値化について検討し、PAM4変調に必要な線形バースト受信器の検討を行った。プリアンプル部とペイロード部で自動利得制御回路の時定数を可変化するための判定回路の動作を、プリアンプルの周期性を検出することで実現し、回路の基本動作を確認するとともに、判定回路自体の応答速度も100ナノ秒以下となる見通しを得た。

令和3年度は、年度開始当初に対面で講義を開講するも、5月には感染が拡大して遠隔講義となり、学生が研究のために登校すること自体が制限される中、出来る範囲で検討を進めた。研究計画書で提案したバースト送受信回路を試作する為に、VDECを利用して設計を進めたが、半導体プロセス事業者から供給されたデザインキットにはアナログ集積回路の設計に十分な精度を持った小信号等価回路モデルが無く、設計は困難を極めた。まずは大信号等価回路モデルで試作を実施し、評価結果から高精度なパラメータを抽出するという手順を進めることにした。1回目の試作結果は残念ながら増幅回路としての性能に大きな設計と実測の乖離があり、別途試作品種に入れておいたトランジスタ単体のテストパターンの高周波特性を取得して、パラメータフィッティングを行った。その結果、トランジスタのトランスコンダクタンスの値に大きな差があることが分かってきた。

実証実験がなかなか進まない中で、解析ツールを使った検討は順調に進捗した。昨年に引き続きトランスインピーダンス増幅器の利得制御の応答性能を改善する時定数可変性のための判定回路の検討を行った。主信号増幅回路の帯域特性によって引き起こされるシンボル間干渉の影響が、判定回路に入力される信号に起きた場合でも198ビット(19.8ナノ秒)程度のプリアンプルで正常に動作することが明らかとなった。また、送信回路(レーザ駆動回路)の検討も進み、過渡応答をもう一つの過渡応答で同相除去する回路構成により、100ナノ秒以下の応答性能を実現できることが分かった。これらの検討結果は学生の卒業論文としてまとめた。さらに研究計画調書には記載していないが、実際に研究を開始したところCMOSデバイスの性能が想定より低く、広帯域化の検討が追加で必要となった。このためトランスインピーダンス増幅器の回路構成として追加でレギュレーテッドカスコード型構成による広帯域化を検討した。検討の結果では確かに広帯域化が実現できるが、雑音特性の劣化が通常の並列帰還ソース接地型に比べて大きく、受光感度という点で不利な構成であることが分かった。この検討も卒業論文としてまとめた。

令和4年度は、集積回路の実現に向けて等価回路パラメータの精度向上を目指した。令和3年度試作に搭載したトランジスタのテストパターンから抽出した散乱行列は、ゲート幅の異なるものでデータにかなりの乖離があり、特に高周波帯で精度が取れなかつたことから、テストパターンそのものの見直しを行った。高周波信号用の入出力パッドに問題がある可能性があったため、同じプロセスで試作を行った経験のある他大学の先生から教を請い、パッドの構造を改良した。トランジスタのパラメータは最良と思われるものを選んで設計を行ったが、今年度の試作の結果も設計との乖離が大きく、残念ながら試作による実証を行うことはできなかつた。しかしながら、計画当初予定していた回路動作の理論的検証は予定よりも多くの検討内容について検証することができた。計画時に提案した「反転歪補償型構成の振幅制限増幅回路」は詳細な検討の結果、大きなパワの光信号入力時には、初段の増幅器による信号の立ち上がり立下り時間の改善が、二段目の歪み補正効果を弱めていることが分かり、ダイナミックレンジの拡大に向けた課題を抽出することができた。さらに同符号連続長との関係性を考慮に入れると、1ギガビットイーサの信号では7.56ナノ秒(平均値検出回路の帯域を55MHzに設計)で最も短い時間で歪が標準範囲に収まることを明らかにした。この結果については令和5年度に英文論文を予定している。より高速なビットレートへの挑戦として行った「PAM4変調信号のバースト応答に向けた時定数制御回路の検討」は電気・情報関係学会九州支部連合大会で発表した。担当した学生は連合大会講演奨励賞を戴いた。送信回路の検討も同大会で発表を行い、活発な意見交換が行われた。3年間を通じてコロナとトランジスタの等価回路に苦しめられたが、理論的解明を進めることができた。集積化に対する挑戦は来年以降も継続する。

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計5件（うち招待講演 1件 / うち国際学会 0件）

1. 発表者名 西村結良、平田大輝、木村俊二
2. 発表標題 バースト光受信器における反転歪み補償型振幅制限増幅回路の瞬時応答性能解析
3. 学会等名 2023年電子情報通信学会研究会（CS/CQ共催）
4. 発表年 2023年

1. 発表者名 馬原彰梧、木村俊二
2. 発表標題 高速光アクセスネットワークにおけるバースト送信回路の差動容量結合化に関する検討
3. 学会等名 電気・情報関係学会九州支部連合大会
4. 発表年 2022年

1. 発表者名 安藤空、岩切康暉、木村俊二
2. 発表標題 PAM4変調技術を適用したバースト伝送用光受信器の自動利得制御回路の時定数制御回路に関する検討
3. 学会等名 電気・情報関係学会九州支部連合大会
4. 発表年 2022年

1. 発表者名 木村俊二
2. 発表標題 光アクセスネットワークにおけるバースト伝送技術
3. 学会等名 2022年 電子情報通信学会研究会（CAS/CS共催）（招待講演）
4. 発表年 2022年

1. 発表者名 長嶺将太、今泉大、木村俊二
2. 発表標題 光アクセスネットワークにおけるAPDデュアルレート・バースト受信器の受光感度最適化の検討
3. 学会等名 2021年電子情報通信学会総合大会 B-8-29
4. 発表年 2021年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

研究者プロファイリングツール 九州大学Pure
<https://kyushu-u.pure.elsevier.com/ja/persons/shunji-kimura/publications/>
 研究者情報
<https://hyoka.ofc.kyushu-u.ac.jp/search/details/K007340/index.html>

6. 研究組織		
氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関