

令和 6 年 6 月 23 日現在

機関番号：12608

研究種目：挑戦的研究(萌芽)

研究期間：2020～2023

課題番号：20K21791

研究課題名(和文) Beyond-CMOSを用いた超低消費電力・高速集積回路・アーキテクチャ技術

研究課題名(英文) Circuit technology and architecture for ultralow-power high-speed integrated circuits using beyond-CMOS devices

研究代表者

菅原 聡 (Sugahara, Satoshi)

東京工業大学・科学技術創成研究院・准教授

研究者番号：40282842

交付決定額(研究期間全体)：(直接経費) 4,800,000円

研究成果の概要(和文)：CMOSロジックシステムにおいて0.2V程度の超低電圧駆動は大幅な消費電力の削減を期待できるが、従来のCMOS技術では、トランジスタの電流駆動能力の低下にともなう性能劣化が激しく実現は難しい。本研究課題では超低電圧で高い電流駆動能力を有するBeyond-CMOSの一つであるpiezoelectronic transistor (PET)をモデルケースとして、超低電圧におけるGHz級動作が可能な超低消費電力・高速ロジックシステムの回路・アーキテクチャ技術の開発を行った。本研究で開発した技術はPETと同様の高い電流駆動能力を有するBeyond-CMOSであれば、共通に応用できる基盤技術となる。

研究成果の学術的意義や社会的意義

本研究課題では、Beyond-CMOSの一つであるpiezoelectronic transistor (PET)をモデルケースとして、超低電圧駆動GHz級動作が可能な超低消費電力・高速ロジックシステムの基盤技術の開発を行った。本研究で開発した技術のようにPETと同様の高い電流駆動能力を有するBeyond-CMOSであれば、超低電圧であってもCMOSとほぼコンパチブルな回路技術・アーキテクチャを共通に応用できる可能性がある。

研究成果の概要(英文)：Ultra-low voltage operations of complementally CMOS logic systems are considerably effective at reducing power dissipation. However, their operation speed is severely degraded for the ultralow-voltage operations, since the current drivability of the transistors deteriorates at low voltages. A new piezoelectronic transistor (PET) is proposed for ultralow-voltage high-speed integrated circuits. The device is comprised of a cylindrical piezoresistive (PR) channel and a torus-shape piezoelectric (PE) gate. The PR channel can largely change its resistivity owing to the metal-insulator transition. The PET can achieve high current drivability even at ultralow voltages. Design methodologies and architectures of complementary-PET-based basic circuits for logic applications are developed. Performance and behavior of these PET-based circuits are analyzed using an equivalent circuit of PETs. The complementary PETs can exhibit high-speed (several GHz operations) and low-power performance at 0.2 V.

研究分野：集積回路

キーワード：集積回路 Beyond-CMOS ultralow voltage

## 1. 研究開始当初の背景

マイクロプロセッサ(MP)やシステム・オン・チップ(SoC)などの CMOS ロジックシステムでは、トランジスタのテクノロジーノードの更新とともに高性能化を実現してきたが、これにともなう消費電力の増大が深刻な問題となっている。ロジックシステムにおける電源電圧の低減は動作時電力の削減に有効である。この駆動電圧を 0.2V 程度に超低電圧(ULV)化すれば、従来技術では到達できないロジックシステムの超低消費電力化が可能になると予想される。しかし、このような極めて低い駆動電圧ではロジックシステムの動作そのものが困難になる、または動作できてもその動作速度などの回路性能は著しく劣化するといった問題を生じる。このような ULV 駆動においても安定な動作や十分な回路性能を確保するためには、より小さな入力電圧で、より大きな電流を駆動できる飛躍的に“高感度”なトランジスタの導入が必要になる。これは従来の CMOS のようにトランジスタのチャンネルに半導体を用いる限り、どのような半導体材料を用いてもこの問題を根本的に解決することは難しい。

Piezo-electronic transistor (PET)は圧力による金属-絶縁体転移によって、金属的な低抵抗状態と絶縁体的な高抵抗状態の2つの状態間を連続遷移可能なナノ構造ピエゾ抵抗体チャンネルと、圧電体によってこのチャンネルに高感度に圧力を印加できるゲート構造を有し、0.2 V 程度の ULV においても大きな電流駆動能力を有し、ULV 駆動による消費電力の大幅な削減と高速動作の両立が可能なトランジスタとして期待されている[1,2]。本研究課題では PET を超高感度トランジスタのモデルケースとして用いて、超低電圧・高速・低消費電力ロジックシステムの基盤技術を創出する。

## 2. 研究の目的

CMOS ロジックシステムにおいて 0.2V 程度の ULV 駆動は、大幅な消費電力の削減を期待できるが、従来の CMOS 技術では、トランジスタの電流駆動能力の低下にともなう性能劣化が激しく、実現は難しい。この一方で、Beyond-CMOS と呼ばれるトランジスタの中には、金属的に低抵抗の状態と、絶縁体的に高抵抗の状態の2つの状態を、低電圧で容易に遷移できる“超低電圧駆動・高電流駆動能力”トランジスタもある。本研究課題では、このような Beyond-CMOS の一つである PET をモデルケースとして、0.2V 程度の超低電圧における GHz 級動作が可能な超低消費電力・高速ロジックシステムの回路・アーキテクチャ技術の開発を行う。本研究で開発する技術は PET と同様の高い電流駆動能力を有する Beyond-CMOS であれば、共通に応用できる基盤技術となる。

## 3. デバイス構造と設計・解析方法

PET は圧電体(PE)ゲートとピエゾ抵抗体(PR)チャンネルから構成され、PE ゲートから PR チャンネルに印加される圧力によるチャンネルの金属-絶縁体転移を用いてトランジスタ動作を行う[2]。本研究者らはデバイスの支持構造を用いることなく、PE ゲートから PR チャンネルに効果的に圧力を印加できる新構造の PET を提案した。図 1 に新型 PET のデバイス構造を示す。新型 PET では円筒形の PR チャンネルを取り囲むように PE ゲートを配置し、PE ゲートはドレイン・ソースの向きと平行になるように誘電分極させてある。この構造では、高降伏強度材料などによる支持構造を用いることなく、PR チャンネルに圧力を高効率に印加できる。また、誘電分極の向きを変えることで CMOS と同等の相補型動作を実現できる。PET の動作は、電気機械方程式から構築したトランジスタモデル[2]を用いて解析した。本研究では、PR チャンネルに SmSe を、PE ゲートに PMN-PT を選択し、その物性値は報告

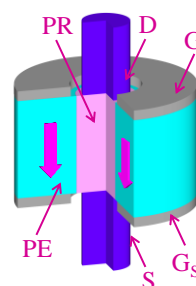


図1. 新型PETの構造。

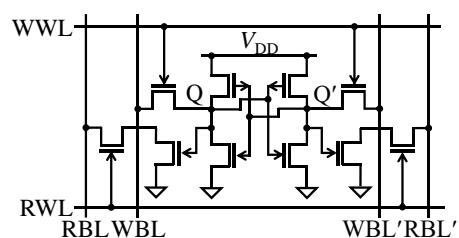


図2. 10Tセルの構成。

値を用いた[2]. PET の電流駆動能力はゲート電圧  $V_G$  によって PR チャネルに印加される圧力  $P$  に依存する.  $P$  は  $P=\alpha V_G$  と表せ,  $\alpha$  は材料が決まっていれば構造パラメータから決まる定数となる. この  $\alpha$  について所望のオン電流  $I_D$  から設計する方法( $I_D$  設計)と, 所望のリーク電流  $I_{leak}$  から設計する方法( $I_{leak}$  設計)の 2 つを開発した[2]. ただし, どちらの場合でも信頼性確保のため電流密度  $J_D$  はある決められた値を満たすように設計する. 今回は動作電圧を  $V_{DD}=0.2$  V として,  $I_D$ ,  $I_{leak}$ ,  $J_D$  を 10 nm FinFET [3]を参考に決めた(以下, それぞれ  $I_{D0}$ ,  $I_{leak0}$ ,  $J_{D0}$  とする). 以下では, これまでに行ってきた PET のモデリングを用いて, ロジックシステムの要となる SRAM や FF などの記憶回路の設計・アーキテクチャ, およびこれらの解析の結果を示す.

#### 4. 研究成果

0.2V程度 of ULV動作では, デバイス特性のばらつきによる影響が大きく, 特に, 双安定回路で構成されるSRAMではノイズマージン(NM)の確保は容易ではない. 通常のCMOSを用いた場合では保持動作であってもNMを確保できない. PETはULVでも電流駆動能力が極めて高く, 急峻なスイッチング特性によって, ULV動作の双安定回路であっても十分にNMを高くできる可能性がある.

図2に, 今回用いた10Tセルの構成を示す. READ動作のNMを確保するため記憶ノードに isolated read port (IRP)を接続した構成を採用した(10Tセルではスタンバイ(SB)とREADは同じNMを持つ). デバイスの特性ばらつきは,  $3\sigma$ のグローバルコーナーで $\pm 30\%$ のオン電流ばらつきがあるものとしてモデリングした. セルのNMはQSNMを用いて評価した[4]. 図3に10TセルのSB/READとWRITEモードにおけるQSNMを示す. 比較のため, PETで構成した通常の6TセルのQSNMも示してある. 図3に示すように, 6T構成におけるULV動作時のREADモードではセルトランジスタを介したビット線の放電の影響が著しく大きく, QSNMは激しく劣化する. したがって, ULV動作ではIRPの導入は必須である. 10Tセルを用いることで, READモードはSBモードと同じQSNMを実現できる. TTコーナーで85 mVと, ULV動作としては比較的高いNMを達成できる. また, ワーストケースのプロセスコーナーでもQSNMの劣化は比較的小さい. これは, PETの優れた伝達特性による. ローカルばらつきを考慮したモンテカルロシミュレーションの検証から, ULV動作であっても $6\sigma$ 故障率を満たすことがわかった. PETを用いることで, ばらつき耐性の高いULV動作SRAMを実現できる.

次にPETを用いてSRAMセルおよび周辺回路を構成し, PETを用いたSRAMの性能解析を行った. 図4にFinFETの場合と比較したPETで構成したSRAMの動作周波数, 動作時電力, 待機時電力を示す. 駆動電圧はFinFETの場合は0.75V, PETの場合は0.2Vである. PETに $I_D$ 設計を用いた場合, 0.2 Vの駆動電圧でも $f=1$  GHzで動作可能となり, 動作時電力をFinFETの場合の70%程度, 待機時電力をFinFETの場合の20%程度削減できる. 一方,  $I_{leak}$ 設計の場合, 駆動電圧0.2 Vでも $f=800$  MHzで動作可能で, 動作時電力をFinFETの場合の85%程度, 待機時電力をFinFETの場合の65%程度削減できる. この解析から, PETを用いたSRAMではGHzオーダーの高速動作と従来技術では実現できない低消費電力性能を実現できることを明らかにした. また, SRAMの消費電力

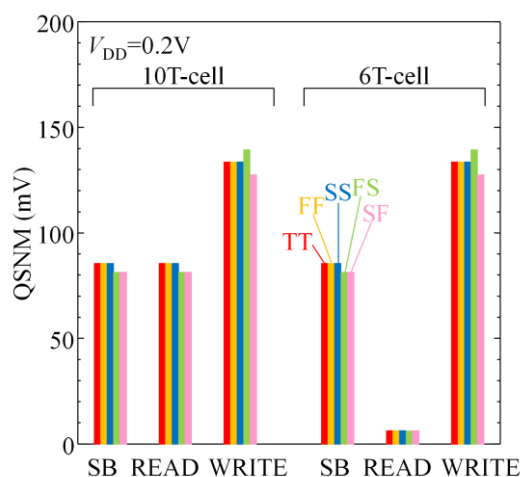


図3. 6Tセルと10TセルにおけるQSNM.

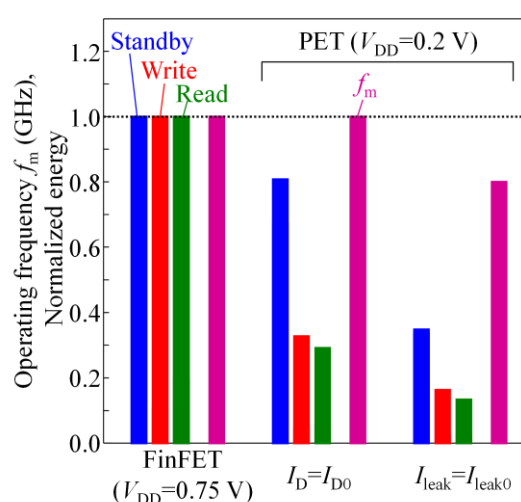


図4. SRAMの動作周波数, 動作時・待機時エネルギー.

と動作周波数のトレードオフの関係はセルに用いるPETの駆動能力(PETの設計)で最適化できることを示した。

次にPETを用いたマスタスレーブ型エッジトリガFFの検討を行った。図5にPETを用いたFFの構成を示す。図中の数字または $N_{FP}$ はPETのチャンネル数を示している。ここでは $I_{leak}$ 設計を用いた。チャンネル長を短くするとPEの断面積も縮小できるため遅延( $\tau_{CLK-Q}$ )を効果的に小さくできる。 $I_{leak}$ 設計ではこの最適化でリーク電力は変化しない。FFにおけるフォワードパスのチャンネル数を増加させると電流駆動能力の増加にともない $\tau_{CLK-Q}$ は効果的に削減できるが、リーク電力は増加する。以上から、PETの設計とチャンネル数の設定によって遅延と消費電力を最適化できることを明らかにした。また、最適設計を行ったFFの解析から0.2Vの駆動電圧で数GHzの動作が実現できることを明らかにした。

次に、CMOSのボディバイアスに相当するPETのバックゲート効果を検討した。図6に結果を示す(図中の赤い棒グラフ)。バックゲート効果は非常に大きく、遅延は大幅に短くなる。ただし、バックゲート効果による電流駆動能力の増加にともない、リーク電力は増大する。

## 5. まとめ

本研究課題では、Beyond-CMOS の一つである PET をモデルケースとして、ULV 駆動 GHz 級動作が可能な超低消費電力・高速ロジックシステムの基盤技術の開発を行った。本研究で開発した技術のように PET と同様の高い電流駆動能力を有する Beyond-CMOS であれば、ULV であっても CMOS とほぼコンパチブルな回路技術・アーキテクチャを共通に応用できる可能性がある。

## 参考文献

- [1] D. M. Newns, B. G. Elmegreen, X. H. Liu, and G. J. Martyna, J. Appl. Phys., vol. 111, no. 8, pp. 084509/1-18, 2012.
- [2] Y. Shiotsu, S. Yamamoto, Y. Shuto, H. Funakubo, M. K. Kurosawa and S. Sugahara, IEEE Trans. Electron Devices, vol. 67, no. 9, pp. 3852-3860, 2020.
- [3] S. Sinha, G. Yeric, V. Chandra, B. Cline, and Y. Cao, Proc. 49th ACM/EDAC/IEEE Design Automat. Conf. (DAC), pp. 283-288, 2012.
- [4] H. Yoshida, Y. Shiotsu, D. Kitagata, S. Yamamoto, and S. Sugahara, IEEE Open J. Circuits Syst., vol. 2, pp. 520-533, 2021.

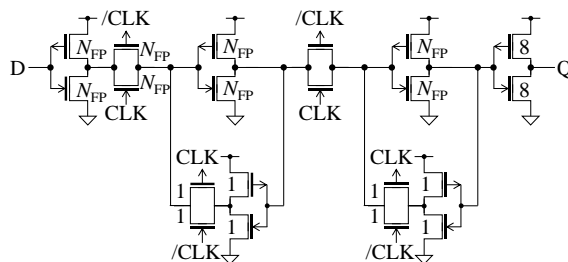


図5. PETを用いたFFの構成.

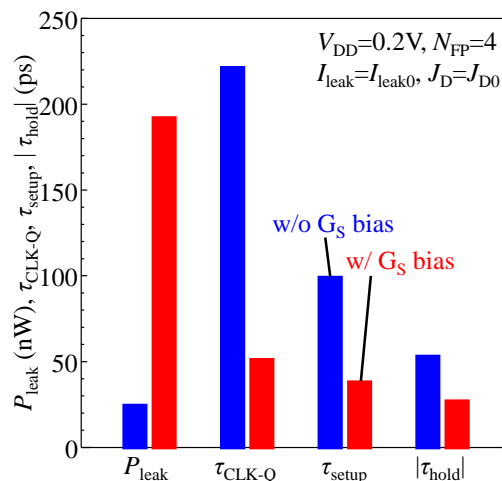


図6. FFにおけるバックゲートの効果.

5. 主な発表論文等

〔雑誌論文〕 計2件（うち査読付論文 2件 / うち国際共著 0件 / うちオープンアクセス 0件）

1. 著者名 菅原聡	4. 巻 18
2. 論文標題 CMOS プラットフォームを用いた新技術の創成：超低消費電力 CMOS ロジックシステム, BeyondCMOS デバイス, 体温を用いた熱電発電モジュール	5. 発行年 2022年
3. 雑誌名 日本熱電学会誌	6. 最初と最後の頁 159-162
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Y. Shiotsu, S. Yamamoto, Y. Shuto, H. Funakubo, M. K. Kurosawa and S. Sugahara	4. 巻 67
2. 論文標題 Modeling and Design of a New Piezoelectronic Transistor for Ultralow-Voltage High-Speed Integrated Circuits	5. 発行年 2020年
3. 雑誌名 IEEE Trans. on Electron Devices	6. 最初と最後の頁 3852-3860
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TED.2020.3008891	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計3件（うち招待講演 0件 / うち国際学会 0件）

1. 発表者名 伊藤克俊, 塩津勇作, 山本修一郎, 菅原聡
2. 発表標題 新型超低電圧リテンションSRAM (ULVR-SRAM)セルの提案
3. 学会等名 第83回応用物理学会秋季学術講演会
4. 発表年 2022年

1. 発表者名 松崎翼, 塩津勇作, 山本修一郎, 菅原聡
2. 発表標題 バルクデバイスを用いた超低電圧リテンションFlip-Flopの設計と解析
3. 学会等名 第82回応用物理学会秋季学術講演会
4. 発表年 2021年

1. 発表者名 1. 塩津勇作, 菅原聡
2. 発表標題 ピエゾエレクトロニックトランジスタで構成した超低電圧SRAMのばらつき耐性
3. 学会等名 第71回応用物理学会春季学術講演会
4. 発表年 2024年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------