

## 科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 24 年 4 月 30 日現在

機関番号： 32641  
 研究種目： 基盤研究 (C)  
 研究期間： 2009～2011  
 課題番号： 21560364  
 研究課題名（和文） 統計的タイミング解析を用いたデジタル回路設計の確立に関する研究  
 研究課題名（英文） Study on an establishment of digital circuit design  
 using statistical timing analysis  
 研究代表者  
 築山 修治 (TSUKIYAMA, Shuji)  
 研究者番号： 90142314

## 研究成果の概要（和文）：

本研究では、デジタル回路の統計的設計手法を確立するため、基本的なアルゴリズム論的課題に取り組み、以下の成果を得た。

混合正規分布を用いた従来の統計的静的遅延解析手法を改良し、タイミング違反確率の計算精度を改善すると共に、経年劣化の影響を考慮できるようにした。また、タイミング検査を効率化するため、クリティカルパスを構成する可能性の低いパスを除去する手法を構築すると共に、この手法を評価するため、指定されたパスの遅延が最大になる確率を計算する手法も構築した。

電源電圧および温度の変動を取り入れた遅延ばらつきライブラリの構築手法を作成すると共に、経年劣化の影響も考慮可能にし、タイミング信頼性を総合的に向上する電源配線最適化手法を構築した。また、これに用いる電源配線解析システムを高性能化した。

## 研究成果の概要（英文）：

In this research, we tackled basic algorithmic problems to establish a statistical design method, and obtained the following products.

We modified our previous algorithm for statistical static timing analysis using Gaussian mixture model, so as to improve the calculated error of timing violation probability and to handle the effect of long-term degradation. Moreover, in order to make timing test efficient, we devised an algorithm to remove unnecessary paths from a given circuit, and in order to evaluate this algorithm, we devised an algorithm to calculate the criticality probability of a given path.

We devised a method to create a delay variation library which incorporates fluctuations of voltage and temperature, and a method to estimate the long-term variation. By using these methods, we devised an algorithm for finding an optimal power grid which increases overall dependability of the power grid. Moreover, we improved the simulation speed of the system for power grid analysis, which is used for our power grid synthesis.

## 交付決定額

(金額単位：円)

	直接経費	間接経費	合計
平成 21 年度	1,300,000	390,000	1,690,000
平成 22 年度	1,100,000	330,000	1,430,000
平成 23 年度	1,100,000	330,000	1,430,000
年度			
年度			
総計	3,500,000	1,050,000	4,550,000

研究分野： 工学

科研費の分科・細目： 電気電子工学 ・ 電子デバイス・電子機器

キーワード： 回路設計・CAD, タイミング検査, 統計的静的遅延解析, 電源配線最適化, クリティカルパス, ばらつき要因解析, 遅延ばらつきライブラリ

## 1. 研究開始当初の背景

最先端大規模集積回路 (LSI) に搭載される素子のサイズが 50 nm を切り, 露光歪みによるチップ上の図形のばらつきや, 不純物注入濃度, 配線厚, あるいは層間膜厚などの製造ばらつきが増大している. これらを解決するため, 位相シフトマスク (Phase Shift Mask), 光近接補正 (Optical Proximity Corrections), ダミーメタル挿入 (Dummy Metal Fill) などの技法が用いられているが, それらによる製造コストの増大がナノテクノロジー時代におけるシステム LSI 製造の大きな問題となっているにも関わらず, 製造ばらつきを低減するまでには至っていない. このような製造ばらつきに起因する回路特性のばらつきは, 温度および電源電圧の変動によるばらつきと共に, LSI 設計上の最重要課題となっており, 総合的な耐ばらつき設計技術の確立が望まれている.

従来のデジタル LSI 設計におけるばらつき対策では, このようなばらつきに対する全ての最悪のコーナー (状況) を考え, そのいずれにおいても問題が生じないようなマージン (設計余裕) を設定することにより対処してきた (コーナー解析). 温度や電源電圧のような動的ばらつきに対しては, 回路が誤動作しないことを保証する上で, このようなコーナー解析に頼らざるを得ないが, 製造ばらつきのような潜在的ばらつきに対して最悪を想定していたのでは, マージンの重畳により過剰マージンとなり, チップ面積や消費電力の増大を招くだけでなく, 仕様を満たす設計が不可能になることもある. 次世代 IT 社会におけるモバイルコンピューティング用システム LSI は, 高速化と共に, 低消費電力化・小チップ化が不可欠であり, 過剰マージンはできるだけ排除しなければならない.

そのための手法として, 製造ばらつきによって生じる回路性能のばらつきを統計的に扱う統計的タイミング解析を用いた手法が注目されている. 実際, 世界において多くの大学や企業が, 遅延ばらつきの評価, 統計的タイミング解析手法, ならびにそれを用いた回路設計手法の研究に取り組んでおり, そのため, 今世紀に入り, LSI の設計自動化に関する国際会議においては, この関連のセッションが数多く持たれている. これらからも分かるように, 統計的設計手法の確立は, 集積回路の自動設計分野における最重要課題と

なっている.

このような中, 申請者等の研究室では, 早く (1998 年) からばらつきの問題に着目し, 統計的タイミング解析手法とそれを利用した回路設計について研究している. 特に, 各論理ゲートの遅延がチップ毎にばらつくとき, 回路全体の最大遅延 (クリティカル遅延) がどのようにばらつくかを調べる統計的静的遅延解析手法に関して, 申請者等が 2000 年に提案したアルゴリズム (IEICE Trans. Fundamentals, vol. E84-A, no.11, pp.2746-2754, 2001, 国際会議では TAU2000 および ASP-DAC2001 において発表) は, 再収斂パスによる遅延ばらつきの相関を扱える初めての効率的な手法で, 容易に任意の相関を扱うように拡張できるため, その後提案された多くの手法や CAD ベンチャーの手法が, ここで用いた技法を利用している.

さらに, 研究代表者の研究室では, 2007 年度より科研費の補助を受け, このアルゴリズムを改良し, 遅延および入力遷移時間のばらつきの確率密度関数を 2 つの正規分布の確率重み和 (混合正規分布) で表現し, 回路グラフ上においてこれら 2 つの統計量を同時に伝搬させるという新しい高性能統計的静的遅延解析手法を構築した (IEICE Trans. Fundamentals, vol.E92-A, no.3, pp.900-911, 2009, 国際会議では TAU2008 および DAC2009 において発表).

この手法は, 素子の遅延を決定する大きな要因であるにも関わらず従来の手法では無視されていた入力遷移時間のばらつきを考慮しているだけでなく, 遅延ばらつきを単純な正規分布で表した場合に生じる誤差を軽減している. すなわち, クリティカル遅延のばらつきを求めるには 2 つの確率変数の大きい方の分布 (最大値分布) を求める必要があるが, 正規分布をする 2 つの確率変数の最大値分布は正規分布にはならない. しかし, 正規分布を用いたアルゴリズムでは, これを正規分布とみなして演算を行うため, 誤差が生じる. この誤差を縮小するため, 非線形性を導入した様々なアルゴリズムが提案されているが, 非線形性を導入した場合, アルゴリズムが複雑になるだけでなく, 相関の扱いが困難になる. 混合正規分布を用いると, 再収斂パスの相関を容易に処理できるという正規分布のメリットを保持しつつ, この誤差を軽減できる.

従って, 混合正規分布を用いた統計的静的

遅延解析手法に基づいて、システム LSI の統計的設計手法を確立しておくことは、次世代 IT 社会の構築に不可欠であると言える。また、このような統計的設計手法には、様々なアルゴリズム論的課題が存在するため、申請者等の経験を生かせば、十分世界的な貢献が可能となる。

## 2. 研究の目的

本研究では、混合正規分布を用いた統計的静的遅延解析手法を利用して、高性能システム LSI に対する統計的設計手法について研究する。具体的には、

- (A) タイミング検査の効率的実行手法（主として、築山が担当）、
- (B) タイミング制約違反が生じないような高信頼電源配線の自動合成手法（主として、福井が担当）、ならびに
- (C) タイミング制約を満たす高信頼・小面積・低消費電力回路の自動合成手法（二人で担当）

に関する研究を行う。これらは、いずれも耐ばらつき設計手法の確立に不可欠である。

統計的設計手法を用いた場合、理論上、タイミング制約を満たさない回路が製造される可能性があるため、製造された回路のタイミング検査は必須である。これを効率化する一つの手法はパス遅延の大きいパスから検査することであるが、パス遅延にばらつきがある場合、その順番は一意に定まらない。従って、(A) の研究課題には、タイミング検査の効率化という観点から、パスがクリティカルか否かの指標を確率的に定義し、その効率的計算アルゴリズムを構築するというアルゴリズム論的課題がある。ここでは、これらを構築し、その性能を評価することが主眼となるが、それら以外にも、実際に検査する際に与えるべき電源電圧を定めるといった点や、タイミング違反を引き起こす可能性の高いパス集合を特定するという点などにおいて、研究課題 (B) と強い関連を持つ課題が含まれる。

システムの高性能化に伴う消費電流増と電源の低電圧化により、エレクトロマイグレーション (Electro Migration) による配線の経年劣化や IR ドロップによる電源電圧の変動が問題となっている。そこで、我々は、指定した幾つかのパスがタイミング違反および Electro Migration を引き起こす可能性を最小化する電源配線手法を研究してきた。しかし、これらにおいて、タイミング違反の危険度を計算するクリティカルパスの候補の特定や、そのようなクリティカルパス上の各論理ゲートの遅延ばらつきを電源電圧の変化や発熱に対してどのように変化させるか

といった問題は未解決である。(B) の研究課題では、これらについて研究し、電源配線の最適化設計手法を改良することが主眼となる。電源電圧や発熱によって生じる遅延ばらつきの変動を評価するには、各回路ブロックの動作を理解し、電源配線に関する知識を深めておかねばならないため、これらの研究課題は統計的手法の研究には必須である。

現実の LSI 設計においては、現存する設計フローに統計的タイミング解析をどのように組み込むかが重要であり、これに対しては企業の研究機関が積極的に取り組んでいる。しかし、設計において最も重要な回路の自動合成に統計的手法を適用する際、幾つかの未解決なアルゴリズム論的課題が存在する。その 1 つが、各論理ゲートの遅延およびばらつきを変化させたとき、それがクリティカル遅延にどのような影響を与えるかを示す適切な指標を見出す問題である。このような指標があれば、タイミング制約を満たす回路を自動合成することができるが、タイミング違反を見積もる際、各論理ゲートに与える遅延には電源電圧のばらつきが反映されていなければならない。また、このような指標を考える上で、クリティカルパスの明確な定義とそれらの統計的性質に対する深い理解が不可欠となる。従って、(C) の研究課題では、(A) および (B) で得られた知見を組合せ、このような指標を研究する過程を通して、製造ばらつきと電源電圧や温度によるばらつきを統一的に取り扱う手法の構築を目指す。

## 3. 研究の方法

研究課題 (A) では、タイミング検査への適用および効率的アルゴリズムの観点から、クリティカルパスの定義を検討する。例えば、指定された閾値より大きな遅延となる確率を用いて定義した場合と、遅延が最大になる確率を用いて定義した場合とで、クリティカルパスの集合は変化する。従って、研究課題 (B) および (C) とも関連し、クリティカルパスの定義は重要となる。そこで、以下の手順で研究を進める。

- (1) タイミング検査を効率化する上で必要となるクリティカルパスが持つべき条件の選定を行う。
- (2) 上で得られた条件を満たす幾つかの定義を考え、それらに対する効率的な計算アルゴリズムを構築する。
- (3) 得られた定義とアルゴリズムの性能を、モンテカルロシミュレーションにより評価する。
- (4) 混合正規分布を用いた統計的静的遅延解析手法において、電源電圧の変動および発熱による遅延ばらつきの変化を考慮で

きるようにする。

- (5) 効率的なタイミング検査の実行手順を提案し、その性能を検証する。

研究課題 (B) では、混合正規分布を用いた静的遅延解析手法を用いてタイミング違反が生じる危険度を計算するが、その際、複数のブロックにわたるパス上の論理ゲートの遅延ばらつきに対して、電源電圧の変動および発熱に伴う変化を組み込む手法を研究する。また、研究課題 (A) での知見を利用し、タイミング違反が生じる危険度を計算するためのクリティカルパスの同定も行う。具体的には、以下の手順で研究を進める。

- (6) 電源電圧の変化と発熱によって論理ゲートの遅延ばらつきが受ける影響を定式化する。
- (7) これらを基に、遅延ばらつきライブラリを構築し、研究課題 (C) にも利用できるようにする。
- (8) クリティカル遅延のばらつきに電源電圧の変化や発熱が及ぼす影響を調べ、クリティカルパスの同定において、これらが与える影響度を検証する。
- (9) タイミング制約違反とエレクトロマイグレーションを起こしにくい新しい高信頼電源配線最適化手法を構築する。
- (10) この手法を実際の電源配線に適用し、その性能を評価する。

研究課題 (C) で研究する各論理ゲートの遅延ばらつきがクリティカル遅延に与える影響度は、クリティカル遅延に対する各論理ゲート遅延の感度のような指標であるが、この指標として、これらの遅延ばらつき間の相関係数などは、回路の自動合成に利用するには適さない。何故なら、回路にはクリティカル遅延を与えるパスが複数存在することが多く、このようなパスに共通に含まれる論理ゲートの情報が相関係数には反映されないためである。そこで、以下の手順で研究を進める。

- (11) 論理ゲートの最適化のために、求める指標を持つべき条件の選定を行う。
- (12) 研究課題 (A) で得られたクリティカルパスに関する知見を利用し、幾つかの指標を考え、その効率的な計算アルゴリズムを構築する。
- (13) モンテカルロシミュレーションにより、得られた指標と計算アルゴリズムの性能を検証する。
- (14) 電源電圧の変動および発熱による遅延ばらつきの変化も取り込んだ統計的静的遅延解析手法を用い、高信頼・高性能・低消費電力の回路を自動合成する手法を構築する。
- (15) 実際の回路をこの自動合成手法を用いて設計し、その性能を評価する。

#### 4. 研究成果

各研究課題に関して、以下の成果を得た。

課題(A) : タイミング検査の効率的実行手法  
タイミング検査を効率化するには、検査を実行するクリティカルパスの最適な集合を抽出する必要があるが、この抽出問題には、効率的解法の構築が困難な最適被覆問題が含まれる。そこで、クリティカルパスを構成する可能性の低いパスを除去し、回路規模を縮小する手法を構築したが、このパスの除去手法が効果を発揮するには、クリティカル遅延のばらつき分布の精度を高める必要があることが判明した。

そこで、統計的静的遅延解析の高精度化に取り組み、漸近的時間計算量を増加させることなく、タイミング違反確率の精度を最大90%改善する手法を構築した(発表論文[3]、学会発表[4])。この手法のプログラムを完成させ、ドイツのDresdenで開催されたDesign, Automation, and Test in Europe (DATE 2012)のUniversity Booth Session 1においてデモ展示した(2012年3月13日)。

また、近年問題となり出したpMOSトランジスタのNegative Bias Temperature Instability (NBTI) や、配線のエレクトロマイグレーション(electro migration)のような経年劣化を考慮可能な統計的静的遅延解析手法を構築した(学会発表[2])。この手法により、5年後あるいは10年後の動作を保証した回路を設計でき、回路の使用現場でのタイミング検査(field testing)の効率化を図ることができる。幾つかのモンテカルロシミュレーションとの比較結果は、その有用性を示している。

この経年劣化を考慮できる新手法は、分布が不明なばらつきも統計的に扱うことができるという点において、製造ばらつきのように、分布が解析されたばらつきだけを扱う統計的静的遅延解析手法と一線を画している。すなわち、この新手法は、楽観の見積もりになる危険性を排除しつつ、統計的にばらつきを扱う方法を提案している。従って、最悪を想定した設計と統計的設計の折衷案的設計手法になっており、今後、温度や電源電圧などの動作環境のばらつきを考慮する手法として有用であると考えている。

一方、クリティカルパスを構成する可能性の低いパスを除去し、回路規模を縮小する手法に関しては、そのプログラムは終了したものの、性能の検証が終了していない。特に、上記の精度を改善した新しい統計的静的遅延解析手法が効果を発揮すると予想されるクリティカルパスの個数が少ない回路においても、その効果が顕著ではない。プログラムのデバッグが完全ではない可能性もあるため、現在検証中である。

このように進展が遅れた原因は、新規にプログラムを構築しなければならなくなったためである。新規に作成することになった理由は、新手法の効率を高めるため、データ構造を旧手法のものから変更したことと、前年度（平成 22 年度）に作成したプログラムが不完全であったことであるが、プログラミング能力の高い学生をこの課題に割り当てることができなかったことも一因である。次年度（平成 24 年度）配属の学生の中には、プログラミング能力が高く、この課題に興味を持つ者が居るので、研究を継続し、次年度中に検証を終える予定である。

なお、見出されたパス集合の有用性を評価する手法についても研究し、指定されたパスの遅延が最大になる確率を計算する手法を構築した（学会発表[6]）。この手法を拡張すれば、選択されたパスのタイミング検査により、どの程度の確率でタイミング違反が検出できるかが分かる。従って、本研究課題で構築する手法の性能を、これを用いて評価することができる。

この手法に、発表論文[3]の新手法を導入したプログラムを完成させ、モンテカルロシミュレーションと比較することにより、その性能を調べた。その結果、ISCAS85 ベンチマーク回路の一つにおいて、本手法を用いて計算した確率に想定を超える誤差が生じていた。他の回路では、そのような誤差は生じていないので、現在その原因を調査中である。（新田裕介, “混合正規分布を用いたクリティカルパス確率の計算手法に関する研究”, 中央大学理工学研究科電気電子情報通信工学専攻 2011 年度修士論文, 2012）

課題(B)： タイミング制約違反が生じないような高信頼電源配線の自動合成手法

電源電圧および温度の変動を取り入れた遅延ばらつきライブラリの構築手法に対しては、遅延ばらつき要因を分析し、電源電圧および温度の変動が遅延ばらつきに与える影響を見積もる手法を構築した。実験により、これらのばらつき要因間の相関について調査し、論理ゲートにおける遅延の伝搬に伴って、入力信号の遅延ばらつき間の相関係数や、これらのばらつき要因間の相関係数がどのように変化するかも調べた（学会発表[5]）。

これらの結果を用いて、電源変動および温度をパラメータとして、遅延ばらつきを動的に変化させる遅延ばらつきライブラリを構築し、熱や劣化を考慮しつつタイミング信頼性を向上するための電源配線最適化手法を構築した。すなわち、タイミング違反だけでなく、エレクトロマイグレーションによるビアの経年劣化も考慮した電源配線手法を構築し、電源配線の信頼性を総合的に向上させる手法を構築し、その効果を実証した。（発

表論文[1], 学会発表[3]）

この電源配線最適化手法は、多目的最適化手法を用い、ビアの配置を改善するもので、これを構築するに当たり、ブロック内パスのタイミング違反を考慮し、局所的な電源変動および温度をパラメータとして、場所依存のタイミング違反危険度を計算する手法、およびエレクトロマイグレーションによるビアの経年劣化を精度良く計算する手法を構築した。

なお、この手法における電圧計算を効率化するため、GPGPU (General Purpose computing on Graphics Processing Unit) を用いた電源配線の電力解析システムを改良し、回路シミュレーションの高速化を計ると共に、電源系ノイズの解析システムの開発も行った（発表論文[2]）。

さらに、電源配線最適化において、今後の微細化プロセスで問題が顕著となるであろう NBTI によるトランジスタの経年劣化による変動を考慮する手法を考案し、その有効性を確認した。また、典型的なクリティカルパスに対する論理シミュレーションにより、NBTI の要因であるトランジスタのオンタイム率を最悪値の 0.5 で扱うと良いことが分かった。これにより、NBTI を考慮したタイミング最適化手法の信頼性を高めることができる（学会発表[1]）。

課題(C)： タイミング制約を満たす高信頼・

小面積・低消費電力回路の自動合成手法

これに対しては、課題 (A) で完成させた統計的静的遅延解析手法を用いて改善効果の大きい素子（セル）を発見し、それを修正するという操作を繰り返す貪欲アルゴリズムを構築したが、プログラムを完成させるには至らなかった。また、温度と電源電圧のばらつきを統計的静的遅延解析手法に取り込む部分のプログラムも未完成である。

このように、プログラム化が遅れているため、実データでの性能検証ができていないが、統計的設計手法を用いれば、従来の最悪コーナー設計より、小面積・低消費電力回路が設計できることは、他の研究機関からの発表および我々が以前行った検証（信学技報, VLD2000-130, 2001 年 3 月）から、間違いない。

以上のように、課題 (A) タイミング検査の効率的実行手法を構築する上で解決すべきアルゴリズム論的課題、並びに、課題 (B) 電源電圧、温度、劣化等によるタイミング変動を考慮した統計的遅延モデルのライブラリ化、およびこれを用いた電源配線最適化手法におけるアルゴリズム論的課題については、基本的な原理の解明と最適化手法の確立が終了し、そのプログラム実装と性能評価も行

うことができた。

しかし、全体を組み合わせて実用的なシステムとする点に関しては、課題 (C) も含めて、プログラム化が遅れている。従って、今後の課題は、このようなシステム化である。なお、温度や電源電圧のばらつきを統計的静的遅延解析手法に取り込むため、経年劣化を考慮できる手法が利用可能であるため、今後、これらを取り込んだ実用的システムを完成させ、ベンチマーク回路や、自動合成した回路を用いて、その性能を検証する予定である。

また、100 億トランジスタを超える大規模な集積回路を高信頼に設計するための環境構築も興味ある今後の課題である。そのためには、処理の大幅な高速化、ならびに信頼性が問題となる個所を設計者にわかりやすく表示する手段が必要となるが、これら以上に、設計フロー全般においてタイミングマージンの扱いを最適化できる設計方法論の確立が重要である。それには、本研究課題で検討したタイミング解析手法および電源配線設計手法に関して得られた知見が有用となるであろう。

## 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 6 件)

- [1] 三木陽生, 吉川雅弥, 福井正博, 築山修治, “ビア信頼性を考慮した電源配線最適化手法”, 電子情報通信学会論文誌 A, 査読有, vol.J95-A, no.4, 2012, pp.367-374.
- [2] 磯田有哉, 横田誠, 福井正博, “GPU による電源配線シミュレーションの高速化と評価”, 電子情報通信学会論文誌 D, 査読有, vol.J95-D, no.3, 2012, pp.366-375.
- [3] Shuji Tsukiyama, Masahiro Fukui, “A statistical maximum algorithm for Gaussian mixture models considering the cumulative function curve,” IEICE Trans. Fundamentals, 査読有, vol.E94-A, no.12, 2011, pp.2528-2536. DOI : 10.1587/transfun.E94.A.2528

[学会発表] (計 30 件) (内査読有 15 件)

- [1] 長田賢明, 福井正博, 築山修治, “NBTI を考慮した電源配線最適化の一手法”, 電子情報通信学会 VLSI 設計技術研究会, 2012 年 3 月 8 日, B-CON プラザ (別府市)
- [2] 築山修治, 福井正博, “経年劣化を考慮した統計的遅延解析の一手法”, 情報処理学会 SLDM 研究会, 2012 年 3 月 2 日, ホテル松島大観荘 (宮城県宮城郡松島町)
- [3] Masahiro Fukui, Haruo Miki, Masaya Yoshikawa, and Shuji Tsukiyama, “A power grid optimization algorithm considering via

reliability,” The 20th European Conf. on Circuit Theory and Design, 2011 年 8 月 31 日, Linköping Konsert & Kongress (Linköping, Sweden)

- [4] 藤森智幸, 築山修治, 福井正博, “混合正規分布を用いた統計的静的遅延解析手法の性能評価”, 電子情報通信学会 VLSI 設計技術研究会, 2011 年 3 月 3 日, 男女共同参画センター (那覇市)
- [5] 柳川 英輝, 三木陽生, 福井正博, 築山修治, “電圧および温度変動を考慮した遅延ばらつきモデル構築の一手法”, 電子情報通信学会 VLSI 設計技術研究会, 2010 年 3 月 10 日, 男女共同参画センター (那覇)
- [6] Shuji Tsukiyama, Masahiro Fukui, “Accuracy of the criticality probability of a path in statistical timing analysis,” The 19th European Conf. on Circuit Theory and Design, 2009 年 8 月 27 日, Divan Talya Hotel Convention Center (Antalya, Turkey)

[図書] (計 1 件)

築山修治, 神戸尚志, 福井正博, コロナ社, ビジュアルに学ぶディジタル回路設計, 2010, 150

[その他]

ホームページ等

(築山研究室)

<http://www.elect.chuo-u.ac.jp/tsuki/index.html>

(福井研究室)

<http://www.bkc.ritsumeai.ac.jp/se/re/fukuilab/>

## 6. 研究組織

(1)研究代表者

築山 修治 (TSUKIYAMA, Shuji)

中央大学・理工学部・教授

研究者番号 : 90142314

(2)研究分担者

福井 正博 (FUKUI, Masahiro)

立命館大学・理工学部・教授

研究者番号 : 50367992