

機関番号：12501

研究種目：若手研究（B）

研究期間：2009～2010

課題番号：21700053

研究課題名（和文）遅延故障テスト容易化スキャン設計に対するテストデータ量削減法の考案

研究課題名（英文）Proposal of test data reduction method for scan design facilitating delay fault testing

研究代表者

難波 一輝（NAMBA, Kazuteru）

千葉大学・大学院融合科学研究科・助教

研究者番号：60359594

研究成果の概要（和文）：VLSI 製造時に発生した故障を出荷前に製造テストによって検出することは重要なことである。本研究では、特にタイミングに関するテストである遅延故障テストを容易化する千葉大スキャンテストについて、製造テストコスト削減を目的とし、テストデータ量、テスト時間の削減法を考案した。具体的に、テスト用出力ピン休止時間を利用するアプローチとフリップフロップ（FF）の接続順を変更するアプローチから削減法を求めた。

研究成果の概要（英文）：In production of VLSI, manufacturing testing is essential to detect faults. This work targets Chiba scan testing, a class of delay fault testing. This work provided two methods reducing test data volume and test application time for Chiba scan testing to reduce testing cost. One method reduces idling time of scan output. The other reorders scan FF.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2009 年度	2,400,000	720,000	3,120,000
2010 年度	900,000	270,000	1,170,000
年度			
年度			
年度			
総計	3,300,000	990,000	4,290,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：ディペンダブルコンピューティング

1. 研究開始当初の背景

VLSI 製造時に発生した故障を出荷前に製造テストによって検出することは重要なことである。近年の集積システムの大規模化はテストの実施を困難にしており、製造テストのために要するコストはチップ製造コストの約半分を占めるようになってきている。よって、VLSI のテストを容易化、効率化するテスト容易化設計技術の向上はチップの製造コストに大きな影響を与える。そのため、テスト容易化技術の研究は工業的・産業的に

強く望まれており、学術的にも関心の高いテーマの一つとなっている。

従来の VLSI においては、回路の機能自体が変化する縮退故障モデルが多く利用されていた。そのため、テストに関する研究の多くは縮退故障のみを想定していた。しかし、近年の VLSI の高集積化により、信号伝搬遅延が許容範囲より長くなる遅延故障が多く発生するようになった。よって、遅延故障を対象としたテスト容易化設計の提案が強く望まれている。

さて、テスト容易化設計技術としてスキャ

ン設計が知られている。スキャン設計は回路内の複数の FF を鎖状に接続しスキャンチェーンを構成する設計法である。現在、広く利用されているスキャン設計は縮退故障テスト用である。縮退故障用スキャン設計上でも、ブロードサイド法、およびスキュードロード法を用いることにより遅延故障テストの実施はある程度可能であり、国内外の遅延故障テストの研究者たちの注目もこれら 2 手法の改良に集まっている。しかし、これらの方法では非常に制限されたテストしか実施できないため、高い故障検出率を得ることができない。遅延故障用スキャン設計法として、従来エンハンスドスキャン設計が提案されている。しかし、エンハンスドスキャン設計は面積オーバーヘッドが大きくなり、実用に耐えない。このような観点から研究者らは面積オーバーヘッドが小さく、高い故障検出率を実現する遅延故障テスト用スキャン設計(以下、千葉大スキャン設計)を 2005 年に提案していた。

千葉大スキャン設計を用いたテストは、従来設計を用いたテストと比べ、テスト実行時間とテストデータ量が増加するという問題点が残っていた。これらの増大はテストコストの増加をもたらす。そこで、千葉大スキャン設計を用いるときのテスト時間およびテストデータ量削減法の検討が強く求められていた。

2. 研究の目的

前章で述べたとおり、千葉大スキャン設計を用いたテストは、従来設計を用いたテストと比べ、テスト実行時間とテストデータ量が増加し、テストコストもまた増加する。そこで本研究では、千葉大スキャン設計適用回路に対するテストデータ量およびテスト実行時間削減法を明らかにすることを目的とした。研究代表者らは既に圧縮符号を用いたテストデータ量削減法を明らかにしていた。しかし、この手法ではまだ十分にテストデータ量等を削減しているとは言えなかった。よって、圧縮符号を用いた手法より良好な結果をもたらす手法を得ることを目的とした。また、明らかにした手法に対し、テストデータ量、テスト実行時間についてはもちろん、実用も考慮しながらハードウェアオーバーヘッド、パフォーマンスペナルティなど様々な角度から評価を行う。本目的を達成することにより、遅延故障テストがより効率的かつ安価に実施できるようになることが期待できる。このことは、VLSI チップ製造コストの約半分を占めている製造テストコストに大きい好影響を与える。よって本研究の工業的貢献は大きいと言える。また、近年の高度情報通信社会を支えている各種機器が VLSI デバイスに

より成り立っていることを考えれば、本研究の社会的および産業的貢献も大きいと言える。

3. 研究の方法

研究代表者らは既に圧縮符号を用いたテストデータ量削減法を明らかにしていた。しかし、この手法ではまだ十分にテストデータ量等を削減しているとは言えない。よって、別のアプローチからさらにテストデータ量等を減らすことが求められていた。そこで、次に示す 2 アプローチからテストデータ量削減を考えた。

(1) テスト用出力ピン休止時間を利用するアプローチ:

スキャン設計においてはテスト用入力ピンからテストパターンを与え、テスト用出力ピンにおいてテストレスポンスを観測する。千葉大スキャン設計におけるテスト手法はテスト実行中、常にテスト用入力ピンを用いている一方で、テスト用出力ピンは多くの時間(全テスト時間の 1/3)において休止させている。休止中のテスト用出力ピンを上手に利用することにより、テスト時間を削減する余地があると考えていた。

(2) フリップフロップ(FF)の接続順を変更するアプローチ

千葉大スキャン設計においてはスキャンチェーン上の奇数番目の FF と、偶数番目の FF に同時に遷移を与えることができない制約がある。(この制約は従来のエンハンスドスキャン設計には存在しなかった。)そのため、FF の接続順序がテストデータ量に影響する。具体的に申請者らの予備実験により、フリップフロップの接続順を変更することにより最大 20%程度テストデータ量およびテスト実行時間を減らすことができることが分かっていた。しかし、常に良好な結果を与える接続順変更法については明らかではなかった。

本研究では上記 2 アプローチからテストデータ量およびテスト実行時間削減手法を明らかにすることを試みた。具体的に、まずは机上で問題解決法を考えた。その間、よりよい解決法の着想を得るために、この間に、文献調査、学会参加等による幅広い情報収集を行った。次に、シミュレーション実験により考案した手法の評価を行い、有用性を検証した。近年の回路規模の巨大化に伴い、シミュレーション実験に用いる検証対象回路も巨大な回路を対象としないと、有意な実験であ

ると見なされない傾向にある。しかし、そのためには膨大な量の計算を行う必要がある。そこで高速演算を実現する計算機を複数台購入し、その上でシミュレーション実験を実施した。また、得られた成果を国内外の学会で発表し、論文投稿した。

4. 研究成果

(1), (2) のアプローチから、それぞれ以下の通りの手法を得た。

(1) テスト用出力ピン休止時間を利用するアプローチ

図 1 は千葉大スキャンを用いた従来のテスト方法である。千葉大スキャンはテストデータを一度に与えられる FF が、数珠つなぎされた FF のうち、奇数番目または偶数番目の FF に限定される。遅延故障テストのためには初期ベクトルと遷移ベクトルの 2 ベクトルを回路に与える必要がある。千葉大スキャンでは初期ベクトルの偶数番目のビット、奇数番目のビット、遷移ベクトルの偶数番目または奇数番目のビットを、スキャン操作によって、その順で回路に与え、その後、テストを実施、スキャン操作によってテスト応答の観測を行う。テストの実施自体は 2 クロックで終わる。一方、スキャン操作は時間がかかる。テストを複数回実施するとき、テスト応答観測のためのスキャン操作は、次のテストにおける初期ベクトル偶数番目ビットのためのスキャン操作と同時に行うことができる。このとき、入力ピンと出力ピンの両方がテストのために占有される。しかし、初期ベクトルの奇数番目ビット、および遷移ベクトルのためのスキャン操作時においてはテスト応答観測が行われないため、出力ピンを使用しない。

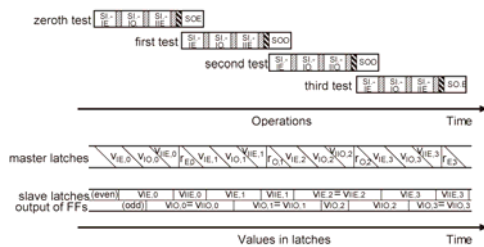


図 1. 従来の千葉大スキャンテスト

これに対し、本研究では図 2 に示すように、初期ベクトルのためのスキャン操作を行わず、回路内に残されている直前のテストのための遷移ベクトルを初期ベクトルとして用いる手法を示している。この手法においては出力ピンを用いない時間がほとんどない。テストの回数は増加するが、テストにかかる時

間は減少する。

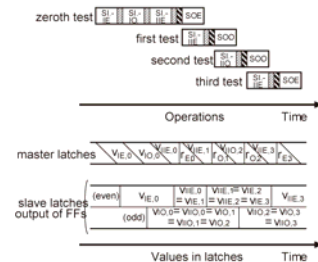


図 2. 提案のスキャンテスト

図 3 にベンチマーク回路に対するテスト時間 (TAT) と検出できる故障数の関係を示す。提案手法は従来の千葉大スキャンを用いたテストよりも短い時間で故障を検出することができる。また、他の代表的なテストである、エンハンスドスキャンテスト、LoC+LoS よりも良好な結果を得ている。

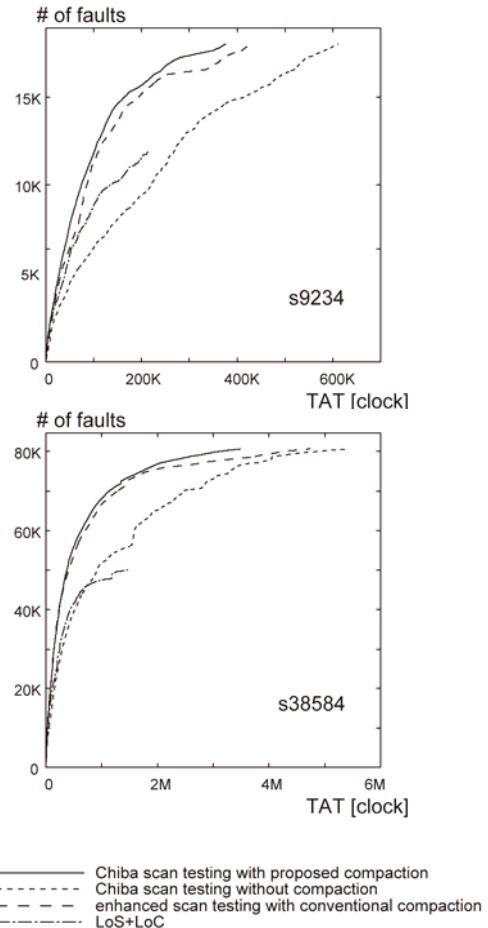


図 3. テスト時間と検出故障数の関係

(2) FF の接続順を変更するアプローチ

千葉大スキャンにおいては FF の接続順がテスト量に影響する。そして、山登り方などの探索手法によってテスト量を減らすことができる。しかし、テスト量の算出にはテ

スト生成が不可欠であり，探索手法の評価値として用いると探索に時間がかかる．よって，評価値としてテスト量の代わりに圧縮可能性より得られる値 S を用いることとした．

本手法では以下のアルゴリズムにより，FF 接続順を決定する．まずは，全てのテスト対象故障について，仮のテストベクトルを生成する．続いて，それぞれのテストベクトルの組について圧縮可能性を求める．偶数番目の FF に対応する故障についてのテストベクトルに関し，あらゆる組を考え，圧縮可能である組の数を Se とする．同様に奇数番目の FF について So を考える．そして，評価値 $S=Se+So$ とする．この S がなるべく大きくなるように FF を並び替える．最終的に，仮のテストベクトルは全て捨て，実際に製造テストで用いるテストベクトルを生成し直す．

図 4 はベンチマーク回路に対し，ランダムに FF を並び替えたときのテストベクトル数を示したものである．また，提案手法を用いたときのテストベクトル数 (548) を書き入れている．本手法によって得られるテストベクトル数の累積相対頻度は 0.0033 であり，本手法により，十分少ないテストベクトル数を得ることができると言える．

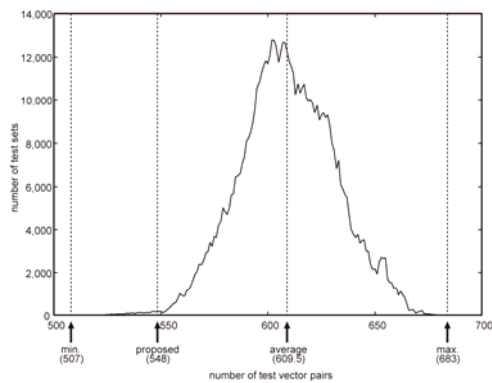


図 4. ランダムに FF を並び替えたときのテストベクトル数

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 2 件)

- ① K. Matsumoto, K. Namba and H. Ito, "Scan FF Reordering for Test Volume Reduction in Chiba-Scan Architecture," IPSJ Trans. Syst. LSI Des. Method, 査読有, 掲載予定.
- ② K. Namba and H. Ito, "Chiba Scan Delay Fault Testing with Short Test Application Time," J. Electronic Test. :

Theory & Appl., 査読有, Vol.26, No.6, pp.667-677, Dec., 2010.

[学会発表] (計 2 件)

- ① K. Matsumoto, K. Namba and H. Ito, "Test Vector Reduction by Reordering Flip-flops for Scan Architecture with Delay Fault Testability," Proc. 11th IEEE Workshop RTL & High Level Test., 査読有, pp.111-116, 2010 年 12 月 6 日, Shanghai SHERATON Hotel, 中華人民共和国.

- ② 松本 清紀, 難波 一輝, 伊藤 秀男, "千葉大スキャンの接続順序変更によるテストパターン削減手法," FTC研究会, 査読無, 2010 年 1 月 22 日, サンロード吉備路, 岡山県.

6. 研究組織

(1) 研究代表者

難波 一輝 (NAMBA, Kazuteru)

千葉大学・大学院融合科学研究科・助教
研究者番号 : 60359594