

## 科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 25 年 6 月 6 日現在

機関番号：16301

研究種目：基盤研究（C）

研究期間：2010 ～ 2012

課題番号：22500048

研究課題名（和文） システム LSI におけるクロック信号線上の故障に対する検査法・診断法の開発

研究課題名（英文） Development of methods for testing and diagnosing faults on clock lines in system LSIs

研究代表者

樋上 喜信（HIGAMI YOSHINOBU）

愛媛大学・大学院理工学研究科・准教授

研究者番号：40304654

研究成果の概要（和文）：本研究では、システム LSI に対する故障検査法および故障診断法を開発した。対象とする故障はクロック信号線上の遅延故障とブリッジ故障であり、故障の存在する LSI において、故障箇所を指摘する手法を開発した。開発した手法は、シミュレーションに基づく手法であり、その有効性についてはベンチマークとなる回路を用いたシミュレーション実験を行い、確認した。

研究成果の概要（英文）：In this research, we have developed a testing and a diagnosis method for system LSIs. Targets are delay faults and bridging faults on clock lines. The method locates a fault site in a circuit under diagnosis, and it applies a simulation-based approach. The effectiveness of the method are confirmed by the computer simulation for benchmark circuits.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2010年度	800,000	240,000	1,040,000
2011年度	1,200,000	360,000	1,560,000
2012年度	500,000	150,000	650,000
年度			
年度			
総計	2,500,000	750,000	3,250,000

研究分野：総合領域

科研費の分科・細目：情報学，計算機システム・ネットワーク

キーワード：ディペンダブルコンピューティング，論理回路の故障検査

## 1. 研究開始当初の背景

半導体設計・製造技術の進歩により、LSI の大規模化、高集積化が急速に進んでいる。一方、LSI の故障検査や故障診断は益々困難かつ高コストなものとなってきている。LSI に対する従来の故障検査や故障診断では、論理回路の組合せ部分に存在する故障を主な

対象としていたが、近年、フリップフロップ数の増大により、フリップフロップに関係する故障の問題が深刻化してきている。しかしながら、クロック信号線の故障に対する故障検査法や故障診断法はほとんど開発されておらず、クロック信号線上の故障が見逃されたり、故障診断をうまく行えないなどの問題が生じている。

## 2. 研究の目的

本研究の目的は、システム LSI におけるクロック信号線上の故障を対象として故障検査法・故障診断法を開発することである。具体的には次の2点について研究を行った。

- (1) クロック信号線の遅延故障に対するテストパターン生成法を開発する。
- (2) クロック信号線と組合せ回路部分のゲート信号線とのブリッジ故障に対する故障診断法を開発する。

## 3. 研究の方法

- (1) クロック信号線の遅延故障に対するテストパターン生成法

ここでは、ローンチオンキャプチャテストを仮定し、クロック信号線上の遅延故障のモデル化を行った。ローンチオンキャプチャテストとは、スキラン設計された回路において遅延故障を検出するためのテスト法である。スキラン設計された回路では、フリップフロップを直列に接続するような信号線を付加し、スキランシフト動作と呼ばれる動作によりフリップフロップの値の制御・観測を可能にする。ローンチオンキャプチャテストでは、フリップフロップの値の制御・観測を行うスキランシフト動作時のクロックが遅いため、遅延故障の影響は受けず、フリップフロップには常に正しい値が設定される。もしクロック信号線上に遅延故障が生じた場合には、通常動作時に、フリップフロップへの値の取り込みが遅れることとなる。開発したテストパターン生成法では、ローンチオンキャプチャテスト動作を模擬した、2時刻展開回路を用い、遅延故障が顕在化するための条件を、縮退故障の検出条件に変換するような付加ゲートを挿入する手法を用いた。このことにより、企業や研究所等で広く用いられている標準的な縮退故障用テスト生成ツールの使用が可能となり、実用化のハードルが低下した。

- (2) クロック信号線と組合せ回路部分のゲート信号線とのブリッジ故障に対する故障診断法

ここでは、クロック信号線と組合せ回路部分のゲート信号線とのブリッジ故障を対象に、故障回路における故障位置を指摘する手法を開発した。テスト法としては、スキラン設計された回路に対して、スキランシフト動作のみを行い、フリップフロップに値を設定し、その後、その値を観測するフラッシュテストを適用することを想定した。まずブリッ

ジ故障存在時の故障動作について考察し、信号伝搬遅延も考慮に入れた故障動作モデルを確立した。次に、そのモデルに従い、故障シミュレーションに基づく手法によって、故障位置を推定する手法を開発した。

## 4. 研究成果

- (1) クロック信号線の遅延故障に対するテストパターン生成法

開発した手法をC言語により実装し、ベンチマーク回路に対して適用した実験の結果を表1に示す。表1は、クロック信号線の遅延によって影響を受けるフリップフロップが1個の場合の結果である。表中の左列から順に、回路名、対象故障数、検出故障数、検出不可能故障数、故障検出効率を表す。故障検出効率は、検出故障数と検出不可能故障数の和の対象故障数に対する割合である。また、表2には、クロック信号線の遅延によって影響を受けるフリップフロップが2個の場合の結果を示す。対象故障として、1000個のフリップフロップのペアを選択し、クロック信号線の遅延故障に影響を受けるとものと仮定した。各列の意味は表1と同様である。実験の結果、すべての回路において100%の故障検出効率を達成することができた。

表1 テストパターン生成の結果 (1個のFFが影響を受ける場合)

回路	対象	検出	検出不可能	効率 (%)
s9234	224	163	61	100
S13207	663	580	113	100
S15850	588	465	123	100
S35932	1728	1728	0	100
S38417	1627	1622	5	100
S38584	1451	1396	55	100

表2 テストパターン生成の結果 (2個のFFが影響を受ける場合)

回路	対象	検出	検出不可能	効率 (%)
s9234	1000	920	80	100
S13207	1000	967	33	100
S15850	1000	966	34	100
S35932	1000	1000	0	100
S38417	1000	1000	0	100
S38584	1000	999	1	100

- (2) クロック信号線と組合せ回路部分のゲート信号線とのブリッジ故障に対する故障診断法

表3に実験の結果を示す。この実験では、1本の故障クロック線で影響を受けるフリップフロップ数を約8個、1本のクロック信号線に対してブリッジ故障の可能性のあるゲート数を20個とした。また、10個の故障回路に対して診断を行った。表中の左列から順に、回路名、平均候補故障数、最大候補故障数、最少候補故障数、候補故障数が1個となった故障回路数を表す。実験の結果、多くの回路で平均候補故障数が2個未満であった。また、ほとんどの故障回路で候補故障数が1個となった。ただし、s13207, s15850では、候補数が40個を超える場合があり、これを削減するために今後手法を改良する必要がある。

表3 故障診断の実験結果 (ゲート数 20 個の場合)

回路	平均	最大	最小	1 個
S1423	1.8	9	1	9
S5378	1.7	8	1	9
S9234	1.0	1	1	10
S13207	12.1	44	1	7
S15850	13.5	68	1	8
S35932	1.0	1	1	10
S38417	1.0	1	1	10

表4に、1本のクロック信号線に対してブリッジ故障の可能性のあるゲート数を30個とした場合の結果を示す。表中の各列の意味は、表3と同様である。実験の結果多くの回路で平均候補故障数が3個未満であった。また、ほとんどの故障回路で候補故障数が1個となった。ただし、s13207, s15850では最大候補故障数が60個を超える場合があり、今後これを削減するように手法を改良する必要がある。

表4 故障診断の実験結果 (ゲート数 30 個の場合)

回路	平均	最大	最小	1 個
S1423	2.4	15	1	10
S5378	2.2	13	1	9
S9234	1.0	1	1	10
S13207	16.0	61	1	6
S15850	17.0	85	1	8
S35932	1.0	1	1	10
S38417	1.0	1	1	10

## 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 6 件)

- ① Y. Higami, H. Takahashi, S. Kobayashi and K. Saluja, "Generation of Diagnostic Tests for Transition Faults Using a Stuck-at ATPG Tool," IEICE Trans. on Inf. & Systems, vol. E95-D, pp. 1093-1100, 2012. (DOI 10.1587)
- ② Y. Higami, H. Takahashi, S. Kobayashi and K. Saluja, "Diagnosis of Bridging Faults at Gated Clock Lines," Proc. Int. Technical Conf. on Circuits/Systems, Computers and Communications, 2012. (DOI 10.1109/PRDC.2012.15)
- ③ Y. Higami, H. Takahashi, S. Kobayashi and K. Saluja, "Diagnosis for Bridging Faults on Clock Lines," Proc. Pacific Rim Int. Symposium on Dependable Computing, 2012. (DOI 10.1109/PRDC.2012.15)
- ④ Y. Higami, H. Takahashi, S. Kobayashi and K. Saluja, "Enhancement of Clock Delay Faults Testing," Proc. European Test Symposium, 2011. (DOI 10.1109/ETS.2011.27)
- ⑤ Y. Higami, H. Takahashi, S. Kobayashi and K. Saluja, "On Detecting Transition Faults in the Presence of Clock Delay Faults" Proc. Asian Test Symposium, pp. 1-6, 2011. (DOI 10.1109/ATS.2011.33)
- ⑥ Y. Higami, H. Takahashi, S. Kobayashi and K. Saluja, "Fault Simulation and Test Generation for Clock Delay Faults," Proc. Asia and South Pacific Design Automation Conference, pp. 799-805, 2011. (DOI 10.1109/ASPAC.2011.5722299)

[学会発表] (計 1 件)

- ① 樋上喜信, 高橋寛, 小林真也, Kewal K. Saluja, "クロック信号線の遅延故障に対するテスト生成について," FTC 研究会, 2010年7月16日.

6. 研究組織

(1) 研究代表者

樋上 喜信 (HIGAMI YOSHINOBU)

愛媛大学・大学院理工学研究科・准教授

研究者番号：40304654

(2) 研究分担者

高橋 寛 (TAKAHASHI HIROSHI)

愛媛大学・大学院理工学研究科・教授

研究者番号：80226878