

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成25年 5月20日現在

機関番号：10101
 研究種目：基盤研究（C）
 研究期間：2010～2012
 課題番号：22500115
 研究課題名（和文）セルオートマトンアーキテクチャによる多重解像度・統合処理 LSI の研究
 研究課題名（英文） Study on intelligent-processing LSI with multi resolutions- and/or layers- cellular automata
 研究代表者
 池辺 将之（Ikebe Masayuki）
 北海道大学・大学院情報科学研究科・准教授
 研究者番号：20374613

研究成果の概要（和文）：本研究の目的は、非ノイマン型アーキテクチャであるセルオートマトンを用いてアルゴリズム及び情報処理 LSI を開発することである。超解像において、1枚の画像から高速・高品質な高解像度画像生成を開発・FPGA 実装した。目的解像度よりも、更に拡大高解像度化された画像を生成、近接拡散ルールを適用することで、少ないラインバッファで、Bicubic 補間よりも優れた超解像を実現した。また、局所ヒストグラムを用いた変換処理において、局所輝度変換特性が、大局処理に分離できることを明らかにした。そして、局所ヒストグラム生成において、その分布を混合ガウスで近似することで、処理の高速化および局所・大局の独立・同時制御を可能にした。ソフトウェアを開発し、実証した。

研究成果の概要（英文）：We developed an efficient CA algorithm for single-image super resolution based on low-memory box filtering. In FPGA implementation, we realize real-time QVGA to VGA movie processing and higher-quality jaggy suppression than bi-cubic interpolation. Moreover we implemented a fast 2-D local histogram equalization method, which with compensates halo effects, without kernel-size dependency. Using a 2.9-GHz CPU with our method, the algorithm achieves 2 million pixels per 0.4 sec operation without the need for down sampling, Single Instruction/Multiple Data (SIMD) or multi-thread operation.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2010年度	1,000,000	300,000	1,300,000
2011年度	1,300,000	390,000	1,690,000
2012年度	1,000,000	300,000	1,300,000
年度			
年度			
総計	3,300,000	990,000	4,290,000

研究分野：総合領域

科研費の分科・細目：情報学・知能情報学

キーワード：セルオートマトン、局所、大局、画像処理、多重解像度、イメージセンサ

1. 研究開始当初の背景

情報処理用ハードウェアにおいて、現在はノイマンアーキテクチャとブール代数に基礎を置いた LSI コンピューティングが主流であり、この流れは揺ぎないものと思われる。

しかし最近のマルチメディア社会の発展や、情報そのものが多種多様に細分化する傾向にあることで、通常の LSI コンピュータでは処理しきれない問題も増え続けている。

特に超高速画像処理やネットワーク解析

などのピクセル間やノード間が相互に影響しあう系の演算は、従来のコンピュータアーキテクチャは苦手であり、とても難しい。そのため、並列分散型の新しいアーキテクチャを用いて、そこに適した有効なアルゴリズムを開発すれば、上記問題にも効果的に対応することができる。

研究代表者は、今までに非ノイマン型アーキテクチャであるセルオートマトンを用いて、様々な情報処理 LSI・システムを研究・開発してきた。セルオートマトンは、並列分散系の情報処理システムであり、相互作用を行う単位演算セルが規則的に並んだ構造を持っている。適切な相互作用ルール（アルゴリズム）を設定することで、様々な空間パターンを生成することができる。1次元構成のセルオートマトンは、相互作用によってカオスパターンの生成をおこなうことができるが、本研究代表者は、そのパターンを利用した秘密鍵暗号処理システムを開発した。また、2次元構成では、相互作用を空間フィルタ・テンプレートとみなして、画像における高速特徴量検出 LSI を開発した。ただし、上記処理の空間パターンの応用は、統合的な知能情報処理としては、まだ、初歩の段階にある。

そこで、相互作用ルール設計手法を更に発展させ、回転テンプレートを用いた物体のトポロジー制御手法を考案した。本手法を、生体である粘菌の動作モデルに適用することで、複雑な迷路を高速に解くセルオートマトン・アルゴリズムの実現に成功した。従来の迷路解析手法に比べ、14値から5値への大幅な状態遷移数の削減に成功し、かつ、ゴールまでに複数の経路があるような複雑な迷路形状においても、最短経路をセル幅1の線として抽出することが可能となった。これは、局所的な相互作用ルール設定が、単純な画像処理やパターン生成に留まらず、物体形状変化による統合的な知能処理をも行う可能性を示唆している。

2. 研究の目的

本研究の目的は、非ノイマン型アーキテクチャであるセルオートマトンを用いて、相互作用演算を多重解像度で行い、それを統合処理するアルゴリズム及び情報処理 LSI を開発することである。局所的なパターン生成に留まらず、画質向上処理やネットワーク解析等の実アプリケーションへの展開を重要視する。

認識処理への応用として、本研究では始めに、セルオートマトンにトポロジー制御処理を適合させて、物体形状を簡略した図形に変形させるアルゴリズムの開発に挑む。このアルゴリズムは、局所処理のみでは難しい任意の角度を持つ線形状に物体を分解するものである(曲線で構成された図形を多角形に

変形)。また、トポロジー制御処理による膨張物体の当たり判定を利用した、超解像アルゴリズムの開発に挑む。このアルゴリズムは、高解像度化した際の劣化した輪郭成分を領域膨張のぶつかりによって新たに再構成するものである。

提案型アルゴリズムのセルオートマトンは、トポロジーを制御するために、局所テンプレートを効率よく処理する必要がある。また、扱う画像の解像度が異なる。そこで、セル演算部+解像度可変制御部(メモリアクセス制御部)+メモリのアーキテクチャを検討し、上記ターゲット・アプリケーションを効率よく処理できる回路構成を FPGA 上で実装する。

3. 研究の方法

(1) トポロジー制御アルゴリズムの研究 (アルゴリズム設計)

◆物体形状を簡略した図形に変形させるアルゴリズム

物体形状を簡略化図形(ポリゴン:多角形)に変形するアルゴリズムを研究・開発する。物体に代表点を設定し、最短経路を形成する問題を局所演算に適用させる。線分要素を探す問題は、2点間の中点を繰り返し求める問題に帰着できる。例として、2点から長方形を生成した後、骨格図形を形成する。その中点は、2点からの膨張図形の当たり判定で、見つける事ができる。これを繰り返す事で、離散空間上で任意角度の最短距離線図形を生成できる。本アルゴリズムを代表点群に適用するアルゴリズムを期間内に具現化し実証する。

◆超解像アルゴリズム

局所演算を用いて低解像度画像を高解像度化するアルゴリズムを研究・開発する。高解像度化する際に、劣化した高周波成分(特に輪郭成分)を復元する問題を局所演算に適用させる。低解像度の画素群を領域として定義した時、輪郭成分を復元する問題は、領域間をトポロジー保存しながら膨張させ、当たり判定を計測する問題として扱うことができる。本アルゴリズムを画像の局所領域に適用するアルゴリズムを期間内に具現化し実証する。

(2) センサ・セルオートマトン複合 LSI の研究 (システム LSI 設計)

トポロジー制御は、高速画像処理システムとの相性が良い。そこで、上記アルゴリズムを HW 化し、FPGA 上での実装と LSI 試作を考える。本研究では、多重解像度を制御するメモリ制御部と同時実装する。また、上記演算部では、セルオートマトン用の相互作用ルールが複数必要となるため制御が複雑になる。そこで、簡易 CPU である PS(プログラマブル・

シーケンサ)を用いて演算部の制御を容易にする。PSがセル回路群を統合して制御する。セル回路の制御をPS用の命令として定義することで外部から容易な制御が可能となる。

4. 研究成果

(1) トポロジー制御アルゴリズムの研究 (アルゴリズム設計)

トポロジーを保存しながら物体の形状制御するアルゴリズムを考案し、それらをつなげる事で大域的な処理アルゴリズムを実現した(図1)。例として、2点間の最短経路を局所アルゴリズムのみで離散空間上で再現する問題を目的とした。

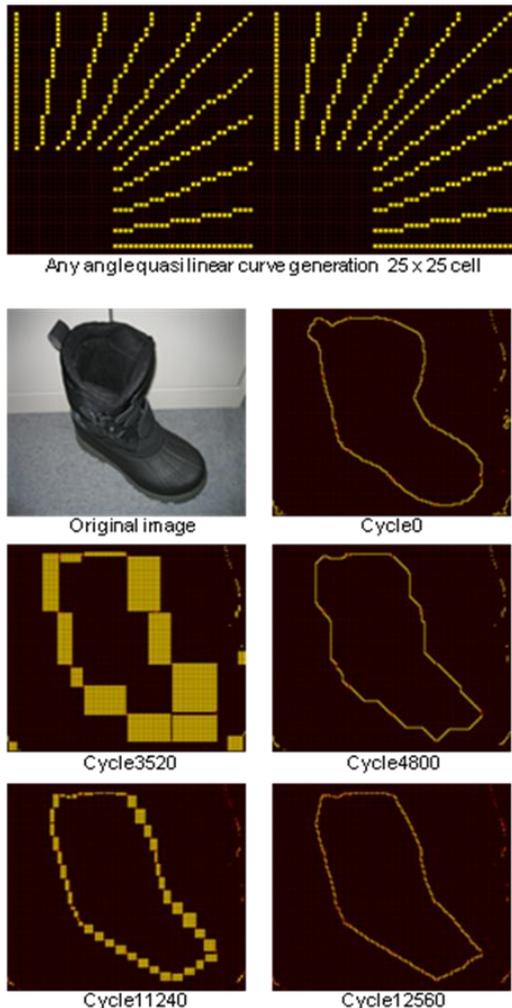


図1 近接相互作用のみの物体の簡略化

2点間を結ぶ最短距離線図形の生成において、局所領域は、0度、45度、90度の線図形しか判別できない。そこで、局所処理おける目的とする線分要素について考察した。線分要素を探す問題は、2点間の中点を繰り返し求める問題に帰着させた。物体の輪郭画像を取得し、画像全体のグリッドに沿った、代表点を割り当てる。このとき、開発アルゴリズムによって近接相互作用のみで、物体は、代表点

を結ぶ簡略化図形に変換される。そのため、認識処理の前処理として、活用可能である。

(2) センサ・セルオートマトン複合LSIの研究 (システムLSI設計)

近接相互作用を活用した超解像アルゴリズムをFPGA実装により実証した。入力画像($N \times N$)をバイリニア補間により二回アップサンプリングする(この時点で入力画像を4倍に拡大した「ぼけ」画像($4N \times 4N$)が得られる)。この4倍拡大画像($4N \times 4N$)を、ボックスフィルタおよび標準化フィルタに与える。ボックスフィルタによる「ぼけ」効果によって拡大画像のエッジの「ジャギー」を取り除き、さらに、画像の局所最大値・最小値を計算する標準化フィルタにより、拡大画像のエッジを再構成する。最後に、ジャギー低減・エッジ再構成された4倍拡大画像($4N \times 4N$)をダウンサンプルすることによって、2倍に拡大された画像($2N \times 2N$)を得る。図2に、小さな入力画像(3×3)を例とした提案手法のイメージを示す。これは、目的とする高解像度画像($2N \times 2N$)のエッジ再構成問題(繰り返し演算が必要)を中間処理でさらに拡大($4N \times 4N$)することで、ストレート・フォワードのアンチエイリアス処理に帰着させていることに他ならない。

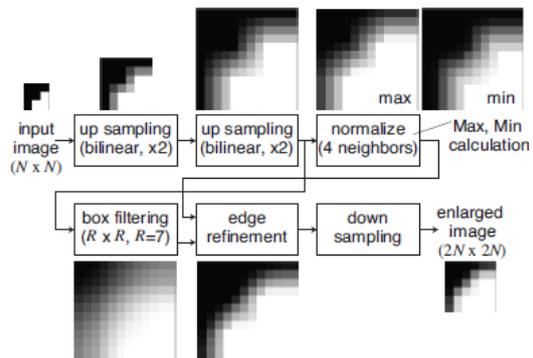


図2 近接相互作用による超解像

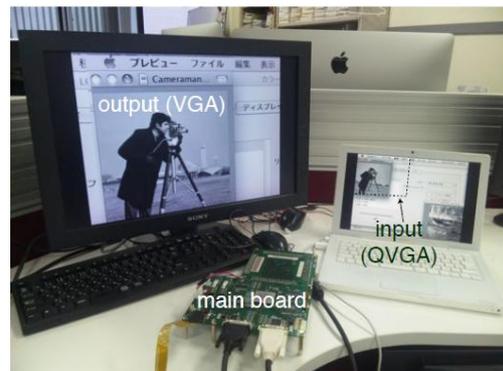


図3 FPGAによる超解像処理の実装

本手法において、QVGAからVGA解像度に引き上げ60fpsで出力する回路を、FPGAに実装した。バイキュービックによる補間手法に比べ、輪

郭部が再構成され、鮮明な状態が得られることを確認した。

(4) 局所サイズに依存しない高速局所処理の研究 (システム設計)

セルオートマトンを専用プロセッサではなく、ソフトウェア実装する場合、局所サイズに比例して動作速度が落ちてしまう。しかし、局所的に様々な拡散サイズを必要とする並列処理も多い。そこで、ラインバッファを活用した局所サイズに全く依存しない 0(1)局所処理を開発した。バイラテラルフィルタ、局所ヒストグラム平均化処理を用いた画像処理に適用することで、200 万画素/0.4 秒@ 2.9GHz を実現した。本処理では、明部ハロー効果と暗部ハロー効果を、独立に制御可能である。そのため、芸術的な表現と自然なコントラスト強調を同時に実現できる。

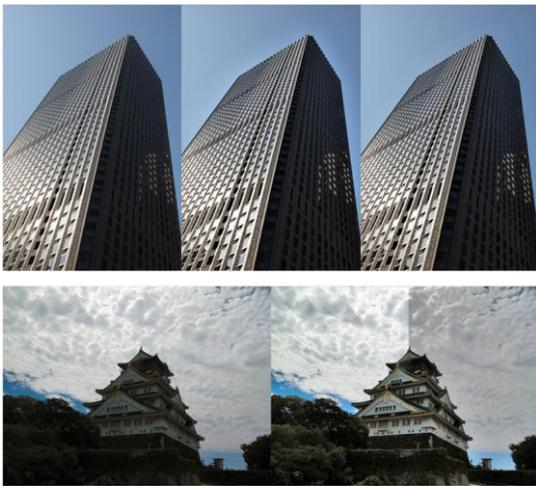


図 4 局所サイズに依存しない画像処理
(上：ハロー効果制御、
下：局所輝度補正+コントラスト強調)

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 5 件)

① Yuki Sanada, Takanori Ohira, Satoshi Chikuda, Masaki Igarashi, Masayuki Ikebe, Tetsuya Asai, and Masato Motomura “FPGA Implementation of Single-Image Super Resolution based on Frame-Bufferless Box Filtering” Journal of Signal Processing, 査読有, vol.17, 2013, in press.

② M. Igarashi, M. Ikebe, S. Shimoyama, J. Motohisa “Fast bilateral filtering using recursive moving sum” Nonlinear Theory and Its Applications, IEICE, 査読有, Vol.3, 2012, 222-232

[学会発表] (計 10 件)

① K. Kim, M. Ikebe, J. Motohisa, E. Sano “A 11B 5.1uW Multi-Slope ADC with a TDC Using Multi-Phase Clock Signals”, IEEE Int'l Conf. Electronics Circuits and Systems, 査読有 pp.400-402 (9-12, Dec, 2012), Seville(Spain) HOTEL BARCELÓ RENACIMIENTO

② Kondou, A. Ikebe M Motohisa, J. Amemiya, Y. Sano, E. “A 0.6-4.5 GHz inductor-less CMOS low noise amplifier with gyrator-C network” IEEE Int'l Conf. Electronics Circuits and Systems, 査読有 pp. 326 - 329 (11-14, Dec, 2011), Beirut(Lebanon) Crown Plaza Hotel

③ M. Ikebe and J. Motohisa, “A CMOS imager with negative feedback pixel circuits and its applications” Proc. SPIE 8194, International Symposium on Photoelectronic Detection and Imaging: Advances in Imaging Detectors and Applications, 819402 (24-26, May, 2011) 招待講演, Beijing(China) China National Convention Center

[産業財産権]

○ 出願状況 (計 2 件)

名称：積分型 AD 変換装置および CMOS イメージセンサ

発明者：池辺将之

権利者：北海道大学

番号：特願 2012-33196

国内外の別：国内

名称：アクティブコモンモードフィルタ

発明者：池辺将之 近藤 亮

権利者：北海道大学

番号：PCT/JP2012/067976

国内外の別：国外

6. 研究組織

(1) 研究代表者

池辺 将之 (Ikebe Masayuki)

北海道大学・大学院情報科学研究科

研究者番号：20374613