

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成24年 5月21日現在

機関番号：16101

研究種目：挑戦的萌芽研究

研究期間：2010～2011

課題番号：22650009

研究課題名（和文）SoC内DA変換器の電流テスト容易化設計法に関する研究

研究課題名（英文）Supply Current Testable Design of DACs in SoCs

研究代表者

橋爪 正樹（HASHIZUME MASAKI）

徳島大学・大学院ソシオテクノサイエンス研究部・教授

研究者番号：40164777

研究成果の概要（和文）：本研究では SoC(System-on-Chip)内に作られている，出力にオペアンプ回路を伴うデジタル・アナログ変換器（DA 変換器）を検査対象回路とし，その回路に流れる電源電流を測定し検査する電流テスト法とその検査を容易とする「検査容易化設計法」の開発を行った。その結果，従来の機能検査法よりも検査入力数が少なく，また面積オーバーヘッドの小さい検査回路でその回路が検査できることを明らかにした。

研究成果の概要（英文）：

We developed a test method and its testable design methods for digital to analog convertors(DACs) implemented in SoCs(System-on-Chips) by measuring supply current. Also, we evaluated the testability of the test method and area overhead of the testable design methods. The results show us that a DAC in an SoC can be tested with a smaller number of test vectors by our supply current test method than a functional test one and the area overhead is not so large.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2010年度	1200,000	0	1,200,000
2011年度	900,000	270,000	1,170,000
年度			
年度			
年度			
総計	2100,000	270,000	2,370,000

研究分野：総合領域

科研費の分科・細目：計算機システム・ネットワーク

キーワード：SoC, DA変換器, 電流テスト, 検査容易化設計

1. 研究開始当初の背景 DA変換器はさまざまなIC内に組み込まれている。特にSoC内にDA変換器が組み込まれることが多い。その場合，DA変換器の出力アナログ信号を直接観測することができず，従来から行われてきた出力信号を計測して正しいアナログ信号が出力されるか調べる機能検査法で検査することができなくなっている。

その検査法で検査できるようにIC内に

検査回路を組み込む方法が試みられている。しかし，その検査法では検査対象のDA変換器のビット数が大きくなると長大な検査時間が必要となる。また検査回路のIC内で占める面積が大きい。それらのことからDA変換器を内蔵したICの価格アップを招き大きな問題となっている。その一方で安心安全な社会の実現のため，電子機器の高信頼化が求められており，製造したSoC内のDA変

換器に発生した製造不良を確実に発見することが強く求められている。そのため検査時間が短く、かつ IC に内蔵する検査回路の占める面積が小さい検査容易化設計法ならびに検査法の開発が強く求められている。

2. 研究の目的 SoC 製造時にその IC 内の DA 変換器に発生した欠陥を従来から行われてきた機能検査法で検査すると長大な検査時間が必要となる。欠陥がその回路内に発生するとその機能に異常が現れるし、またその欠陥で機能に異常が現れなくてもその欠陥が成長し出力に異常を発生するかもしれないので、機能に異常が現れない欠陥まで発見できる検査法とその検査法のための検査容易化設計法の開発を行った。

また SoC 内に DA 変換器を実現した場合、その出力信号を IC 外部から観測することは出力アナログ信号にノイズ等が混入する可能性が高く現実的でない。そこで本研究では DA 変換器の出力信号を計測して検査するのではなく、電源から DA 変換器に供給する電源電流を計測し、その DA 変換器を検査することにした。一般に電源電流を測定し検査する検査法は電流テスト法と呼ばれている。そこでそのための電流テスト法ならびにその検査を容易とする検査容易化設計法を本研究では開発した。

検査容易化設計は検査に必要な余分な回路の追加を必要とするので、その回路面積増加がエリアオーバーヘッドとして問題となることが多い。そこでエリアオーバーヘッドまで含め、本検査容易化設計法ならびにそれによって得られる検査能力を本研究では明らかにすることも本研究の目的とした。

3. 研究の方法 現在、DA 変換器として種々のものが使われているが、SoC 内では抵抗ストリング型 DA 変換器が多用されているので、本研究ではその型の DA 変換器を研究対象にした。その DA 変換器も 2 進木構造の MOS スイッチで構成するもの、デコーダを用いて構成するものが多用されているので、本研究ではその 2 種類の DA 変換器の検査容易化設計法を開発した。

本研究での検査対象故障はその回路内の断線および短絡故障で、現在の IC 製造時に最も発生しやすく、また既存の検査法では発見が難しい故障である。その故障を高い検出率で出力電圧値を測定せずに発見することを可能にする DA 変換器の設計法の開発ならびにその検査容易化設計法で設計した回路の電流テスト入力生成を行った。

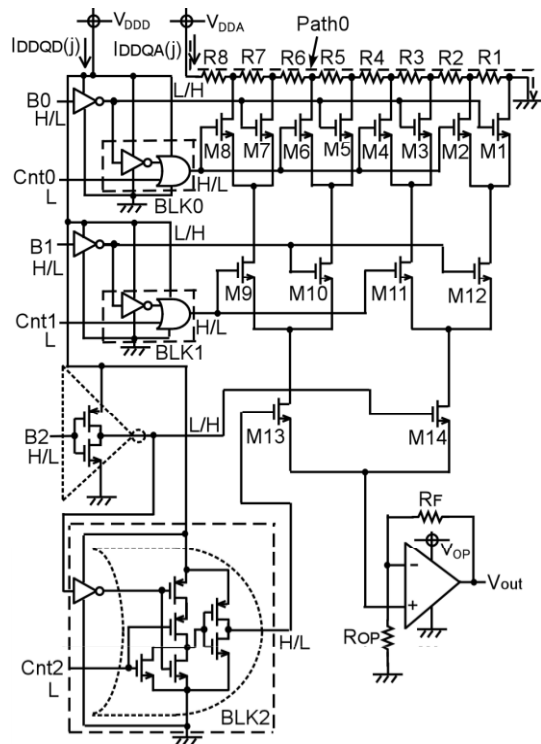
開発した検査容易化設計法を評価するために、IC のレイアウトを設計しそれから SPICE ネットリストを抽出しそれに短絡、断線故障を挿入して電源電流測定による検査

法の検査能力を評価した。またエリアオーバーヘッド、検査時間の評価も行った。

4. 研究成果

(1) 2 進木構造タイプの DA 変換器の検査容易化設計法

過去に本研究代表者は 2 進木構造の抵抗ストリング型 DA 変換器の断線、短絡故障の電流テストの検査可能性を回路シミュレーションにより確認済みである。またその DA 変換器に対する検査容易化設計法を提案し回路シミュレーションで故障検出率を調査している。しかしその検査容易化設計法で設計された DA 変換器のエリアオーバーヘッドが大きく、それを小さくする必要がある。そこでその検査容易化設計法を改良し、さらに故障検出能力を高くする電流テスト法の開発を行った。その検査容易化設計法により設計した抵抗ストリング型 DA 変換器の一例を下図に示す。下図の DA 変換器は 3 ビット DA 変換器である。



この検査容易化設計法を用いて設計すると、N ビットの DA 変換器の場合、検査入力数は $2 + N$ 個と機能検査法に比べ著しく少ない検査入力ですむことから高速検査が期待できる。

また回路シミュレーションによりその検査容易化設計された 3 ビットと 8 ビットの DA 変換器に対するその検査法による検査能力評価を行った。その結果を次ページ左段の表に示す。過去に提案した検査法では $V_{DD}=5V$ で検査していたものを本研究で開発した検査法では $V_{DD}=0.5V$ で検査する。そうする

targeted defects		3bits DAC		8bits DAC	
		$V_{DD}=5V$		$V_{DD}=0.5V$	
		$W=180\mu m$	$W=1.8\mu m$		
R	open	100	100	100	100
R	short	100	100	100	0
D	open	100	64.3	100	5.88
S	open	100	64.3	100	5.88
D-S	short	100	64.3	100	1.18
D-G	short	100	100	100	100
G-S	short	100	100	100	100

ことで高い故障検出率で検査できることがわかった。また3ビットDA変換器に対する評価では各MOSのサイズを過去に提案した検査容易化設計法で設計した回路に比べ100分の1に小さくしても過去の検査法と同じ検査能力が得られることを確認した。しかし、8ビットとなると抵抗ストリングの短絡故障、MOSのドレイン、ソース間の短絡故障、ドレイン、ソースの断線故障の検出率が著しく低下することを発見した。そのことから多ビットDA変換器用の検査容易化設計法の開発が必要であることがわかった。またこの検査容易化設計法で設計した場合の面積オーバーヘッドに関しては8ビットDA変換器で8%と非常に小さいことがわかった。

上記の結果は国際会議 NCSP2011 および日本と台湾両国の先進テストに関するワークショップで発表した。

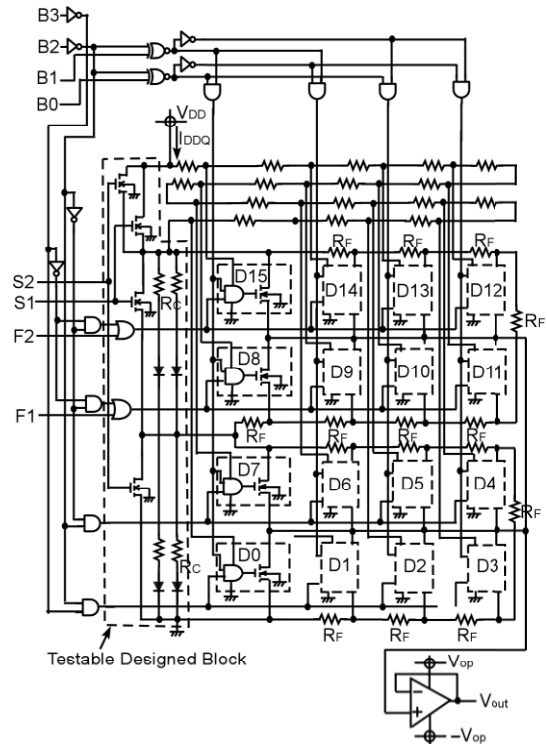
上記の研究での検査能力評価は非常に低速な検査速度での検査を仮定しており、現実の検査工程で行われる検査速度で検査した場合の検査能力は評価されていない。現実の検査でどの程度の検査能力が得られるか調べるため、実際の検査時でのそのDA変換器の検査容易性の評価を行った。その結果、検査時の電源電流測定時刻を調整することで低速検査時と同じ検査能力が得られることを確認した。その結果は国際会議 ITC-CSCC2012 で発表した。

(2) デコーダタイプのDA変換器の検査容易化設計法

デコーダを用いた抵抗ストリング型 DA 変換器もAV機器用ICや計測器用IC等で多用されている。そこで、そのDA変換器用の電流テスト容易化設計法も開発し、その検査容易性を回路シミュレーションにより評価した。

右段上図に本研究で開発した検査容易化設計法で設計したDA変換器の一例を示す。この回路は4ビットDA変換器である。

この検査容易化設計法でDA変換器を設



計すれば、NビットDA変換器における検査入力数は $2 + 2^{N-1} + 2^{(N/2-1)}$ となり、機能検査入力数の約半分ですむことがわかった。またエリアオーバーヘッドは8ビットDA変換器において約10%ですむことを明らかにした。

この検査容易化設計法によって設計されたDA変換器の検査能力を評価するために4ビットDA変換器と8ビットDA変換器を設計した。それらのDA変換器に対する故障検出実験結果を下表に示す。

defective element	defect type	4bits DAC	8bits DAC
D	open	100	100
		100	100
D-S	short	100	100
G-S		100	100
D-G	short	88	80
Rs		open	100
	short	100	0
Rc	open	100	100
	short	100	100
Rf	open	100	100
	short	100	100

4ビットDA変換器の場合はドレインとゲートの短絡故障以外はすべて検出できるものの、8ビットになるとそれ以外に抵抗ストリング部の短絡故障の検出が困難となることがわかった。

いずれにしてもこれらのことからデコーダタイプのDA変換器においても本研究のアプローチが適用できること、および高い検査能力をもつDA変換器の開発が行える可能性を明らかにした。その結果は国際会議ISCIT2011と国内学会で発表した。

上記(1),(2)の研究成果より、SOC内に組み込まれたDA変換器は電流テストで従来の機能検査よりも短い検査時間で検査できることが明らかになった。ただ対象とする欠陥すべてを発見できる検査能力を持つ検査法の開発までには至っていない。それは検査時に回路全体でなく分割した部分回路毎に検査できるように検査容易化設計法を改良することで可能であることを本研究成果は示唆している。そのため本研究成果がそれらが可能となる検査容易化設計法の開発へと発展することが期待できる。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計3件)

①Masaki Hashizume, Yutaka Hata, Hiroyuki Yotsuyanagi, Yukiya Miura, A Supply Current Testable Register String DAC of Decoder Type, Proc. of IEEE 11th International Symposium on Communications and Information Technologies, 2011, 査読有, pp.58-63

DOI:10.1109/ISCIT.2011.6092183

② Miyamori Yoshihiko, Hiroyuki Yotsuyanagi, Masaki Hashizume, Practical Testability of Supply Current Testable DACs of Resistor Type, Proc. of 2011 International Technical Conference on Circuits/Systems, Computers and Communications, 2011, 査読有, pp.1015-1018.

③Masaki Hashizume, Yutaka Hata, Hiroyuki Yotsuyanagi, Yukiya Miura, A Supply Current Testable DAC of Resistor String Type, Proc. RISP International Workshop on Nonlinear Circuit and Signal Processing, 2011, 査読有, pp.13-16.

[学会発表] (計3件)

①Masaki Hashizume, Hiroyuki Yotsuyanagi, Yukiya Miura, A Supply Current Testable DAC of Resistor String Type, Japan-Taiwan Joint Workshop on Advanced VLSI Testing, 2012.5.21, 都久志会館(Fukuoka)

②橋爪正樹, 秦豊, 四柳浩之, 三浦幸也, デコーダ型 DA 変換器の電流テスト容易化設計, 電気関係学会四国支部連合大会, 2011.9.23, 阿南工業高等専門学校(阿南市)

③橋爪正樹, 秦豊, 四柳浩之, 三浦幸也, 抵抗ラダー型 DAC 内 MOS 短絡の電流テスト容易化設計, 2011年電子情報通信学会総合大会, 2011.3.16. 東京都市大学(東京都世田谷区)

6. 研究組織

(1)研究代表者

橋爪 正樹 (HASHIZUME MASAKI)
徳島大学・大学院ソシオテクノサイエンス
研究部・教授
研究者番号: 40164777

(2)研究分担者

()

研究者番号:

(3)連携研究者

()

研究者番号: