

科学研究費助成事業 研究成果報告書

平成 26 年 6 月 12 日現在

機関番号：12601

研究種目：基盤研究(A)

研究期間：2011～2013

課題番号：23246058

研究課題名(和文)ゲルマニウムMOS界面電気伝導機構の解明と高移動度化手法の確立

研究課題名(英文)Understanding of carrier transport mechanism in Ge MOS interfaces and establishment of mobility enhancement technologies

研究代表者

高木 信一(Takagi, Shinichi)

東京大学・工学(系)研究科(研究院)・教授

研究者番号：30372402

交付決定額(研究期間全体)：(直接経費) 37,800,000円、(間接経費) 11,340,000円

研究成果の概要(和文)：Ge MOSFETの実効移動度とホール移動度の比較により、キャリアが価電子帯内及び伝導帯内の界面準位に捕獲され、実効移動度の低下が起こること、また原子状重水素アニールにより、この準位が低減できることを明らかにした。また、ECRプラズマ酸化を用いた0.76 nmのEOTをもつHfO₂/Al₂O₃/GeO_x/Ge MOSFETで690 cm²/Vsの電子移動度、550 cm²/Vsの正孔移動度を実証し、その面方位依存性を明らかにした。また、酸化濃縮法及び貼り合せ法により作製したGOI基板により、20nm以下の膜厚のGOI nMOSFETとpMOSFETの動作と移動度の評価に成功した。

研究成果の概要(英文)：We have clarified from comparison between effective and Hall mobility of Ge MOSFETs that inversion-layer carriers are trapped into interface states locating inside the conduction and valence bands, leading to the reduction in the effective mobility. Also, atomic deuterium annealing is found to reduce the interface states and to increase the effective mobility. Also, HfO₂/Al₂O₃/GeO_x/Ge MOSFETs with EOT of 0.76 nm, realized by ECR plasma oxidation, exhibited peak electron and hole mobility of 690 and 550 cm²/Vs, respectively. The surface orientation dependence of the effective mobility has also been revealed. In addition, we demonstrated GOI n- and p-MOSFETs with GOI thinner than 20 nm, fabricated by the Ge condensation and Ge wafer bonding, and evaluated the mobility behaviors.

研究分野：工学

科研費の分科・細目：電気電子工学、電子・電気材料工学

キーワード：MOSFET ゲルマニウム 移動度 反転層 サブバンド

1. 研究開始当初の背景

微細化にともなう Si MOSFET の性能の物理限界を打破できる素子として、Ge チャネル MOSFET が、大きな注目を集めているが、十分な MOS 界面移動度が実現できてはなかった。熱酸化により実現された GeO₂/Ge 界面では、比較的高い移動度が観測されていたが、実用上重要な薄膜のゲート絶縁膜での高い移動度の実現とその移動度を決定している散乱機構はよく理解されていなかった。また、将来の Ge MOSFET の構造として、(1) 面方位効果 (2) 薄膜 Ge-On-Insulator (GOI) 構造 (3) ひずみ印加 が、移動度に与える効果を明らかにすることが重要であるが、系統的な実験と機構の理解は明らかとされていなかった。

2. 研究の目的

Ge チャネル MOSFET および Ge-On-Insulator (GOI) MOSFET における MOS 界面の電子移動度、正孔移動度の挙動を実験的に検証するため、薄膜のゲート絶縁膜の MOSFET を実現し、以下の4つの面から移動度の挙動とその決定機構および移動度向上技術を明らかにすることを目的とする。(1) Ge MOS 界面移動度の精密評価技術 (2) Ge MOS 界面移動度の系統的評価と散乱機構及び面方位効果の明確化 (3) GOI MOS 界面移動度の系統的評価と散乱機構と GOI 薄膜効果の明確化 (4) Ge/GOI MOSFET の界面移動度に与えるひずみの影響の明確化。

3. 研究の方法

(1) Ge MOS 界面移動度の精密評価技術

まず Ge MOS 界面移動度の定量的評価のためには、良質の Ge MOSFET が必要である。特に実用上重要な極薄の EOT を持つ Ge MOSFET を実現する方法を探り、評価のための素子を実証する。次に、移動度決定機構を調べるために、ホール測定による可動キャリアの定量的評価を行い、split CV 法の妥当性を検証すると共に、適切な移動度評価法を確立する。split CV 法から求められた誘起キャリア濃度との比較を通じて、バンド内界面準位量の評価を行うと共に、実効移動度の物理的意味を明確化する。

(2) Ge MOS 界面移動度の系統的評価と散乱機構の明確化、面方位効果の明確化

界面形成プロセスを更に最適化し、また界面欠陥終端技術を開発することにより GeO₂/Ge 界面の特性を改善し、界面準位の低下や界面凹凸の低減が移動度に与えることを調べることにより、移動度劣化機構を調べる。また、(100), (110), (111) 面バルク基板上に MOSFET を作製し、各面方位での実効移動度を調べ、面方位が与える影響を明らかにする。

(3) GOI MOS 界面移動度の系統的評価と散乱機構および GOI 薄膜効果の明確化

MOSFET のための高品質の GOI 基板実現のために、酸化濃縮法の最適化や貼り合せ法などを検討し、残留不純物濃度の低い GOI 基板を

形成する。特に、GOI nMOSFET を実現するために、n 型ドーピング技術を開発し、GOI nMOSFET と pMOSFET の動作実証と移動度評価を行う。また、GOI 層の薄膜化を行い、移動度に与える GOI 膜厚が与える影響を系統的に調べる。

(4) Ge/GOI MOSFET の界面移動度に与えるひずみの影響の明確化

酸化濃縮プロセスを最適化することにより、GOI 層への二軸圧縮ひずみ導入の検討を進める。特に、ひずみ SOI 基板の使用により、高い Ge 組成でも高い圧縮ひずみが導入できる SGOI 基板の実現を目指す。並行して、緩和 SiGe 基板上の圧縮ひずみ Ge 層を形成し、上記で検討した MOS ゲートスタック法を適用して、薄膜 EOT でのひずみ Ge MOSFET の移動度の挙動を調べる。

4. 研究成果

(1) Ge MOS 界面移動度の精密評価技術

Ge MOS 界面移動度の評価のためには良質の Ge MOSFET が必要であった。このため、Ge 上に ALD Al₂O₃ を堆積した基板を ECR プラズマ酸化し界面に高品質の Ge 酸化膜を形成する方法を開発し、MOS 界面準位密度の低い Al₂O₃/GeO_x/Ge 及び HfO₂/Al₂O₃/GeO_x/Ge MOS 構造を形成と MOSFET の実証に成功した。このゲートスタック構造を用いて、0.76 nm までの極薄 EOT を持つ 690 cm²/Vs のピーク電子移動度をもつ Ge nMOSFET 及び 550 cm²/Vs のピーク正孔移動度をもつ pMOSFETs を実現した。

MOSFET の実効移動度決定機構を明らかにするため、ホール測定用 Ge nMOSFET と pMOSFET を作製し、実効移動度とホール移動度の比較を行い、特に高 N_s 領域で、実効移動度がホール移動度よりも大幅に低減することが分かった。この実効移動度の低下は、ゲート電圧により誘起されたキャリアが、価電子帯内および伝導帯内の界面準位に捕獲され、誘起 N_s 量が低下することによる起こることを明らかにし、伝導帯及び価電子帯の両方で、バンド内界面準位のエネルギー分布の抽出に成功 (図1) し、GeO_x 界面層厚との相関を明らかにした。

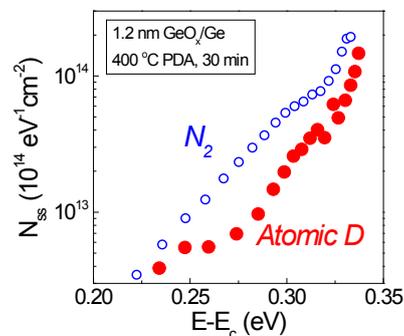


図 1

(2) Ge MOS 界面移動度の系統的評価と散乱機構の明確化、面方位効果の明確化

Al₂O₃/GeO_x/Ge MOSFET の界面 GeO_x 層の膜

厚を、ECR プラズマ酸化時間を増やして増大させ、移動度への影響を調べ、GeO_x の増大による界面準位密度の低減により、nMOSFET の電子移動度と pMOSFET の正孔移動度が、系統的に上昇することを示した (図 2, 3)。また、プラズマ酸化を 300°C から室温に低下させることにより、MOS 界面の平坦性を向上することを見出し、表面ラフネス散乱の低減により、高 N_s 領域での移動度を向上させることに成功した。また、バンド内界面準位へのキャリア捕獲による Ge MOSFET の実効移動度の劣化を改善するため、Al₂O₃/GeO_x/Ge MOS 構造に、原子状重水素アニールを施すことにより、バンド内準位量を低減 (図 1) し、表面キャリア濃度 8E12cm⁻² において電子移動度 488cm²/Vs を実証した。

同様の Al₂O₃/GeO_x/Ge 構造を用いて、(100), (110), (111) 面基板上に nMOSFET と pMOSFET の動作を実証した。(100) 面上の素子に対し、移動度の温度依存性、ゲート絶縁膜依存性の評価を行い、移動度が MOS 界面のクーロン散乱と界面ラフネス散乱によって支配されている可能性が高いこと、ゲート絶縁膜薄膜化により特に nMOSFET の移動度が低下することが明らかとなった。正孔移動度は (110) 面、電子移動度は (100) 面で最大ピーク移動度を取ることが分かった。

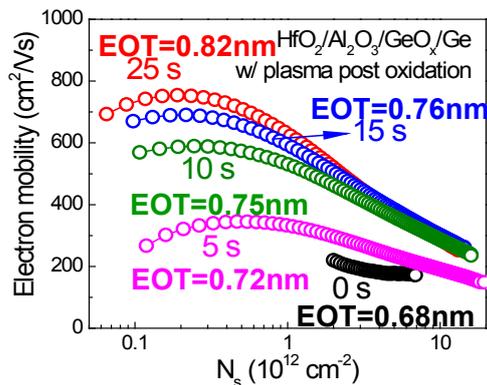


図 2

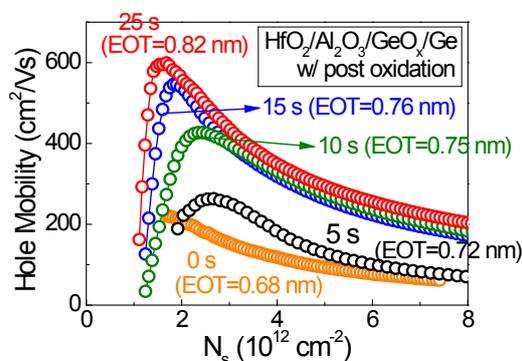


図 3

(3) GOI MOS 界面移動度の系統的評価と散乱機構および GOI 薄膜効果の明確化

SGOI, GOI MOSFET の移動度向上に必要な高品質の SGOI, GOI 層の実現のために、引っ張りひずみを有するひずみ SOI 基板上に SiGe 層をエピタキシャル成長し、酸化濃縮法により、SGOI 基板、GOI 基板を作製する方法の最適化を行った。特に、酸化濃縮法により GOI 層の欠陥起因のキャリア濃度を低減するため、酸化後の高温アニールを導入することにより残留キャリア濃度の低減することに成功した。更にこの GOI 層に過酸化を施すことにより、GOI 膜厚を 10nm に薄膜化すると共に、この GOI 基板に対して、pMOSFET の動作に成功した。

また、GOI nMOSFET の動作を実現するため、酸化濃縮法により作製した p 型 GOI 基板に対し、SOG からの Sb の固層選択拡散を行い、高濃度 n 型 S/D を形成することに成功した。この選択拡散高濃度 n 型層を用いて、酸化濃縮 GOI 基板に対して、反転型の nMOSFET の動作を実現した。GOI 厚 16nm の GOI nMOSFET において、5 桁以上の大きなオン・オフ電流比、実効移動度として 107cm²/Vs の値を実現した。

またより高品質の極薄 GOI 基板の作製を目指して、AlAs/InGaP/GaAs 基板上に Ge 層エピタキシャル成長し、この基板を、Al₂O₃ を挟んで Si 基板上に直接貼り合わせした後、AlAs/InGaP/GaAs 基板をエッチングにより除去して GOI 層を形成する方法を提案し、18nm までの GOI 層薄膜化に成功した。GOI 層の膜厚をエッチングにより、55-18nm の間で系統的に変化させ、これらの基板上に nMOSFET と pMOSFET を作製して、実効移動度の GOI 膜厚依存性を調べた。結果として、GOI 膜厚の減少と共に移動度は低下するものの、貼り合せ界面に GeO_x 層を形成することで、18nm の GOI 膜厚で、235 及び 122cm²/Vs のピーク電子及び正孔移動度を実現した。

またより高品質の極薄 GOI 基板の作製を目指して、AlAs/InGaP/GaAs 基板上に Ge 層エピタキシャル成長し、この基板を、Al₂O₃ を挟んで Si 基板上に直接貼り合わせした後、AlAs/InGaP/GaAs 基板をエッチングにより除去して GOI 層を形成する方法を提案し、18nm までの GOI 層薄膜化に成功した。GOI 層の膜厚をエッチングにより、55-18nm の間で系統的に変化させ、これらの基板上に nMOSFET と pMOSFET を作製して、実効移動度の GOI 膜厚依存性を調べた。結果として、GOI 膜厚の減少と共に移動度は低下するものの、貼り合せ界面に GeO_x 層を形成することで、18nm の GOI 膜厚で、235 及び 122cm²/Vs のピーク電子及び正孔移動度を実現した。

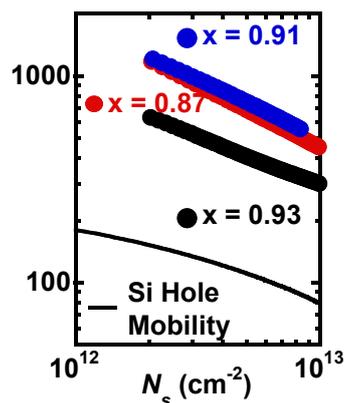


図 4

(4) Ge/GOI MOSFET の界面移動度に与えるひずみの影響の明確化

ひずみ SOI 基板の SiGe を酸化濃縮することにより欠陥生成を抑えて高品質かつ高 Ge 組成のひずみ SGOI 層を形成するプロセスを提案し、SGOI 層の形成を行った。この方法により、ひずみ量の異なる SOI 基板上に、Ge 組成を系統的変えた、二軸圧縮ひずみをもつ SGOI pMOSFET の実現し、その正孔移動度の Ge 組成や元基板のひずみ量との関係を明ら

かにした。結果として、ひずみ SOI 上で濃縮した高 Ge 組成 SGOI において、高い正孔移動度を実現できることを明らかにした (図 4)。

また、緩和 SiGe 上の二軸圧縮ひずみ Ge 基板上に、本研究で開発した 0.8 nm の EOT をもつ HfO₂/Al₂O₃/GeO_x/Ge MOS ゲートスタック構造を形成し、圧縮ひずみの効果により、552cm²/Vs の高いピーク正孔移動度を実現した。

5. 主な発表論文等

[雑誌論文] (計 21 件)

(1) R. Zhang, J.-C. Lin, X. Yu, M. Takenaka and S. Takagi, Impact of Plasma Post Oxidation Temperature on the Electrical Properties of Al₂O₃/GeO_x/Ge p- and n-MOSFETs, IEEE Trans. Electron Devices, 査読有, vol. 61, no. 2 (2014) p. 416-422, 10.1109/TED.2013.2295822

(2) S. Takagi, M. Yokoyama, S.-H. Kim, R. Zhang and M. Takenaka, Performance Enhancement Technologies in III-V/Ge MOSFETs (invited), ECS Trans., 査読無, 58(9), pp. 137-148 (2013), 10.1149/05809.0137ecst

(3) S. Takagi, S.-H. Kim, M. Yokoyama, R. Zhang, N. Taoka, Y. Urabe, T. Yasuda, H. Yamada, O. Ichikawa, N. Fukuhara, M. Hata and M. Takenaka, High Mobility CMOS Technologies using III-V/Ge Channels on Si platform, Solid State Electronics, 査読有, Vol. 88, October (2013), pp. 2-8, 10.1016/j.sse.2013.04.020

(4) S. Takagi and M. Takenaka, III-V/Ge MOS Transistor Technologies for Future ULSI, ECS Transactions, 査読無, 54 (1), pp. 39-54 (2013), doi:10.1149/05401.0039ecst

(5) S. Takagi, R. Zhang, and M. Takenaka, Ge gate stacks based on Ge oxide interfacial layers and the impact on MOS device properties, Micron. Eng., 査読有, 109 (2013) pp. 389-395, 10.1016/j.mee.2013.04.034

(6) R. Zhang, J.-C. Lin, X. Yu, M. Takenaka and S. Takagi, Impact of Plasma Post Oxidation Temperature on Interface Trap Density and Roughness at GeO_x/Ge Interfaces, Micron. Eng., 査読有, 109 (2013) pp. 97-100, 10.1016/j.mee.2013.03.034

(7) S. Takagi, M. S.-H. Kim, R. Zhang, N. Taoka, Yokoyama and M. Takenaka, Limiting factors of channel mobility in III-V/Ge MOSFETs (invited), ECS Trans., 査読無, 53 (3), 97-105 (2013), 10.1149/05303.0003ecst

(8) S. Takagi, M. Yokoyama, S.-H. Kim, R. Suzuki, R. Zhang, N. Taoka and M. Takenaka, III-V/Ge CMOS device technologies for high performance logic applications (invited), ECS Trans., 査読無, 53 (3), 85-96 (2013),

10.1149/05303.0085ecst

(9) R. Zhang, P.-C. Huang, J.-C. Lin, N. Taoka, M. Takenaka and S. Takagi, High Mobility Ge p- and n-MOSFETs with 0.7 nm Ultrathin EOT using HfO₂/Al₂O₃/GeO_x/Ge Gate Stacks Fabricated by Plasma Post Oxidation, IEEE Trans. Electron Devices, 査読有, vol. 60, no. 3, pp. 927-934 (2013), 10.1109/TED.2011.2176495

(10) R. Zhang, P.-C. Huang, J.-C. Lin, M. Takenaka and S. Takagi, Atomic Layer-by-Layer Oxidation of Ge (100) and (111) Surfaces by Plasma Post Oxidation of Al₂O₃/Ge Structures, Appl. Phys. Lett., 査読有, vol. 102, 081603 (2013), 10.1063/1.4794013

(11) R. Zhang, P.-C. Huang, M. Takenaka and S. Takagi, Evidence of layer-by-layer oxidation of Ge surfaces by plasma oxidation through Al₂O₃, ECS Trans., 査読無, 50(9), pp. 699-706 (2012), 10.1149/05009.0699ecst

(12) S. Takagi, R. Zhang, R. Suzuki, N. Taoka, M. Yokoyama and M. Takenaka, MOS interface control of high mobility channel materials for realizing ultrathin EOT gate stacks (invited), ECS Trans., 査読無, 50 (4), pp. 107-122 (2012), 10.1149/05004.0107ecst

(13) R. Zhang, T. Iwasaki, N. Taoka, M. Takenaka and S. Takagi, High Mobility Ge pMOSFET with 1 nm Al₂O₃/GeO_x/Ge Gate Stack Fabricated by Plasma Post Oxidation, IEEE Trans. Electron Devices, 査読有, vol. 59, no. 2, pp. 335-341 (2012), 10.1109/TED.2011.2176495

(14) J.-K. Suh, R. Nakane, N. Taoka, M. Takenaka and S. Takagi, Highly-Strained SGOI p-Channel MOSFETs Fabricated by Applying Ge Condensation Technique to Strained-SOI Substrates, Appl. Phys. Lett., 査読有, vol. 99, 142108 (2011), 10.1063/1.3647631

(15) S. Takagi, M. Yokoyama, Y.-H. Kim and M. Takenaka, Device and integration technologies of III-V/Ge channel CMOS, ECS Trans., 査読無, 41(7) pp. 203-218 (2011), 10.1149/1.3633300

(16) S. Takagi, R. Zhang, T. Hoshii and M. Takenaka, MOS interface control technologies for III-V/Ge channel MOSFETs, ECS Trans. 41(3), pp. 3-20 (2011), 10.1149/1.3633015

(17) R. Zhang, T. Iwasaki, N. Taoka, M. Takenaka and S. Takagi, Suppression of ALD-Induced Degradation of Ge MOS Interface Properties by Low Power Plasma Nitridation of GeO₂, J. Electrochem. Soc., 査読有, 158 (8), G178-G184 (2011), 10.1149/1.3599065

- (18) R. Zhang, T. Iwasaki, N. Taoka, M. Takenaka and S. Takagi, Impact of GeOx Interfacial Layer Thickness on Al2O3/Ge MOS Interface Properties”, *Microelectron. Eng.*, 査読有, vol. 88, Issue 7, pp. 1533-1536 (2011), 10.1016/j.mee.2011.03.130
- (19) S. Takagi and M. Takenaka, Prospective and critical issues of III-V/Ge CMOS on Si platform (invited), *ECS Trans.*, 査読無, 35(3), pp. 279-298 (2011), 10.1149/1.3569921
- (20) R. Zhang, T. Iwasaki, N. Taoka, M. Takenaka and S. Takagi, Al2O3/GeOx/Ge Gate Stacks with Low Interface Trap Density Fabricated by Electron Cyclotron Resonance Plasma Post Oxidation, *Appl. Phys. Lett.*, 査読有, vol. 98, 112902 (2011), 10.1063/1.3564902
- (21) S. Takagi, S. Dissanayake and M. Takenaka, High Mobility Ge-based CMOS Device Technologies, *Key Engineering Materials*, 査読有, Vol. 470, pp. 1-7 (2011), 10.4028/www.scientific.net/KEM.470.1 [学会発表] (計 71 件)
- (1) S. Takagi and M. Takenaka, III-V/Ge CMOS Device Technologies for Future Logic LSIs, 7th International SiGe Technology and Device Meeting (ISTDM), 2014/6/2-4 Swissotel Merchant Court, Singapore, Singapore
- (2) X. Yu, R. Zhang, J. Kang, T. Osada, M. Hata, M. Takenaka and S. Takagi, Ultrathin body Germanium-on-insulator (GeOI) MOSFETs fabricated by transfer of epitaxial Ge films on III-V substrates 21st International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA), 2014/4/28-30, Ambassador Hotel Hsinchu, Hsinchu, Taiwan
- (3) R. Zhang, W. Chern, X. Yu, M. Takenaka, J. L. Hoyt and S. Takagi, High Mobility Strained-Ge pMOSFETs with 0.7-nm Ultrathin EOT using Plasma Post Oxidation HfO2/Al2O3/GeOx Gate Stacks and Strain Modulation, International Electron Device Meeting (IEDM), 2013/12/9-11, Washington Hilton, Washington, DC, USA
- (4) S. Takagi, S.-H. Kim, M. Yokoyama, W.-K. Kim, R. Zhang and M. Takenaka, Ultra-thin body MOS device technologies using high mobility channel materials (invited), *IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference*, 2013/10/7-10, Hyatt Regency Monterey Hotel and Spa, Monterey, USA
- (5) S. Takagi and M. Takenaka, High Mobility CMOS Technologies using III-V/Ge Channels (invited), *IEEE Nanotechnology Materials and Devices Conference (NMDC)*, 2013/10/6-9, National Cheng Kung University, Tainan, Taiwan
- (6) S. Takagi, R. Zhang, R. Suzuki, C.-Y. Chang, N. Taoka, S.-H. Kim, M. Yokoyama and M. Takenaka, III-V/Ge MOS Interface Control Using and High k Films (invited) 15th Asian Chemical Congress (15ACC), 2013/8/19-23, Resorts World Sentosa, Singapore, Singapore
- (7) S. Takagi and M. Takenaka, III-V/Ge MOS Transistor Technologies for Future ULSI (invited), International Conference on Semiconductor Technology for Ultra Large Scale Integrated Circuits and Thin Film Transistors, 2013/7/8-11, Grand Hôtel de Paris, Villard de Lans, France
- (8) R. Zhang, Ju-Chin Lin, X. Yu, M. Takenaka and S. Takagi, Impact of Plasma Post Oxidation Temperature on Interface Trap Density and Roughness at GeOx/Ge Interfaces, 18th Conference of “Insulating Films on Semiconductors” (INFOS), 2013/6/25-28, The Jagiellonian University, Cracow, Poland
- (9) S. Takagi, R. Zhang and M. Takenaka, Ge gate stacks based on Ge oxide interfacial layers and the impact on MOS device properties (plenary), 18th Conference of “Insulating Films on Semiconductors” (INFOS), 2013/6/25-28, The Jagiellonian University, Cracow, Poland
- (10) R. Zhang, J-C. Lin, X. Yu, M. Takenaka and S. Takagi, Examination of Physical Origins Limiting Effective Mobility of Ge MOSFETs and the Improvement by Atomic Deuterium Annealing, 2013 Symposia on VLSI Technology, 2013/6/12-14, リーガロイヤルホテル京都 (京都府京都市)
- (11) S. Takagi and M. Takenaka, III-V/Ge CMOS device technologies (invited), 20th Symposium on Nano Device Technology (SNDT) 2013/4/25-26, International Conference Hall of Nano Device Laboratory, Hsinchu, Taiwan
- (12) M. Takenaka, R. Zhang, and S. Takagi, MOS interface engineering for high-mobility Ge CMOS (invited), International Reliability Physics Symposium (IRPS), 2013/4/14-18, Hyatt Regency Monterey, Monterey, USA
- (13) S. Takagi, R. Zhang, N. Taoka, R. Suzuki, S.-H. Kim, M. Yokoyama, and M. Takenaka, MOS interface control in III-V/Ge gate stacks and the impact on MOSFET performance (invited), 2013 MRS (Material Research Society) Spring Meeting, Symposium CC “Gate Stack Technology for End-of-Roadmap Devices in

Logic, Power, and Memory”, 2013/4/1-5, Moscone Center, San Francisco, USA

(14) S. Takagi, R. Zhang, R. Suzuki, N. Taoka, M. Yokoyama and M. Takenaka, MOS interface control of high mobility channel materials for advanced CMOS applications 3rd Molecular Materials Meeting (M3) (invited), 2013/1/14-16, Singapore, Singapore

(15) R. Zhang, P.-C. Huang, J.-C. Lin, M. Takenaka and S. Takagi, Physical Mechanism Determining Ge p- and n-MOSFETs Mobility in High Ns Region and Mobility Improvement by Atomically Flat GeOx/Ge Interfaces, 2012 International Electron Devices Meeting (IEDM), 2012/12/9-11, San Francisco, USA

(16) S. Takagi, R. Zhang, S.-H Kim, N. Taoka, M. Yokoyama, J.-K. Suh, R. Suzuki, Y. Asakura, C. Zota and M. Takenaka, MOS interface and channel engineering for high-mobility Ge/III-V CMOS, 2012 International Electron Devices Meeting (IEDM) (invited), 2012/12/9-11, San Francisco, USA

(17) R. Zhang, P.-C. Huang, M. Takenaka and S. Takagi, Evidence of layer-by-layer oxidation of Ge surfaces by plasma oxidation through Al2O3, Symposium on 5th International SiGe, Ge, & Related Compounds: Materials, Processing, and Devices, Symposium E of the 222nd Electrochemical Society (ECS) Meeting, 2012/10/7-12, Honolulu, USA

(18) S. Takagi, S.-H, Kim, R. Zhang, M. Yokoyama, N. Taoka and M. Takenaka, III-V/Ge Channel MOS Transistor Technologies for Advanced CMOS (invited), 2011 International Conference on Solid State Devices and Materials (SSDM 2011), 2012/ 9/25-27, 国立京都国際会館、京都府

(19) R. Zhang, P. C. Huang, N. Taoka, M. Takenaka and S. Takagi, High Mobility Ge pMOSFETs with 0.7 nm Ultrathin EOT using HfO2/Al2O3/GeOx/Ge Gate Stacks Fabricated by Plasma Post Oxidation, Symposium on VLSI technology, 2012/6/12-14, Honolulu, USA

(20) S. Takagi and M. Takenaka, High Mobility CMOS Technologies using III-V/Ge Channels on Si platform, 13th International Conference on Ultimate Integration on Silicon (ULIS 2012), 2012/3/5-7, Grenoble, France

(21) R. Zhang, N. Taoka, P. Huang, M. Takenaka and S. Takagi, 1-nm-thick EOT High Mobility Ge n- and p-MOSFETs with Ultrathin GeOx/Ge MOS Interfaces Fabricated by Plasma Post Oxidation, International Electron Devices Meeting

(IEDM), 2011/12/5-7, Washington DC., USA

(22) S. Takagi, R. Zhang, N. Taoka and M. Takenaka, MOS Interface Properties of Ge Gate Stacks based on Ge oxides and the Impact on MOS Device Performance (invited), 41th IEEE Semiconductor Interface Specialists Conference (SISC 2011), 2011/12/1-3, Arlington, VA, USA

(23) S. Takagi, High Mobility Channel MOS Device Technologies toward Nano-CMOS era (plenary), IEEE Nanotechnology Materials and Device Conference (NMDC), 2011/10/21, Jeju, Korea

(24) J.-K. Suh, R. Nakane, N. Taoka, M. Takenaka and S. Takagi, Highly-Strained SGOI p-Channel MOSFETs Fabricated by Applying Ge Condensation Technique to Strained-SOI Substrates, 37th Device Research Conference (DRC), 2011/6/20-22, Santa Barbara, USA

(25) R. Zhang, T. Iwasaki, N. Taoka, M. Takenaka and S. Takagi, Impact of GeOx Interfacial Layer Thickness of Al2O3/Ge MOS interface Properties, 17th Conference on “Insulating Films on Semiconductors”, 2011/6/21-24, Grenoble, France

(26) R. Zhang, T. Iwasaki, N. Taoka, M. Takenaka and S. Takagi, High Mobility Ge pMOSFETs with ~ 1nm Thin EOT using Al2O3/GeOx/Ge Gate Stacks Fabricated by Plasma Post Oxidation, VLSI symp., 2011/6/14-16, Kyoto, Japan

他、45件 (計 71件)

[図書] (計 2件)

(1) 高木信一, グローバルネット株式会社, 2. III-V/Ge デバイス構造”, 先端 LSI 技術大系 (GNC Tech. Vol. 2)、第 3 章 将来技術, 2012, p. 202-210

(2) S. Takagi, Silicon-germanium (SiGe)-based field effect transistors (FET) and complementary metal oxide semiconductor (CMOS) technologies, Silicon-germanium (SiGe) nanostructures -Production, properties and applications in electronics, chapter 19, pp. 499-527

[産業財産権]

○出願状況 (計 0 件)

○取得状況 (計 0 件)

[その他]

ホームページ等

<http://www.mosfet.k.u-tokyo.ac.jp/>

6. 研究組織

(1) 研究代表者

高木信一 (TAKAGI, Shinichi)

東京大学大学院工学系研究科・教授

研究者番号 : 30372402

(3) 連携研究者

竹中 充 (TAKENAKA, Mitsuru)

東京大学大学院工学系研究科・准教授

研究者番号 : 20451792