

**科学研究費助成事業 研究成果報告書**

平成 27 年 6 月 12 日現在

機関番号：62615

研究種目：基盤研究(B)

研究期間：2011～2014

課題番号：23300013

研究課題名(和文) プログラマビリティと最大性能を両立するデータ並列プロセッサの開発

研究課題名(英文) Development of Data Parallel Processors both for Programmability and Peak Performance

研究代表者

五島 正裕 (GOSHIMA, Masahiro)

国立情報学研究所・アーキテクチャ科学研究系・特任教授

研究者番号：90283639

交付決定額(研究期間全体)：(直接経費) 14,600,000円

研究成果の概要(和文)：SIMD は、ベクトル処理の方式として中心的な地位を占めているが、プログラマビリティに問題があり、複雑化するアプリケーションに対処することができない。本研究は、プログラマビリティと最大性能を両立するプロセッサの開発を目標とする。提案技術を組み込んだスーパスカラ・プロセッサ「雷上動(らいしょうどう)」を設計・実装し、The 1st IPSJ SIG-ARC High-Performance Processor Design Contestのプロフェッショナル部門において、SIMD型のプロセッサを抑えて優勝を果たした。

研究成果の概要(英文)：Although SIMD is playing an important role in vector processing, because of its low programmability, it cannot cope with new applications which are becoming more complicated. This research places equal emphasis on programmability and for peak performance. We developed the "Rai-Shou-Dou" superscalar processor which have several proposed techniques implemented. This processor won the first prize over SIMD processors in the professional category of The 1st IPSJ SIG-ARC High-Performance Processor Design Contest.

研究分野：システム・アーキテクチャ

キーワード： 計算機アーキテクチャ スーパスカラ・プロセッサ SIMD FPGA マイクロアーキテクチャ コンピュータ・アーキテクチャ

## 1. 研究開始当初の背景

現在、データ並列処理を指向するさまざまなプロセッサにおいて、SIMD (Single-Instruction/Multiple Data stream) が重要な役割を果たしている。

現在 Top 500 の上位を占めるスーパーコンピュータのほとんどは、ベクトルではなく、汎用のプロセッサを搭載している。また、PC などの GPU、SONY Cell BE に代表されるゲーム・コンソール用プロセッサなどもデータ並列処理において高い最大性能を持つ。これらのプロセッサの最大性能は、各コアが備える SIMD ユニットによるものである。

また最近では、身の回りにあるさまざまな情報機器にもデータ並列処理用のプロセッサが搭載されている。そのようなプロセッサとしては、デジタルカメラ、ハンディカム、レコーダや携帯音楽プレーヤのビデオ/オーディオ・コーデック、TV やプリンタの画像処理エンジンなどが挙げられる。これらのデータ並列プロセッサの市場は、汎用 CPU に比べても決して小さいものではなく、年間 20 億米ドルに達するとの観測もある。これらのプロセッサの多くも SIMD を採用しているが、これは低いチップ・コストで高い性能を実現するためである。

SIMD の利点と問題点プロセッサのチップ面積は、演算器と、それら演算器を制御する制御部に分けられる。プロセッサの最大性能は、与えられたチップ面積の何割を演算器に割くかによって決まる。

SIMD は、たとえば 4-way の演算器間で制御部を共有できるため、チップ面積のより多くの部分を演算器に充てることができ、それだけチップ面積あたりの最大性能が向上するのである。

しかし、最大性能が向上する一方で、SIMD は **プログラマビリティ** に問題がある。行列演算などの数値処理に典型的に見られる規則的 (regular) なループに対しては、SIMD は有効に機能する。しかし不規則 (irregular) なループを、SIMD で効率よく実行することは困難である。SIMD で効率よく実行できないループは、数多く存在する。

ソートはその代表例である。バブル・ソートなどの単純なアルゴリズムならば問題ないが、クイック

ク・ソートやマージ・ソート等の実用的なアルゴリズムは SIMD では対処できない。それは、キーの値に依存してメモリ・アクセスが不規則になるためである。

アプリケーションの複雑化また近年では、ユーザや市場の要求に応えるため、データ並列処理は複雑化する傾向にあり、このことが SIMD 化を難しくしている。その好例として、最新の動画コーデックである MPEG-4 H.264 AVC があげられる。

まず H.264 では、計算量の多い処理のほとんどは、 $(r, g, b, a)$  の 4 つ組に対してではなく、輝度  $Y$  に変換した後に行われる。そのため、画像処理の 1 種であるにもかかわらず、 $(r, g, b, a)$  の 4 つ組を 1 命令で処理するような典型的な SIMD 実行はできない。

そしてそのような処理の中には、SIMD で実行困難なループが多く存在する。たとえば、最も重い処理の 1 つである動き検出では、計算量の削減のために多重ループからの脱出を行う。デブロッキング・フィルタでは、周辺画素の値に応じて適応的にアルゴリズムを変更する。また、CABAC という符号が用いられていて、エンコードに加えてデコードも複雑になっている。デコードは計算能力の低いクライアントでも行う必要があるため、より深刻である。

結局 SIMD は、最大性能と引き換えに、プログラマビリティを失っているのだと言える。「プログラマビリティが低い」とは、単にプログラムの負荷が大きいというだけではなく、効率のよいプログラムを生成することが本質的に困難であることを指している。SIMD で不規則なループを扱う場合には、コンパイラによる対応が困難であることはもちろん、たとえ熟練したプログラマが機械語を用いてプログラミングを行ったとしても高い効率は望めない。

## 2. 研究の目的

プログラミングは、所望のアプリケーションを実現するための手段に過ぎない。そして、現在のように多種多様な情報アプリケーションが発展してきた背景には、手段としてのプログラミングが容易であったことが大きい。開発者は、想像したアプリケーションはプログラミングできるはずと確信できるから、どんなアプリケーションを創造するか集中できるのである。

性能のためにプログラマビリティを犠牲にすることは、こうした流れに逆行するものである。

以上のような背景を踏まえ、本応募研究課題では、SIMD プロセッサに匹敵する最大性能と、スーパースカラ・プロセッサに匹敵するプログラマビリティを両立するデータ並列プロセッサの開発を目指す。

我々は、平成 20～22 年度まで、科学研究費補助金基盤研究 (B)「プログラマビリティと最大性能を両立するベクトル・アーキテクチャの研究」を実施した。本課題は、この先行課題の成果を受けて継続・発展させるものである。そのため、研究の目的・目標自体は両者で変わるものではない。

### 3. 研究の方法

先行課題では、主にシミュレーションによる提案技術の性能評価とレイアウト設計による回路面積の評価を行った。本課題では以下を行う：

- (1) 先行研究で行ったレイアウト設計による回路評価を継続して行う。
- (2) System Verilog を用いて、提案技術を組み込んだプロセッサを設計する。
- (3) 得られた設計を FPGA に実装する。

### 4. 研究成果

(1) System Verilog を用い、提案技術を組み込んだスーパースカラ・プロセッサ「雷上動(らいしょうどう)」を設計・実装した。

このプロセッサをもって、The 1st IPSJ SIG-ARC High-Performance Processor Design Contest のプロフェッショナル部門において優勝し、情報処理学会 CS 領域奨励賞を受賞した ([学会発表])。

同コンテストでは、Xilinx Spartan-6 LX45 FPGA を使用する。一般に FPGA は、内蔵メモリのポート数が 2 までという強い制約があるため、9～12 ものポートを必要とする out-of-order プロセッサを実装することは困難と考えられていた。まして、指定された Spartan-6 LX45 は、低コスト量産アプリケーション向けの小型の FPGA である。実際、我々以外の参加者は、out-of-order ではな

く、いわゆるアクセラレータ系のプロセッサを実装していた。

我々は、まず (1) マトリクス・スケジューラ(引用文献 [1], [2])を実装し、(2) FPGA 向けのポート数制約緩和技術(引用文献 [3])を適用することで、この小型の FPGA に 3-way out-of-order プロセッサを実装することに成功した。

下に、このプロセッサのブロック図、パイプライン図、諸元を示す。



ただし、(2) の技術は、ポート数を真に削減するアーキテクチャ技術ではなく、2 ポート RAM を大量に用いて擬似的に多ポート RAM を実現する設計技術である。この技術を用いた結果、FPGA 上に実装はできたものの、内蔵 RAM の使用量は激増し、3-way が限界であった。また、動作周波数も低く抑えられている。

しかし、このプロトタイプによってでも、SIMD 系の参加者を抑えて、優勝を果たすことができた。なお、コンテストに用いられたプログラムの半分以上は定型的なもので、特に SIMD 系に不利と

いうことはない。

したがって、SIMD プロセッサに匹敵する最大性能と、スーパースカラ・プロセッサに匹敵するプログラマビリティを両立は、FPGA 上という限られた条件においては、達成できたと考えることができる。

(2) 特に、フロントエンド実行に関する論文は、この分野のトップ・カンファレンスである Int'l Symp. on Microarchitecture (MICRO) に採録された ([学会発表]) 。

### <引用文献>

M. Goshima et al.: A High-Speed Instruction Scheduling Scheme for Superscalar Processors, in *Proc. Int'l Symp. on Microarchitecture (MICRO)*, pp. 225–236 (2001).

P. Sassone et al.: Matrix Scheduler Reloaded, in *Proc. Int'l Conf. on Computer Architecture (ISCA)*, pp. 335–346 (2007).

ジョーリ・アビシエク: FPGA への命令スケジューラの実装, 修士論文, 東京大学大学院情報理工学系研究科 (2011).

## 5. 主な発表論文等

### (雑誌論文) (計 4 件)

(すべて査読付き)

Naruki Kurata, Ryota Shioya, Masahiro Goshima, and Shuichi Sakai: Address Order Violation Detection with Parallel Counting Bloom Filters, *IEICE Trans. on Information and Systems* (accepted).

Ryota Shioya, Naruki Kurata, Takashi Toyoshima, Masahiro Goshima, and Shuichi Sakai: Register Indirect Jump Target Forwarding, *IEICE Trans. on Information and Systems*, Vol. E96–D, No. 2, pp. 278–288 (2013).

五島 正裕, 倉田 成己, 塩谷 亮太, 坂井 修一: タイミング・フォールト耐性を持つ Out-of-Order プロセッサ, *情報処理学会論文誌: コンピューティングシステム*, Vol. 6, No. 1, pp. 17–30 (2013).

吉田 宗史, 広畑 壮一郎, 倉田 成己, 塩谷 亮太, 五島 正裕, 坂井 修一: 動的タイ

ム・ボローイングを可能にするクロッキング方式, *情報処理学会論文誌: コンピューティングシステム*, Vol. 6, No. 1, pp. 1–16 (2013).

### (学会発表) (計 16 件)

( を除き査読付き)

Ryota Shioya, Masahiro Goshima, Hideki Ando: A Front-end Execution Architecture for High Energy Efficiency, in *Proc. Int'l Symp. on Microarchitecture (MICRO)*, DOI: 10.1109/MICRO.2014.35 (2014.12.13–17). (Cambridge, U.K.).

Takahiko Ishizu, Kiyoshi Kato, Tatsuya Onuki, Takanori Matsuzaki, Hikaru Tamura, Takuro Ohmaru, Wataru Uesugi, Atsuo Isobe, Kazuaki Ohshima, Yasutaka Suzuki, Naoaki Tsutsui, Tomoaki Atsumi, Yutaka Shionoiri, Gensuke Goto, Jun Koyama and Shunpei Yamazaki, Masahiro Goshima: SRAM with Crystalline Oxide Semiconductor Transistors: Leakage Power Reduction Technique for Microprocessor Caches, in *Proc. IEEE Int'l Memory Workshop* (2014.5.18). (Taipei, Taiwan).

Koki Murakami, Tsuyoshi Yamada, Rie Shigetomi Yamaguchi, Masahiro Goshima and Shuichi Sakai: A Cloud Architecture for Protecting Guest's Information from Malicious Operators with Memory Management, in *Proc. 4th ACM Conference on Data and Application Security and Privacy (CODASPY)*, pp. 155–158 (2014.3.3–5). (San Antonio, USA).

藤田 晃史, 中島 潤, 早水 光, 塩谷 亮太: スーパースカラ・プロセッサ「雷上動」の設計と実装, *情報処理学会研究報告 2014-ARC-208* (2014.01.16). (東京工業大学, 東京都目黒区). The 1st IPSJ SIG-ARC High-Performance Processor Design Contest, プロフェッショナル部門 優勝, 情報処理学会 CS 領域奨励賞 受賞.

吉田 宗史, 広畑 壮一郎, 倉田 成己, 塩谷 亮太, 五島 正裕, 坂井 修一: タイミング・フォールト耐性を持つ Out-of-Order プロセッサの検出/回復方式, *先進的計算基盤システムシンポジウム SACSIS 2013*,

Vol. 2013 (2013.5.22–24). (仙台国際センター, 宮城県仙台市).

浅見 公輔, 倉田 成己, 塩谷 亮太, 五島 正裕, 坂井 修一: 命令グループごとのキャッシュ・パーティショニング, 先進的計算基盤システムシンポジウム SACSIS 2013, Vol. 2013 (2013.5.22–24). (short paper). (仙台国際センター, 宮城県仙台市).

広畑 壮一郎, 神原 太郎, 吉田 宗史, 倉田 成己, 五島 正裕, 坂井 修一: 動的タイム・ボローイングを可能にするクロッキング方式の適用手法の予備評価, 先進的計算基盤システムシンポジウム SACSIS 2013, Vol. 2013 (2013.5.22–24). (poster). (仙台国際センター, 宮城県仙台市).

Tsuyoshi Yamada, Naruki Kurata, Rie Shigetomi Yamaguchi, Masahiro Goshima, Shuichi Sakai: Minimal Additional Function to Secure Processor for Application Authentication, in *Proc. Western European Workshop on Research in Cryptology (WEWoRC)* (2013.7.24–26). (KIT, Karlsruhe, Germany).

有馬 慧, 倉田 成己, 塩谷 亮太, 五島 正裕, 坂井 修一: タイミング・フォールト耐性を持つ Out-of-Order プロセッサ, 先進的計算基盤システムシンポジウム SACSIS 2012, Vol. 2012, pp. 270–279 (2012.5.16–18). (神戸国際会議場, 兵庫県神戸市).

吉田 宗史, 広畑 壮一郎, 倉田 成己, 五島 正裕, 坂井 修一: 動的タイム・ボローイングを可能にするクロッキング方式, 先進的計算基盤システムシンポジウム SACSIS 2012, Vol. 2012, pp. 382–389 (2012.5.16–18). (神戸国際会議場, 兵庫県神戸市).

伊達 三雄, 倉田 成己, 塩谷 亮太, 五島 正裕, 坂井 修一: レジスタ・リネーミングとディスパッチ・ネットワークを最小化するプロセッサ・アーキテクチャ, 先進的計算基盤システムシンポジウム SACSIS 2012, Vol. 2012, pp. 280–288 (2012.5.16–18). (神戸国際会議場, 兵庫県神戸市).

広畑 壮一郎, 吉田 宗史, 倉田 成己, 五島 正裕, 坂井 修一: 動的タイム・ボローイングを可能にするクロッキング方式の適用,

先進的計算基盤システムシンポジウム SACSIS 2012, Vol. 2012 (2012.5.16–18). (ポスター). (神戸国際会議場, 兵庫県神戸市).

倉田 成己, 塩谷 亮太, 五島 正裕, 坂井 修一: Switch-on-Future-Event マルチスレディングの改良と評価, 先進的計算基盤システムシンポジウム SACSIS 2011, Vol. 2011, pp. 82–91 (2011.5.25–27). (秋葉原コンベンションホール, 東京都千代田区).

Hiroshi TOI, Ryota SHIOYA, Masahiro GOSHIMA, and Shuichi SAKAI: Yet Another Taint Mode for PHP, 先進的計算基盤システムシンポジウム SACSIS 2011, Vol. 2011, pp. 160–169 (2011.5.25–27). (秋葉原コンベンションホール, 東京都千代田区).

赤松 雄一, 五島 正裕, 坂井 修一: 固定長インターバルを用いないフェーズ検出手法, 先進的計算基盤システムシンポジウム SACSIS 2011, Vol. 2011, pp. 271–278 (2011.5.25–27). (秋葉原コンベンションホール, 東京都千代田区).

伊藤 悠二, 塩谷 亮太, 五島 正裕, 坂井 修一: 最適なロールバック・ポイントを選択するトランザクショナル・メモリ, 先進的計算基盤システムシンポジウム SACSIS 2011, Vol. 2011, pp. 324–331 (2011.5.25–27). (秋葉原コンベンションホール, 東京都千代田区).

堀部 悠平, 三輪 忍, 塩谷 亮太, 五島 正裕, 中條 拓伯: ロード/ストアの命令アドレスによる選択的キャッシュ・ライン・アロケーション, 先進的計算基盤システムシンポジウム SACSIS 2011, Vol. 2011, pp. 316–323 (2011.5.25–27). (秋葉原コンベンションホール, 東京都千代田区).

#### (図書)(計1件)

坂井 修一: IT が守る、IT を守る 天災・人災と情報技術, NHK ブックス, NHK 出版 (2012).

## **〔産業財産権〕**

取得状況(計4件)

名称: 半導体集積回路  
発明者: 塩谷 亮太, 五島 正裕  
権利者: 同上  
種類: 特許  
番号: 第5589169号  
取得年月日: 2014年8月8日  
国内外の別: 国内

名称: INFORMATION PROCESSING DEVICE, INFORMATION PROCESSING METHOD, AND COMPUTER READABLE RECORDING MEDIUM  
発明者: Satoshi KATSUNUMA, Masahiro GOSHIMA, Hidetsugu IRIE, Ryota SHIOYA, Shuichi SAKAI  
権利者: STARC  
種類: 特許  
番号: US 8,413,240 B2  
取得年月日: 2013年4月2日  
国内外の別: 国外(米国)

名称: 集積回路装置  
発明者: 坂井 修一, 廣瀬 健一郎, 萬澤 康雄, 五島 正裕  
権利者: 東京大学  
種類: 特許  
番号: 第5212934号  
取得年月日: 2013年3月8日  
国内外の別: 国内

名称: 半導体集積回路  
発明者: 塩谷 亮太, 五島 正裕, 坂井 修一  
権利者: 東京大学  
種類: 特許  
番号: 第5181127号  
取得年月日: 2013年1月25日  
国内外の別: 国内

## 6. 研究組織

### **(1) 研究代表者**

五島 正裕 (GOSHIMA, Masahiro)  
国立情報学研究所・アーキテクチャ科学研究系・教授  
研究者番号: 90283639

### **(2) 研究分担者**

塩谷 亮太 (SHIOYA, Ryota)  
名古屋大学・工学研究科・助教  
研究者番号: 10619191

坂井 修一 (SAKAI, Shuichi)  
東京大学・情報理工学系研究科・教授  
研究者番号: 50291290