

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 23 日現在

機関番号：34315

研究種目：基盤研究(B)

研究期間：2011～2014

課題番号：23300019

研究課題名(和文)小さい面積・性能オーバーヘッドで故障を回避する論理回路レベルの設計技術の確立

研究課題名(英文)Design Methodology for Dependable Logic Circuits with Small Overhead

研究代表者

山下 茂 (Yamashita, Shigeru)

立命館大学・情報理工学部・教授

研究者番号：30362833

交付決定額(研究期間全体)：(直接経費) 14,300,000円

研究成果の概要(和文)：LUTを回路の一部に使うPPC (Partially Programmable Circuit: 部分的に機能が書き換え可能な回路)と呼ばれる回路モデルを用いて、面積および速度の両面のオーバーヘッドを従来の手法よりも少なくしながらも、製造後に判明した故障の一部を修正可能とするための回路の合成手法に関して研究を行い、(1) PPCを用いた回路設計手法、(2) PPCの修正能力を変更せずにLUTの面積コストを削減する手法、(3) PPCを仕様変更を利用する手法、(4) PPCの回路の検証手法、(5) PPCの回路による演算器の高位合成手法、およびPPCの応用方法などに関して研究成果をあげた。

研究成果の概要(英文)：We have studied various design methodology for dependable logic circuits by utilizing the model of PPCs (Partially Programmable Circuits) which contains LUTs. Our main research result is concerning circuits which can bypass some manufacturing faults with less overhead compared with conventional methods. Our research achievement includes (1) design methods of PPCs, (2) how to reduce the area cost of LUTs without changing the ability to bypass faults, (3) how to utilize PPCs for engineering change, (4) verification methods of PPCs, and (5) high-level synthesis with functional units by PPCs.

研究分野：論理合成

キーワード：PPC 製造時故障 仕様変更 耐故障 高位合成 LUT

1. 研究開始当初の背景

ゲート長が 22nm 未満の次世代素子では、素子の動作ばらつきが極めて深刻な問題となり、多くのトランジスタに動作不良（動作速度が所望どおりにならないことも含む）が生じることが懸念されている。メモリのように規則性がある場合は、ECC (Error Correcting Codes) などにより少ないオーバーヘッドで故障に対する耐性を高めることが可能である。一方、論理回路レベルで一般の組合せ回路の故障に対する耐性を向上させる手法としては、機能モジュールを三重化する手法と、FPGA のような書き換え可能な LSI の特徴を用いて故障した部分回路を切り離す（使用しないようにする）方法が知られている。しかし、これらの従来からの手法は以下のような実用上の問題があり、あまり用いられていない。三重化の手法は、純粋にチップ面積を大幅に増加させるため、製造コストの増加、チップ面積の増加、動作時の消費電力の増加などを招き、ミッションクリティカルなアプリケーション以外では受け入れがたいと考えられる。また、FPGA のような書き換え可能な LSI では、機能ブロック間の配線を製造後にハードウェア的に切り替える機能が必須なため、通常の LSI に比べて同じアプリケーションの動作速度がどうしても遅くなるという欠点がある。これらの問題点を克服する耐故障設計手法が次世代素子を使いこなすためには必要となると考えられる。

2. 研究の目的

FPGA に使われる LUT は面積面では通常のゲートに対して劣るものの、速度面ではほとんど劣らないという点に注目して、FPGA とは異なり、配線部分は固定にして LUT を回路の一部に使う PPC (Partially Programmable Circuit: 部分的に機能が書き換え可能な回路) と呼ばれる回路モデルが提案されている。PPC を用いれば、面積および速度の両面のオーバーヘッドを上述したような従来の手法よりも格段に少なくしながらも、製造後に判明した故障の一部を修正可能とすることが期待できる。

ただし、PPC は従来の三重化のように回路全体を完全に多重化するわけでもなく、また、PPC は従来の FPGA のように完全に回路全体の機能を書き換えられるわけでもないため、全ての考えられる故障や仕様変更に対応できないことは明らかである。そのため、どのような状況ならば PPC の考え方が有効になるのかを調べ、その設計手法を確立することは大変重要であると考えられる。また、PPC のように回路の機能を一部分だけ必要に応じて変更するという考え方の耐故障以外の分野への応用を考えることも重要であるとえられる。

3. 研究の方法

前項目で述べた研究目的のために、PPC が持

つ「従来の耐故障を考えた冗長化設計手法よりも非常に少ないオーバーヘッドで済む」という特長を生かしながら、全ての故障や全ての仕様変更には完全には対応できないという PPC の欠点をうまく補う設計理論を確立し、PPC による実用的な回路設計手法を開発することを最終的な目的とする。そのための基本的なアイデアは、故障があっても PPC は「ある程度は正しく動作する回路」に修正できるので、「少しの付加回路で完全に修正する」手法と「少しの入力パターンでのみ誤動作する演算モジュールをうまく組み合わせて利用する」手法を利用することも考える。具体的には、効率的な PPC の設計手法の検討や PPC を修正するための効率的な付加回路の構成方法、および PPC による演算器を想定した高位合成技術の確立などをめざす。さらに、PPC による回路の様々な観点からの定性的および定量的な評価や、学術・実用的に重要な分野において、PPC の考え方を適用することが可能な領域を探求することなども幅広く行って、回路設計の分野において学術的な貢献を目指す。

4. 研究成果

(1) PPC による回路は、故障やデザインエラーおよび Engineering Change Orders (ECO) に対応可能な場合があることが期待できるが、具体的な対応方法は知られていなかった。そこで、具体的にどのようにそれらのエラーや故障を修正するように PPC の内部論理を変更すれば良いかを、QBF (Quantified Boolean Formula) により定式化して厳密に求める手法を開発した。その手法により、ある PPC がどの程度のエラーや故障に対応可能であるのかを定量的に見積もることも可能となった。

(2) 演算器を PPC で設計した場合、ある種の故障に対してある種の入力ならば正しく動作するように内部論理を変更可能であることがある。同じ論理の演算器でも PPC の作り方により、故障が起きたときでも正しく動作する入力集合が変わる。そのことを考慮に入れて、製造時故障に対する歩留まりを高くするように、各演算にどの演算器を割り当てべきかを ILP により定式化して求める手法を開発した。

(3) PPC において必要とされる、LUT の内部論理の自由度に着目して、LUT が実現可能な論理を限定し、歩留まり向上を維持したまま回路面積を削減する手法を考案した。そして、2 種類の LUT を用いて評価し、従来の PPC と比べて面積オーバーヘッドが 9 割近く平均で削減されることを確認した。さらに、部分的に回路を二重化する従来手法とも比較し、多くの場合で少ない面積増加で歩留まりを向上できる有効な手法であることを確認した。

(4) アーキテクチャレベルで PPC のように仕様変更に対応できるように、小規模の機能

修正を対象に、制御回路の大部分を結線論理で実現した上で部分的にパッチを当てることで制御を修正するパッチ可能アクセラレータを提案した。また、修正前後の設計記述からパッチをコンパイルする手法を提案した。例題を用いた評価結果を通じて提案方式が電力効率の面で従来方式よりも優位であることを示した。

(5) PPC の応用例として、本来歩留まりを向上させるために考案された PPC を機能変更を利用する手法について研究を行った。具体的には、回路製造後の機能変更を実現するために、PPC と Content Addressable Memory (CAM) を用いた新しいフレームワークを提案した。CAM を用いることで PPC だけでは修正不可能な入力にも対応することが可能となる。提案フレームワークを実現するために、Desired Function Condition (DFC) と呼ばれる論理関数の自由度を表現する手法を新たに提案した。DFC は Sets of Pairs of Functions to be Distinguished (SPFD) と呼ばれる論理関数の自由度を表現する手法を機能変更要求にも対応出来るように拡張したものである。また既存の SPFD の計算手法では、DFC を上手く計算することが出来なため、既存の SPFD の計算手法とはまったく異なる DFC の計算手法についても提案した。提案計算手法を用いることで、PPC で修正不可能な入力パターンを効果的に削減することができる場合があることが分かった。

(6) 故障が多いと考えられる次世代のバイオチップの設計に PPC の考えを応用することを検討して、PPC のように LUT で機能を書き換えることによって、回路の入出力ピンの数を減少させる手法を開発した。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 14 件)

1. Trung Anh Dinh, Shigeru Yamashita, Tsung-Yi Ho, An Optimal Pin-Count Design With Logic Optimization for Digital Microfluidic Biochips, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 34, no. 4, pp. 629-641, 2015, 査読あり
DOI: 10.1109/TCAD.2015.2394502
2. Stefan Hadjis, Andrew Canis, Ryoya Sobue, Yuko Hara-Azumi, Hiroyuki Tomiyama, Jason Anderson: Profiling-Driven Multi-Cycling in FPGA High-Level Synthesis, Proceedings of Design, Automation & Test in Europe Conference & Exhibition, pp. 31-36, 2015, 査読有
DOI: 10.7873/DATE.2015.0512
3. Hiroaki Yoshida, Masayuki Wakizaka, Shigeru Yamashita, and Masahiro Fujita: An Energy-Efficient Patchable Accelerator and Its Design Methods, IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E97, No. 12 pp. 2507-2517, 2014, 査読有.
DOI: 10.1587/transfun.E97.A.2507
4. Yuko Hara-Azumi, Toshinobu Matsuba, Hiroyuki Tomiyama, Shinya Honda, Hiroaki Takada: Impact of Resource Sharing and Register Retiming on Area and Performance of FPGA-based Designs, IPSJ Transactions on System LSI Design Methodology, vol. 7, pp. 37-45, 2014, 査読有.
DOI:10.2197/ipsjtsldm.7.37
5. 崔英鮮, 山下茂: ビットごとの排他的論理和を利用した画像の新しい類似度指標の提案とその動き検出プロセッサへの適用と評価, 電子情報通信学会英文論文誌 Vol. J97-A, No. 03, pp. 160-169, 2014, 査読有.
6. Trung Anh Dinh, Shigeru Yamashita, and Tsung-Yi Ho: A Logic Integrated Optimal Pin-Count Design for Digital Microfluidic Biochips, Proceedings of Design, Automation & Test in Europe Conference & Exhibition, pp. 1-6, 2014, 査読有
DOI: 10.7873/DATE.2014.088
7. Trung Anh Dinh, Shigeru Yamashita, and Tsung-Yi Ho: A Network-Flow-Based Optimal Sample Preparation Algorithms for Digital Microfluidic Biochips, Proceedings of Asia Design Automation Conference (ASP-DAC), pp. 225-230, 2014, 査読有.
DOI: 10.1109/ASPDAC.2014.6742894
8. Trung Anh Dinh, Shigeru Yamashita, Tsung-Yi Ho, and Yuko Hara-Azumi: A clique-based approach to find binding and scheduling result in flow-based microfluidic biochips, Proceedings of Asia Design Automation Conference (ASP-DAC), pp. 199-204, 2013, 査読有.
DOI: 10.1109/ASPDAC.2013.6509596
9. Masayuki Wakizaka, Hiroaki Yoshida, Yuko Hara-Azumi, and Shigeru Yamashita: A redundant wire addition method for Patchable Accelerator, Proc. of IEEE International Conference on Electronics, Circuits and Systems, pp. 552-555, 2012, 査読有.
DOI:10.1109/ICECS.2012.6463687
10. Yuko Hara-Azumi, Toshinobu Matsuba, Hiroyuki Tomiyama, Shinya Honda, Hiroaki Takada: Quantitative

Evaluation of Resource Sharing in High-Level Synthesis Using Realistic Benchmarks, IPSJ Transactions on System LSI Design Methodology, vol. 6, pp. 122-126, 2013, 査読有.
DOI:10.2197/ipsjtsldm.6.122

11. Tanvir Ahmed, Jun Yao, Yuko Hara-Azumi, Shigeru Yamashita, and Yasuhiko Nakashima: Selective Check of Data-Path for Effective Fault Tolerance, IEICE Transactions on Information and Systems, vol. E96-D, no. 8, pp. 1592-1601, 2013, 査読有.
DOI:10.1587/transinf.E96.D.1592
12. Trung Anh Dinh, Shigeru Yamashita, Tsung-Yi Ho, and Yuko Hara-Azumi: Clique-Based Architectural Synthesis of Flow-Based Microfluidic Biochips, IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E96-A, No. 12, pp. 2668-2679, 2013, 査読有.
DOI:10.1587/transfun.E96.A.2668
13. Yuko Hara-Azumi, Hiroyuki Tomiyama: Clock-Constrained Simultaneous Allocation and Binding for Multiplexer Optimization in High-Level Synthesis, Proceedings of Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 251-256, 2012, 査読有.
DOI:10.1109/ASPDAC.2012.6164954
14. Hratch Mangassarian, Hiroaki Yoshida, Andreas G. Veneris, Shigeru Yamashita, and Masahiro Fujita: On error tolerance and Engineering Change with Partially Programmable Circuits, Proceedings of Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 695-700, 2012, 査読有.
DOI:10.1109/ASPDAC.2012.6165045

[学会発表] (計 37 件)

1. Yohei Onishi, Ittetsu Taniguchi, Hiroyuki Tomiyama: Revisiting Function Inlining in FPGA High-Level Synthesis, Proceedings of International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC), Seoul (Korea), 発表決定.
2. Ryohei Matsumoto, and Shigeru Yamashita: Single-Flux-Quantum Digital Circuit Design Using Clockless Logic Cells with a Jitter Constraint, the Workshop on Synthesis And System Integration of Mixed Information Technologies, Yilan (Taiwan), 2015 年 3 月 17 日.
3. Daiki Kitagawa, Dieu Quang Nguyen,

Trung Anh Dinh, and Shigeru Yamashita: Graph-Covering-Based Architectural Synthesis for Programmable Digital Microfluidic Biochips, the Workshop on Synthesis And System Integration of Mixed Information Technologies, Yilan (Taiwan), 2015 年 3 月 17 日.

4. Yuri Ardila, Tatsuyuki Kida, and Shigeru Yamashita: Efficient Manipulation of Truth Tables on CUDA for Gate-Level Simulation, the Workshop on Synthesis And System Integration of Mixed Information Technologies, Yilan (Taiwan), 2015 年 3 月 17 日.
5. Maiko Kabu, Takayuki Kasugai, Shigeru Yamashita, and Chun-Yao Wang: Global Transformation-Based Optimization of Threshold Logic Circuits, the Workshop on Synthesis And System Integration of Mixed Information Technologies, Yilan (Taiwan), 2015 年 3 月 17 日.
6. Naoya Ito, Nagisa Ishiura, Hiroyuki Tomiyama, and Hiroyuki Kanbara: High-Level Synthesis from Programs with External Interrupt Handling, Proceedings of Workshop on Synthesis and System Integration of Mixed Information Technologies (SASIMI), Yilan (Taiwan), 2015 年 3 月 16 日.
7. Takumi Tsuzuki, Yuko Hara-Azumi, Shigeru Yamashita, and Yasuhiko Nakashima: Quantitative Evaluations and Efficient Exploration for Optimal Partially-Programmable Circuits Generation, the Workshop on Synthesis And System Integration of Mixed Information Technologies, Yilan (Taiwan), 2015 年 3 月 16 日.
8. Toshihiro Goto, Yasunori Takagi, and Shigeru Yamashita: Evaluation of Approximate SAD Circuits with Error Compensation, the Workshop on Synthesis And System Integration of Mixed Information Technologies, Yilan (Taiwan), 2015 年 3 月 16 日.
9. Masatoshi Tsushima, Yuichi Ikeda, and Shigeru Yamashita: An Efficient Calculation Method for Reliability Analysis of Logic Circuits, the Workshop on Synthesis And System Integration of Mixed Information Technologies, Yilan (Taiwan), 2015 年 3 月 16 日.
10. 大西洋平, 谷口一徹, 富山宏之: FPGA 高位合成における関数インライン展開の評価, 電子情報通信学会総合大会, 立命館大学 (滋賀県草津市), 2015 年 3 月 13 日.

11. Stefan Hadjis, Andrew Canis, Ryoya Sobue, Yuko Hara-Azumi, Hiroyuki Tomiyama, and Jason Anderson: Profiling-Driven Multi-Cycling in FPGA High-Level Synthesis, Design, Automation & Test in Europe, Grenoble (France), 2015年3月10日.
12. 杉山 翔一郎, タンビア アーメド, 原祐子: ルックアップテーブルを用いた approximate computing 向けアーキテクチャの実装と評価, 電子情報通信学会 VLSI 設計技術研究会 (VLD), 沖縄県政年會館 (沖縄県那覇市), 2015年3月4日.
13. 伊藤直也, 石浦菜岐佐, 富山宏之, 神原弘之: 外部割込みのハンドラを含むプログラムからの高位合成, 情報処理学会 DA シンポジウム, ホテル下呂温泉水明館 (岐阜県下呂市), 2014年8月28日.
14. 都築 匠, 原祐子, 山下茂, 中島康彦: PPCにおけるLUT挿入位置最適化の定量的評価, 情報処理学会 DA シンポジウム, 水明館 (岐阜県下呂市), 2014年8月28日.
15. 山下茂: SPFDによる論理関数の自由度の表現とその回路設計への応用, 第27回回路とシステム軽井沢ワークショップ (招待講演), 淡路夢舞台国際会議場 (兵庫県淡路市) 2014年8月4日.
16. Nagisa Ishiura, Hiroyuki Kanbara, and Hiroyuki Tomiyama: ACAP: Binary Synthesizer Based on MIPS Object Codes, International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC), Phuket (Thailand), 2014年7月2日.
17. Yuko Hara-Azumi, Toshihiko Kamata, Ittetsu Taniguchi, Hiroyuki Tomiyama: Yield-Aware Allocation and Binding of Partially-Programmable Functional Units, International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC), Phuket (Thailand), 2014年7月2日.
18. Yuki Ando, Seiya Shibata, Shinya Honda, Hiroyuki Tomiyama, Hiroaki Takada: Fast Design-Space Exploration Method for SW/HW Codesign on FPGAs, International Symposium on Field-Programmable Custom Computing Machines (FCCM), Boston (USA), 2014年5月13日.
19. Shunichi Sanae, Yuko Hara-Azumi, Shigeru Yamashita, and Yasuhiko Nakashima: Better-than-DMR Techniques for Yield Improvement, IEEE International Symposium on Field-Programmable Custom Computing Machines, Boston (USA), 2014年5月12日.
20. 祖父江亮哉, 原祐子, 谷口一徹, 富山宏之: 高位合成におけるマルチプレクサの遅延の削減手法, 情報処理学会 SLDM/EMB/電子情報通信学会 CPSY/DC 研究会, ICT文化ホール (沖縄県石垣市), 2014年3月15日.
21. Yuko Hara-Azumi, Masaya Kunimoto, and Yasuhiko Nakashima: Emulator-Oriented Tiny Processors for Unreliable Post-Silicon Devices A Case Study, Asia and South Pacific Design Automation Conference, Singapore (Singapore), 2014年1月21日.
22. P. Balasubramanian, and Shigeru Yamashita: On the Error Resiliency of Combinational Logic Cells - Implications for Nano-based Digital Design, IEEE 19th Pacific Rim International Symposium on Dependable Computing, Vancouver (Canada), 2013年12月2日.
23. 早苗 駿一, 原祐子, 山下茂, 中島康彦: PPCに基づく高歩留まり回路の発見的設計手法, 情報処理学会 デザインガイア, 鹿児島県文化センター (鹿児島県鹿児島市), 2013年11月27日. (※第163回SLDM研究会 優秀発表学生賞)
24. 松尾 惇士, 山下茂: 二重化よりも面積オーバーヘッドが少ない耐故障化手法, 情報処理学会 デザインガイア, 鹿児島県文化センター (鹿児島県鹿児島市), 2013年11月27日.
25. Atsushi Matsuo, Yasunori Takagi, Hiroki Nakahara, Shigeru Yamashita: A Variable-Length String Matching Circuit Based On SeqBDDs, Workshop on Synthesis and System Integration of Mixed Information Technologies (SASIMI), 札幌ガーデンパレス (北海道札幌市), 2013年10月22日.
26. 早苗 駿一, 原祐子, 山下茂, 中島康彦: Partially-Programmable Circuitの歩留まり向上のためのLUT最適化手法, 情報処理学会 DA シンポジウム, 水明館 (岐阜県下呂市), 2013年8月21日.
27. Ryoya Sobue, Yuko Hara-Azumi, Hiroyuki Tomiyama: Partial Controller Retiming in High-Level Synthesis, Electronic System Level Synthesis Conference (ESLsyn), Austin (USA), 2013年5月31日.
28. Yuko Hara-Azumi, Hiroyuki Tomiyama: Cost-Efficient Scheduling in High-Level Synthesis for Soft-Error Vulnerability Mitigation, International Symposium on Quality

- Electronic Design (ISQED), Santa Clara (USA), 2013年3月5日.
29. Yuko Hara-Azumi, Farshad Firouzi, Saman Kiamehr, and Mehdi Tahoori: Instruction-Set Extension under Process Variation and Aging Effects, Design, Automation & Test in Europe, Grenoble (France), 2013年3月19日.
 30. Yuko Hara-Azumi, Takuya Azumi, and Nikil D. Dutt: VISA Synthesis Variation-Aware Instruction Set Architecture Synthesis, Asia and South Pacific Design Automation Conference, パシフィコ横浜(神奈川県横浜市), 2013年1月23日.
 31. 祖父江亮哉, 原祐子, 稗田拓路, 谷口一徹, 富山宏之: クロック周波数向上のための動作合成におけるコントローラ設計手法, 情報処理学会 SLDM 研究会/電子情報通信学会 VLD 研究会/DC 研究会, 九州大学医学部百年講堂(福岡県福岡市), 2012年11月27日. (SLDM 優秀発表学生賞)
 32. Atsushi Matsuo, Shigeru Yamashita, and Hiroaki Yoshida: Partially-Programmable Circuits with CAMs, 情報処理学会 SLDM 研究会/電子情報通信学会 VLD 研究会/DC 研究会, 九州大学医学部百年講堂(福岡県福岡市), 2012年11月26日.
 33. Yuko Hara-Azumi, Toshinobu Matsuba, Hiroyuki Tomiyama, Shinya Honda, Hiroaki Takada: Selective Resource Sharing with RT-Level Retiming for Clock Enhancement in High-Level Synthesis, International Conference on Embedded Software and Systems (ICESS), Liverpool (UK), 2012年6月26日.
 34. Yuko Hara-Azumi, Hiroyuki Tomiyama, Shigeru Yamashita, and Nikil D. Dutt: High-Level Synthesis Using Partially-Programmable Resources for Yield Improvement, the Workshop on Synthesis And System Integration of Mixed Information Technologies, ビーコンプラザ(大分県別府市), 2012年3月9日.
 35. 吉田 浩章, 藤田 昌宏: 動作レベル・レジスタ転送レベル混在設計記述向け高位合成手法, VLSI 設計技術研究会, ビーコンプラザ(大分県別府市), 2012年3月6日.
 36. 鶴田 大貴, 原 祐子, 山下 茂: リソースの再利用による実装面積を考慮した耐故障化高位合成手法情報処理学会 DA シンポジウム, 水明館(岐阜県下呂市), 2011年8月31日.
 37. Hiroaki Yoshida and Masahiro Fujita: A Highly Energy-Efficient Accelerator

Enabling Post-Silicon Engineering Changes and Its Patch Compilation Method, Work-In-Progress Session, ACM/IEEE Design Automation Conference (DAC), サンディエゴ(アメリカ), 2011年6月6日.

[図書] (計 0件)

[産業財産権]

○出願状況 (計 0件)

○取得状況 (計 0件)

[その他]

ホームページ等

<http://www.ngc.is.ritsumei.ac.jp/~ger/>

6. 研究組織

(1) 研究代表者

山下茂(立命館大学・情報理工学部・教授)
研究者番号: 30362833

(2) 研究分担者

富山 宏之(立命館大学・理工学部・教授)
研究者番号: 80362292

吉田 浩章(東京大学・大規模集積システム設計教育研究センタ・助教)
研究者番号: 10456163

(3) 連携研究者

原 祐子(東京工業大学・理工学研究科・准教授)
研究者番号: 20640999