

科学研究費助成事業 研究成果報告書

平成 26 年 6 月 19 日現在

機関番号：14501

研究種目：基盤研究(B)

研究期間：2011～2013

課題番号：23360156

研究課題名(和文)三次元積層VLSIにおける配線システムのインテグリティに関する研究

研究課題名(英文)Study on Interconnect Integrity in Three Dimensional VLSI Systems

研究代表者

永田 真(Nagata, Makoto)

神戸大学・大学院システム情報学研究科・教授

研究者番号：40274138

交付決定額(研究期間全体)：(直接経費) 14,800,000円、(間接経費) 4,440,000円

研究成果の概要(和文)：三次元積層VLSIシステムにおける、積層方向に延伸した配線システムのインテグリティ(完全性)を指向する設計手法に向けて、シリコンチップを貫通する配線構造であるTSV(シリコン貫通ビア)とシリコン基板との電気的結合に関する実験的および解析的な理解を追及した。とりわけ、三次元積層VLSIの電源供給配線システムにおける電源ノイズや基板ノイズの伝播特性に着目し、ノイズ結合がTSVの物理配置や回路の動作周波数に強く依存することを、ノイズエミュレータおよびノイズモニタを搭載した三次元積層チップによるノイズ波形のその場評価、および三次元配線システムとシリコン基板の等価回路の理論解析、により明らかにした。

研究成果の概要(英文)：Interconnect integrity was studied for three dimensional VLSI systems, with a special focus on the electrical coupling between through silicon vias (TSV) and a silicon substrate. A prototype chip of three dimensional (3D) chip stacking was developed, measured, and analyzed for the experimental and analytical understanding, and showed that power and substrate noise coupling in a 3D interconnect was strongly dependent on the physical placements of TSVs in a chip and the operating frequency of circuits in a 3D system as well. The measurements were performed by using on-chip noise monitor and on-chip noise emulator circuits. The analysis was theoretically pursued with an equivalent circuit involving 3D interconnect systems and a silicon substrate. The measurements and analysis agree well with the frequency dependency of noise coupling in a 3D prototype VLSI chip. This work was under the international collaborative research agreements between IMEC (Belgium) and Kobe University (Japan).

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：電子デバイス 集積回路 三次元デバイス シリコン基板ノイズ 電源供給インテグリティ 信号インテグリティ 電源配線ネットワーク シリコン貫通ビア

1. 研究開始当初の背景

これからの情報電子科学分野には、電子デバイス工学、情報工学、集積化システム工学、等の最新の知見を駆使して、人々の社会生活の質を高めるエレクトロニクスの創出が求められる。このためには、ハイパフォーマンスコンピューティング(HPC)のための超高性能な計算資源、ヒトの健康維持や医療支援におけるハードウェアの安全確保、高速かつ広域の移動体におけるセキュアで快適な通信手段、など、現在の情報通信分野における基幹的な技術基盤のさらなる発展は云うまでもないが、他方、エレクトロニクスとして異領域技術を機能統合することで、これまでにない新機能や高性能を引き出そうとするシステム科学としての学術基盤の展開が欠かせない。三次元積層構造を有するVLSIシステムの構築は、このために格好の具現化手段である。従来型のシステムオンチップVLSI技術(二次元集積)に比べて、三次元積層VLSIは機能や機構の統合における柔軟性が極めて高く、また製造コストの低減にも効果的である。

2. 研究の目的

異領域技術の統合に向けた三次元積層VLSIシステムの構築において、その内部における信号伝達や電源供給の特性を正確に予測し、完全さを追求する手段、すなわち電源と信号のインテグリティを指向した設計技法が欠かせない。とりわけ、システム性能の予測において、シリコンチップの層内配線と貫通シリコンビアおよびインタポーザを含む実装構造から形成される大規模三次元配線系における大信号応答特性の理解とモデリングは本質的な技術課題である。

本研究では、三次元積層VLSIにおけるチップ間結合配線の伝達特性および周囲へのクロストーク(漏れ出し)に関して、

チップ間結合配線の電気的特性を決定するメカニズムを明らかにするとともに、三次元積層配線における電気特性の等価回路表現およびクロストーク結合の解析手段を与える。本研究は、これらの基礎工学的な理解に基づき、三次元積層VLSIおよびこれをシステムボードに実装するインタポーザ等の周辺構造に関して、電源配線および信号配線のインテグリティを指向した設計技法の導出を目指すものである。

3. 研究の方法

本研究では、前項の目的を達成するため、以下の三点について具体的な研究を進める。すなわち、(1)三次元積層VLSIにおける信号伝達および電源供給の特性をオンチップで測定評価する手段を確立すること、(2)三次元積層VLSIにおける信号伝達および電源供給の配線系を等価回路で表現し解析する手段を確立すること、および(3)三次元積層VLSIにおける信号伝達および電源供給のインテグリティ(完全性)を追求する設計手法を導出すること、である。

三次元積層VLSIのプロトタイプを構築し、三次元積層配線システムの電気特性に関する実証データを収集することにより、世界に先駆けた研究成果を得るため、ベルギーを本拠とする国際的なマイクロエレクトロニクス研究機関であるIMECを研究協力機関とし、IMECの三次元積層VLSI研究チームとの国際連携により研究を推進した。

4. 研究成果

(1)三次元積層VLSIにおける信号伝達および電源供給の特性をオンチップで測定評価する手段

図1に示すように、シリコン貫通ビア(TSV)を用いた三次元積層VLSIチップ内の基板ノイズ伝播を測定するために、オン

チップ・ノイズモニタを搭載した三次元積層プロトタイプを開発した。三次元方向に2層のチップを積層した構造になっており、各層において、電源ノイズの発生を模擬するノイズエミュレータ(NS) および電源ノイズの波形をチップ内部でその場観測するノイズモニタ(PFE)を搭載している。TSVは薄化された上層チップに形成され、下層チップへの電源供給、信号伝達に用いられている。

本プロトタイプを用いて、三次元電源配線システムにおける電源ノイズの伝播特性に関する実験データを収集した。図2には、上層チップのノイズエミュレータによる電源ノイズを、下層チップのノイズモニタにより観測したノイズ波形を一例として示している。

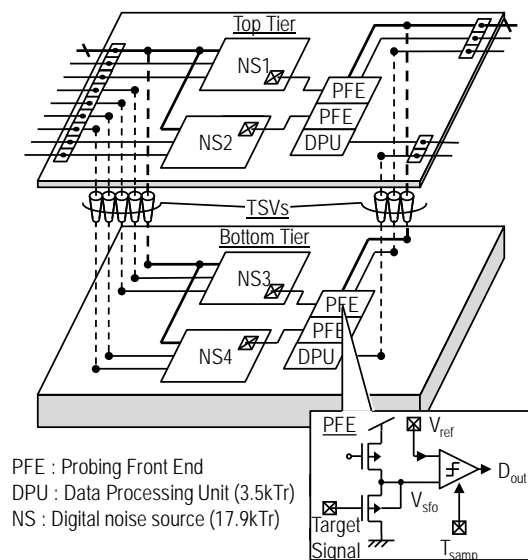


図1：三次元積層VLSIプロトタイプの構成図

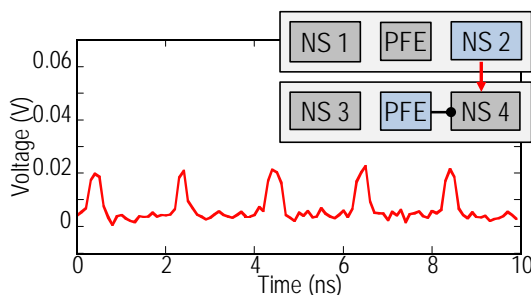


図2：三次元積層配線を伝播するノイズの測定波形

このように、三次元積層VLSIを構成する配線系におけるノイズ伝播特性を実験評価するプロトタイプシステムの構築に成功した。ノイズ発生にかかるノイズエミュレータの動作周波数、あるいは上層・下層のエミュレータの選択とTSVの相対配置、等を実験パラメータとして、三次元積層VLSIにおけるノイズ伝播の実験評価を網羅的に実施した。

(2) 三次元積層型VLSIにおける信号伝達および電源供給の配線系を等価回路で表現し解析する手段

一般に、TSVはシリコン基板に垂直の貫通孔の側壁に絶縁膜(酸化膜)を形成し、その中心に金属配線材料(銅)を埋め込んだ構造である。シリコン基板が高抵抗の導電性材料であることから、TSV芯線とシリコン基板の間に、TSV側壁を絶縁体とした寄生容量が形成される。現在の技術では、一般にTSVは直径10~30ミクロンかつ垂直深さが50ミクロン程度の大きさであり、また高密度に配置される。このことから、垂直方向に延伸した配線構造において、寄生容量を介した容量性の配線間結合は無視できない。

本研究では、図3に示すように、TSVを含む配線システムを表現する等価回路モデルを構築した。本図では、下層チップに搭載された集積回路(NS)に電源電流を供給する、すなわち電圧の高い供給側(VD)と電圧の低いリターン側(VS)からなる電源供給経路を示している。外部の電源と電源供給経路の間には、パッケージや評価ボードに起因する寄生インピーダンス(ZPDN)が挿入される。ここで、通常のデジタル集積回路を構成するCMOSトランジスタにおいては、回路のリターン側(VS)とP型シリコン基板の直流電位を共通とするバイアス構造が一般的である。

このことにより、下層の回路動作によるリターン側配線の電圧変動（ノイズ）が、シリコン基板に漏洩し、シリコン基板を伝播する。（図中の赤矢印であり、基板ノイズと呼ぶ。）前述のとおり、TSVは側壁を介してシリコン基板と容量結合しているため、基板ノイズは、上層に配置された別回路の電源供給や信号伝達の垂直経路に漏れ込み、ノイズ結合を発生する。本等価回路には、シリコン基板に寄生する抵抗性ネットワークも含めている。

前項の三次元積層VLSIプロトタイプについて層内および層間のノイズ結合を等価回路表現し、その周波数特性について図4のように評価した。

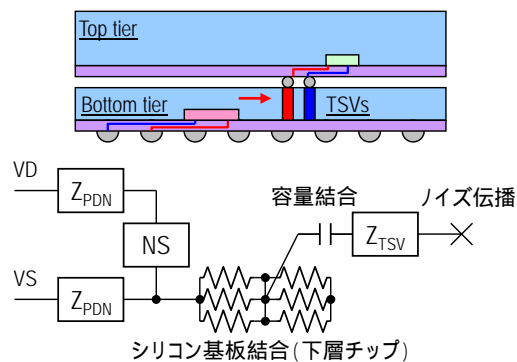


図3：TSVおよびシリコン基板によるチップ間ノイズ結合の等価回路表現

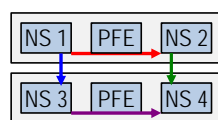
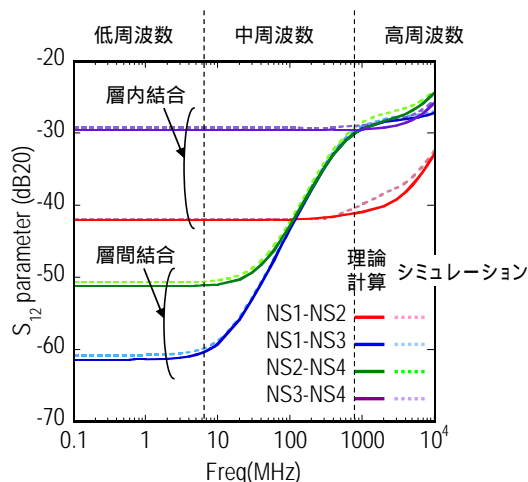


図4：TSVによるチップ間の基板ノイズ結合

縦軸（ S_{21} ）はノイズ結合の強度、横軸（ $Freq$ ）はノイズエミュレータの動作周波数をそれぞれ表している。等価回路を用いて理論的に計算した数値に加えて、回路シミュレータにより小信号応答解析した結果もあわせて示している。

ここで層内は図1における同一チップ内の結合を意味し、上層チップではNS1 - NS2のリターン経路間（赤）、下層チップではNS3 - NS4のリターン経路間（紫）に相当する。また、層間は同図のチップ間の結合を意味し、上層のNS1 - NS3あるいはNS2 - NS4のリターン経路間に相当する。

層内結合について、低周波数・中周波数の領域ではほぼ一定の結合強度を示し、またシリコンを薄化した上層と、通常の厚みである下層を比べると、前者の方が12 dBほど小さい。これは、薄化によるシート抵抗の増加を反映している。

層間結合について、低周波数ではほぼ一定値であるが、中周波数の領域から著しく結合強度が増大している。これは、図3に示したTSVの側壁容量結合の効果である。層間の構造が同様であるにもかかわらず、NS1 - NS3（青）とNS2 - NS4（緑）に10 dB程度の差が認められるのは、TSVの物理配置の違いを反映している。

高周波数領域で、すべての結合が増大していることは、上層 - 下層間でシリコンチップの全面が容量結合することに起因している。

このように、TSVおよびシリコン基板を適切に等価回路で表現することにより、三次元積層型VLSIにおける信号伝達および電源供給の特性を理論的に解析できる。

なお、図1のプロトタイプにより取得したノイズ伝播の実験データ（図2に例示）について、層内および層間のノイズ強度が概ね図4の周波数特性に一致することも確

認されている。

(3) 三次元積層型VLSIにおける信号伝達および電源供給のインテグリティ(完全性)を追求する設計手法

従来、シリコン大規模集積回路(VLSI)においてシリコン基板ノイズ結合による異種回路間の不要な干渉(クロストーク)が課題であった。三次元積層VLSI構造によりこれらの回路を別層に配置すれば、ノイズ結合経路を分断し、クロストークを大幅に低減することで、信号伝達や電源供給のインテグリティを改善できることが期待される。

しかしながら、前項に示した図4のとおり、TSVの側壁容量による基板ノイズの結合は、中周波数以上の領域で無視できないことがわかった。

三次元積層型VLSIにおける信号伝達および電源供給のインテグリティ(完全性)を追求する設計の方法論として、TSVの物理構造(側壁絶縁膜の厚みや孔口径、孔深さなど)、TSVの物理配置(レイアウト上の物理配置)さらにTSVの配置されるチップにおける回路の動作周波数、の選択性を適切に取り込む必要があることが見出された。

また、前項に示した図4のとおり、TSVおよびシリコン基板を含むノイズ結合の等価回路は回路シミュレータにより数値解析も可能であることから、これをノイズの影響を受ける回路と統合したネットリストにより、その影響の強さを回路シミュレーションにより予め評価することができる。

このように、本研究で確立したTSVおよびシリコン基板を含むノイズ結合の等価回路表現は、三次元積層化の進むVLSIシステムの設計開発においてきわめて有効に活用されるものと考えられる。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計5件)

Yuuki Araga, Makoto Nagata, Geert Van der Plas, Pol Marchal, Michael Libois, Antonio La Manna, Wenqi Zhang, Gerald Beyer, Eric Beyne, "Measurements and Analysis of Substrate Noise Coupling in TSV based 3D Integrated Circuits," IEEE Transactions on Components, Packaging, and Manufacturing Technology, Vol. 4, No. 6, pp. 1026-1037, June 2014. (査読有り)

Yuuki Araga, Ranto Miura, Nao Ueda, Noriyuki Miura, Makoto Nagata, "In-Stack Monitoring of Signal and Power Nodes in Three Dimensional Integrated Circuits," in Proc. 2014 International Symposium on Electromagnetic Compatibility, Tokyo, pp. 362-365, May 2014. (査読有り)

Yuuki Araga, Nao Ueda, Yasumasa Takagi, Makoto Nagata, "Performance Evaluation of Probing Front-End Circuits for On-Chip Noise Monitoring," IEICE Transactions on Fundamentals, Vol. E96-A, No.12, pp. 2516-2523, Dec. 2013. (査読有り)

Yumiko Tsuruya, Tetsuya Hirose, Yuushi Osaki, Nobutaka Kuroki, Masahiro Numa, and Osamu Kobayashi, "A Nano-Watt Power CMOS Amplifier with Adaptive Biasing for Power-Aware Analog LSIs," in Proc. 38th IEEE European Solid-State Circuits Conference, pp. 69-72, Bordeaux, France, Sep. 2012. (査読有り)

Yuuki Araga, Makoto Nagata, Geert Van der Plas, Jaemin Kim, Nikolaos Minas, Pol Marchal, Youssef Travaly, Michael Libois, Antonio La Manna, Wenqi Zhang, Eric Beyne, "In-Tier Diagnosis of Power

Domains in 3D TSV ICs," in Proc. IEEE International 3D Systems Integration Conference ,pp. 7.2.1-7.2.4, Jan. 2012. (査読有り)

[学会発表](計5件)

廣瀬 哲也, "環境エネルギーを利用した自立型超低電力 LSI システムの創出に向けた取り組み," 第879回紫翠会例会講演会, 大阪, 2014年2月26日. (査読有り)

中澤明良, 廣瀬哲也, 大崎勇士, 椿啓志, 黒木修隆, 沼 昌宏, "ばらつき補正技術を用いたシングルスローブADコンバータ," LSI とシステムのワークショップ 2013, 北九州, pp. 184-186, 2013年5月13日. (査読なし)

鶴屋由美子, 廣瀬哲也, 大崎勇士, 黒木修隆, 沼 昌宏, 小林 修, "適応バイアス技術を用いた超低電力CMOSオペアンプの評価," 電子情報通信学会ソサイエティ大会, C-12-18, 富山, 2012年9月12日. (査読なし)

高木康将, 荒賀佑樹, 永田真, Geert Van der Plas, Jaemin Kim, Nikolaos Minas, Pol Marchal, Michael Libois, Antonio La Manna, Wenqi Zhang, Julien Ryckaert, Eric Beyne, "三次元積層LSI チップにおける基板ノイズの層間評価," 電子情報通信学会技術報告ICD2012-40, 札幌, 2012年8月2日. (査読なし)

北村準也, 廣瀬哲也, 大崎勇士, 黒木修隆, 沼 昌宏, "低電圧カレントミラー回路を用いた高精度ナノアンペア電流源," 電子情報通信学会総合大会, C-12-52, 岡山, 2012年3月22日. (査読なし)

[その他]

<http://www.cs26.scitec.kobe-u.ac.jp/farm/LSI/>

6. 研究組織

(1) 研究代表者

永田 真 (NAGATA, Makoto)
神戸大学・大学院システム情報学研究科・教授
研究者番号: 40274138

(2) 研究分担者

廣瀬 哲也 (HIROSE, Tetsuya)
神戸大学・大学院工学研究科・准教授
研究者番号: 70396315