

機関番号：14301

研究種目：基盤研究(B)

研究期間：2011～2013

課題番号：23360347

研究課題名(和文)電極デザインの最適化による大電流スーパーキャパシタの開発

研究課題名(英文)Development of High Rate Capacitor by Optimizing Electrode Structure

研究代表者

河瀬 元明(KAWASE, Motoaki)

京都大学・工学(系)研究科(研究院)・教授

研究者番号：60231271

交付決定額(研究期間全体)：(直接経費) 14,200,000円、(間接経費) 4,260,000円

研究成果の概要(和文)：電気二重層キャパシタの速度性能は、イオン輸送抵抗によって低下する。電極厚さ方向にイオン輸送チャンネルを形成した構造化電極を作製し、充放電特性の測定実験により速度性能の評価を行った。イオンパスとして円管状空孔を電極厚さ方向に設けたものと、多孔質体を電極厚さ方向にスリット状に挿入したものの2種類を提案し、高放電電流密度でのセル体積あたり静電容量が向上することを明らかにした。また、必要な性能を発揮するスーパーキャパシタ電極の設計に定量的指針を与えるために粒子内外の物質移動抵抗を考慮したモデル構築を行った。

研究成果の概要(英文)：At the high discharge rate, the diffusion resistance of ion in the through-plane direction of electrode greatly deteriorates the discharge rate of electrochemical double-layer capacitor (EDLC). We produced structured thick electrodes with through-plane microchannel, and investigated the effects of the structured electrodes on the discharge rate. Two types of structured electrodes with through-plane microchannel, multi-cylindrical-channel electrode (MCE) and multi-layered electrode (MLE) were prepared and the specific capacitance per weight of MCE and MLE were measured. Multi-cylindrical-channel and porous layer of MLE function as ion path. The specific capacitance of MCE and MLE was improved from that of a normal electrode in the high discharge rate region. We also built the model taking into account mass transfer resistance of ion passing through the pore in the particle and between the particles in order to give the design guideline of EDLC.

研究分野：工学

科研費の分科・細目：プロセス工学・反応工学・プロセスシステム

キーワード：電気二重層キャパシタ 速度性能 構造化電極 イオン輸送 イオンパス モデル 物質移動抵抗

1. 研究開始当初の背景

電気二重層キャパシター (EDLC、スーパーキャパシター) は、1970 年代に小型のキャパシターが製品化され、その後大電流放電が可能なが注目されて、燃料電池や 2 次電池と組み合わせて瞬間的大出力に対応したり、自然エネルギー発電と組み合わせたりして出力の平準化を図る用途が検討されている。このような用途では EDLC はエネルギー密度 (容量) と出力密度 (速度性能) というしばしば相反する物性が求められる 2 つの性能を両立させることが求められる。

これまで EDLC の容量の改善について多くの研究がなされたが、依然活性炭やメソポーラスカーボンといった炭素材料が最有力であり、現在も新しい電極材料の開発はさかんに行われている。このように EDLC では主として材料自体の容量向上を目指した研究がすすめられているが、速度特性を改善し出力密度を向上させれば、セルに必要な集電板面積を減らし、その分電極材料を充てんすることができるため、(材料ではなく)セル全体での容量の向上も期待できる。このような全体システムの観点から本研究計画では材料開発に加えて、電極構造のデザインによって、EDLC の性能向上を図ることに思い至った。

2. 研究の目的

電気二重層キャパシターは、化学反応を伴わないことから大電流の供給が可能であり、電池では実現できない瞬間的な大電流を供給するデバイスとして期待されている。電気二重層キャパシターの性能としては、静電容量と速度性能 (レート特性) を考える必要があるが、従来の研究は容量向上を目指した電極材料の開発に関するものがほとんどであり、速度性能については検討すらされていないことも多い。速度過程の抵抗には電極材料粒子の細孔内物質移動抵抗と電極層内の粒子間物質移動抵抗がある。本研究計画ではこの点に着目し、新規電極材料だけでなく、電極の新規構造も開発して高電流密度を実現するとともに、粒子内外の物質移動抵抗を考慮したモデル構築を行い、必要な性能を発揮するスーパーキャパシター電極の設計に定量的指針を与えることを目的とする。

3. 研究の方法

(1) 電極の作製

活性炭(クラレケミカル YP50F BET 比表面積 1670 m²/g)、カーボンブラック(電気化学工業 165)、PTFE(ダイキン工業 M-12)を 8:1:1 の重量比で混合して 20 MPa で圧縮成型し、直径 13 mm の電極を作製した。電解液には 2 M EMIBF₄/PC 2 ml、セパレーターにはガラス濾紙(ADVANTEC GA100)、セルには二極式セル(宝泉 HS セル)を用いてキャパシターを作製した。キャパシターの性能評価は定電流充放電測定(北斗電工 HJ1001SM8A)によって

行った。放電電流密度を変えて測定を行うことで速度特性を評価した。

(1.1) 円管状孔入り電極の作製

作製した厚さ 1 mm の電極にピンバイスで直径 0.3 mm ~ 1 mm のマクロ孔を図 1 に示すように 1 mm 間隔で電極厚さ方向にもうけた。

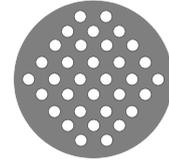


図 1 円管状孔入り電極

(1.2) 多孔質スリット入り電極の作製

厚さ 1 mm の電極と多孔質体(セルロース混合エステル製、孔径 1 μm)を積層し、20 MPa で 10 秒間加圧成型して、図 2 に示すような多孔質スリット入り電極を作製した。各層の厚さは多孔質層 0.01 mm、活性炭層 0.04 mm である。

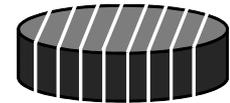


図 2 多孔質スリット入り電極

(2) ダイナミックモデルの構築

アノードとカソードの内部挙動は等しいとし、アノードについてモデリングを行った。活性炭粒子は半径 r_p の球とした。

(2.1) アノードでの電子およびカチオンの挙動

図 3 にアノードでの電子およびカチオンの挙動を示す。放電は電子およびカチオンが電気二重層から遊離することにより生じる。遊離後、電子は電極固体部を

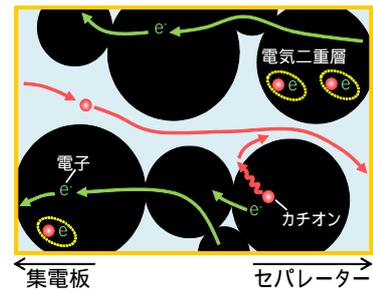


図 3 アノードの内部挙動の概要

経路として集電板方向に輸送される。一方、カチオンは細孔内を経路として粒子外部へと輸送され、その後、粒子間空隙を経路としてセパレーター方向に輸送される。アニオンについては無視する。

(2.2) 速度式および物質収支式

電子およびカチオンの輸送パスとなる電極固体部、電解液の電位はそれぞれ $\phi_s(x, t)$ 、 $\phi_l(r, x, t)$ で表されるとする。電解液の電位は粒子間と細孔内について考えられる。今、粒子表面で電解液の電位降下がないとすると、粒子間電解液の電位は $\phi_l(r_p, x, t)$ で表される。

本研究では、電荷の輸送の推進力は電位勾配のみであるとした。よって、電子により輸送される電荷の流束、すなわち電子電流密度を決定する速度式は、電極固体部の有効電気伝導度 σ^{eff} と電極固体部の電位勾配の積で表

される。カチオンにより輸送される電荷の流速、すなわちイオン電流密度を決定する速度式についても同様であり、細孔内での速度式には細孔内電解液の有効電気伝導度 κ_p^{eff} を、粒子間での速度式には粒子間電解液の有効電気伝導度 κ^{eff} を用いる。有効電気伝導度は電子およびカチオンの輸送抵抗の小ささを表し、電極の各物性値に依存する。

以上のように設定された電位、速度式を基に物質収支式を考える。電子の物質収支式は、電位で記述すると次式で表される。

$$\sigma^{\text{eff}} \frac{\partial^2 \phi_s}{\partial x^2} = 4\pi r_p^2 \rho_p \left(-\kappa_p^{\text{eff}} \frac{\partial \phi_1}{\partial r} \Big|_{r=r_p} \right)$$

電極厚さ方向のカチオンの物質収支式は次式で表される。

$$-\kappa^{\text{eff}} \frac{\partial^2 \phi_1}{\partial x^2} = 4\pi r_p^2 \rho_p \left(-\kappa_p^{\text{eff}} \frac{\partial \phi_1}{\partial r} \Big|_{r=r_p} \right)$$

上式により粒子間のイオン輸送が決定される。また、粒子内部でのカチオンの無次元物質収支式は次式で表される。

$$\frac{\partial(\phi_1^* - \phi_s^*)}{\partial \left(\frac{t}{\tau_p^*} \right)} = \frac{1}{r^{2*}} \frac{\partial}{\partial r^*} \left(r^{2*} \frac{\partial \phi_1^*}{\partial r^*} \right)$$

$$\tau_p^* = \frac{aCr_p^2}{\kappa_p^{\text{eff}}}$$

ここで、 aC は単位粒子体積当たりの静電容量、 τ_p^* は緩和時間であり、細孔内輸送抵抗の大きさを表す。

4. 研究成果

(1) 円管状孔入り電極の結果

円管状孔入り電極の構造を式(1)で定義する拡散深さ D_h を用いて整理する。

$$D_h = 4(\text{炭素材部断面積}) / (\text{孔周辺長}) \quad (1)$$

図4に厚さ1 mm、電流密度60 mA/cm²、締結圧0.13 MPaの条件での拡散深さと静電容量の関係を示す。イオンが電極深部まで拡散しなければならぬ距離を短くすれば、静電容量が向上することがわかる。円管状孔入り電極は機械強度が低い。

そのため、円管状孔をもうけることで性能向上が可能な電極厚さには限界がある。

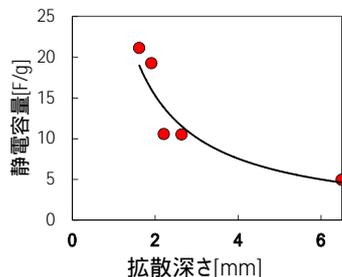


図4 拡散深さと静電容量の関係

(2) 多孔質スリット入り電極の結果

イオンパスをもうけていない通常の電極(標準電極)を含め、各電極の静電容量を図5に示す。スリットをいれた電極も高電流密度時の静電容量が改善している。しかし、低電流密度の条件では体積あたりの容量は標準電極に対して80%と劣っている。これは、電極にイオンパスを加えることによって電極活物質の充填率が下がるためである。

一方、高電流密度の条件では2倍もの容量を持つ。これは速度性能の改善が電極活物質の充填率低下を上回ったからである。

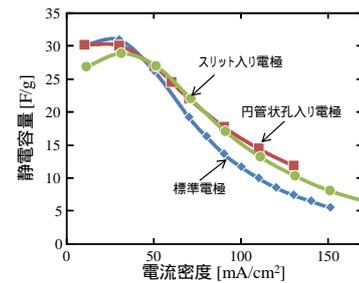


図5 各電極の静電容量

(3) モデルによる解析

電極の特性を表す aC 、 κ_p^{eff} 、 κ^{eff} は、レート特性の実験値と予測値の根平均二乗誤差が最小となるよう求め、各電極の輸送抵抗を定量的に評価した。

(3.1) 電極厚さの影響

図6に粒径6 μm の活性炭YP50Fを用い、厚さを0.25、0.5、1.0 mmと変化した電極のレート特性およびフィッティング結果を示す。図より、電極が厚くなるに従い粒子間輸送抵抗が大きくなるため、レート特性が低下することがわかる。

図7に電極厚さ方向の電位分布の経時変化を示す。図より、厚肉化電極ではセパレーター付近で主に放電が生じていることがわかる。すなわち、放電の局所化によりレート特性が低下すると考えられる。

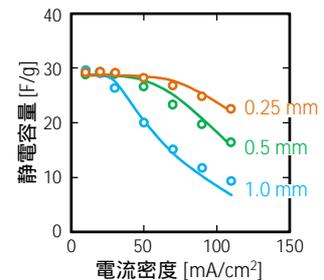


図6 粒径6 μm の場合の電極厚さの影響

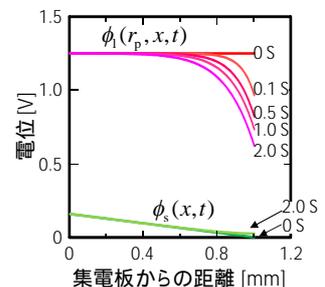


図7 電極厚さ方向の電位分布の経時変化 (L = 1 mm, 電流密度 110 mA/cm²)

(3.2) 粒径の影響

図 8 に粒径 15 μm の YP50F を使用した電極のレート特性およびフィッティング結果を示す。電極厚さは 0.25, 0.5, 1.0 mm である。図より、電極が薄い場合、粒径 6 μm の場合よりも顕著にレート特性が低下することがわかる。すなわち、細孔内輸送抵抗が支配的である厚さでは輸送距離の長い大粒径が不利であることがわかる。フィッティングより得られたパラメーターから求めた τ_p^* より、今回、細孔内輸送抵抗が 1.5 倍になっていると考えられる。一方、電極が厚い場合、粒径による違いは小さい。 κ^{eff} は大きくなり、 τ は小さくなる結果が得られたことから、粒子間輸送抵抗が低減していることがわかる。このことから、粒径が大きくなることで有効な輸送パスが増大し、粒子間輸送抵抗が低減できると考えられる。すなわち、 τ が粒子間輸送抵抗増加の一要因であると考えられる。

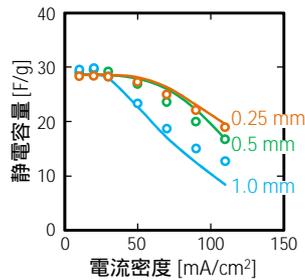


図 8 粒径 15 μm の場合の電極厚さの影響

(3.3) 細孔径分布の影響

図 9 に CNovel を使用した電極のレート特性およびフィッティング結果を示す。電極厚さは 0.5, 1.0 mm である。図より、レート特性の低下が著しく抑制されていることがわかる。これはメソ孔に富んだ活性炭を使用することで細孔内輸送抵抗が低減できるためである。このことは τ_p^* でも確認できた。一方、 κ^{eff} が非常に大きくなっていることもわかった。これは、電極の空隙率が非常に大きいためであると考えられる。よって、空隙率による粒子間輸送抵抗の低減も CNovel を使用した電極のレート特性に大きく寄与していると考えられる。しかし、かさ高い電極となるため、体積当たりの静電容量では不利となる。

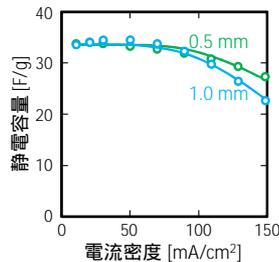


図 9 細孔径分布の影響

(4) 新規電極構造の提案

厚肉化電極のレート特性を改善する場合、セパレーター付近での放電の局所化を緩和するのが効果的であると考えられる。よってセパレーター側に CNovel を、集電板側に粒径 6 μm の YP50F を使用した複合電極によりレート特性を改善しつつ体積当たりの容量を維持できると考えられる。図 10 に YP50F、CNovel、および複合電極のレート特性のシミュレーション結果を示す。

結果を示す。電極の厚さは 1 mm である。また複合電極における CNovel および YP50F の厚さはそれぞれ 0.5 mm である。図より、複合電極の静電容量は、低電流密度で CNovel の 1.4 倍、高電流密度で YP50F の 3.8 倍となることがわかる。このことから、複合電極の有効性が示唆される。

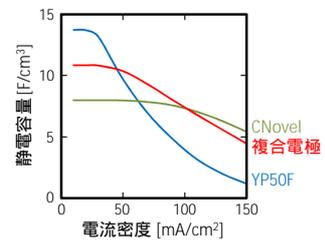


図 10 複合電極のレート特性

(4.1) 新規電極構造の速度性能評価

複合電極を作製し、速度性能評価を行った。活物質が YP50F のみからなる電極を YP、CNovel のみからなる電極を CN と表記し、CNovel 電極層と YP50F 電極層の体積比が 5:5 の電極を C5/Y5 と表記する。また、C5/Y5 電極と同じ電極材・分量で作製した混合電極を、C5+Y5 と表記する。CN、YP、C5/Y5、C5+Y5 の速度性能を図 11 に示す。図 11 に示すとおり、図 10 のシミュレーション結果と同等の結果が得られ、かつ混合電極の方が積層電極より速度性能が良いことがわかった。積層電極では YP50F 層がイオンの移動律速になるのに対し、混合電極は、空隙が均一に存在し、イオンの移動抵抗が低減されるためと推測できる。CNovel、YP50F と混合電極の速度特性を図 12 に示す。図より、混合電極では、CNovel の割合が増加するにつれ、速度性能は向上した。CNovel は、活物質本来の蓄電機能のみならず、イオンの移動チャネルとしても機能を持ち、高電流密度域での静電容量向上に貢献していると考えられる。

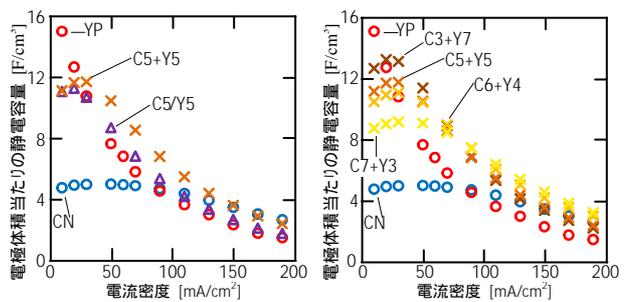


図 11 積層電極と混合電極の静電容量

(5) 結言

電極厚さ方向にイオンパスをもうけることで、速度特性を改善した。また、細孔内および粒子間のイオン輸送を考慮したダイナミックモデルを構築し、モデルによる解析から各物性値のレート特性への影響を検討した。得られた知見に基づき新規電極構造を提案した。電極活物質を混合することによりイオンの移動抵抗を低減することができ、高電流密度域での静電容量を向上させることに成功した。今

後は混合電極に必要な電流密度に応じて適切なイオンパスをもうけることで、電極構造を最適化でき、有効セル容量を向上させられることが期待できる。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計 0 件)

〔学会発表〕(計 6 件)

守本 玲・大倉 才昇・井上 元・河瀬 元明、電極構造と電気二重層キャパシタの充放電特性の関係、第 14 回化学工学会学生発表会、平成 24 年 3 月 3 日、山口県・宇部工業高等専門学校

Toshinori Okura, Akira Morimoto, Gen Inoue, Motoaki Kawase, Structured EDLC Electrode with Through-Plane Microchannel, Pacific Rim Meeting on Electrochemical and Solid-State Science (PRiME) 2012, 222nd Meeting of ECS, October 10th, 2012, Hawaii Convention Center and the Hilton Hawaiian Village

大倉 才昇・守本 玲・井上 元・河瀬 元明、マイクロチャネルを形成した構造化電極による電気二重層キャパシタの速度性能向上、化学工学会 第 44 回秋季大会、2012 年 09 月 21 日、東北大学

Ayaka Hirata, Toshinori Okura, Akira Morimoto, Gen Inoue, Motoaki Kawase, A New Structured Electrode with Through-Plane Microchannel for Improving Rate Performance of Electrical Double Layer Capacitor, the 9th World Congress of Chemical Engineering (WCCE9), the 15th Asian Pacific Confederation of Chemical Engineering Congress (APCChE2013), August 22nd, 2013, Coex, Seoul, Korea

宮崎崇・平田彩香・河瀬元明、電極構造が電気二重層キャパシタの速度性能に与える影響、2014 年 3 月 1 日、大阪府立大学

河瀬 元明・平田 彩香・井上 元、マクロ空隙を設けた電極構造による電気二重層キャパシタの速度性能改善、化学工学会第 79 年会、2014 年 3 月 20 日、岐阜大学

〔図書〕(計 0 件)

〔産業財産権〕

出願状況(計 0 件)

名称：
発明者：
権利者：
種類：
番号：
出願年月日：
国内外の別：

取得状況(計 0 件)

名称：
発明者：
権利者：
種類：
番号：
取得年月日：
国内外の別：

〔その他〕
ホームページ等

6. 研究組織

(1) 研究代表者

河瀬 元明 (KAWASE, Motoaki)
京都大学工学研究科・教授
研究者番号：60231271

(2) 研究分担者

井上 元 (INOUE, Gen)
京都大学工学研究科・助教
研究者番号：40336003

(3) 連携研究者

()

研究者番号：