

## 科学研究費助成事業 研究成果報告書

平成 26 年 6 月 14 日現在

機関番号：32689

研究種目：基盤研究(C)

研究期間：2011～2013

課題番号：23500069

研究課題名(和文) IPを用いたタイルベースNoCのシステムの構成と設計技術に関する研究

研究課題名(英文) A Study of a Tile-based NoC System using IPs and its Design

研究代表者

渡邊 孝博 (WATANABE, TAKAHIRO)

早稲田大学・理工学術院・教授

研究者番号：70230969

交付決定額(研究期間全体)：(直接経費) 4,000,000円、(間接経費) 1,200,000円

研究成果の概要(和文)：大規模LSIシステムの実現方式であるNoC(Network on Chip)としてタイルベースアーキテクチャを採用し、設計効率向上のために、各タイルのコア部をIP再利用設計することを提案した。プロセッサコアの設計には、命令レベルでカスタマイズ可能なプロセッサIP作成手法と設計環境を構築した。2次元および3次元NoCについて、特定用途向きのアーキテクチャと、高スループットで低レイテンシおよび低消費電力のルーティングを研究し、高性能NoC構成の手法を明らかにした。さらに、NoCやSoC(System on Chip)を搭載したボードレベルの課題である配線遅延問題を解決のための配線手法を提案した。

研究成果の概要(英文)：NoC(Network on Chip) is one of a promising solution to implement the ultra large scale system with high performance on a chip. For improving the design efficiency of NoC, an IP-reused design method was proposed to implement a core in each tile, where design techniques for instruction-level customizable processor IP were developed and its design environment was constructed. Application-specific NoCs of Two- or Three-dimension were also discussed, and NoC architectures for high throughput, low latency and low power were explored and routing algorithms with high performance or fault-tolerancy were developed. Besides, to solve a signal-delay problem of the board-level system composed of NoCs and SoCs(System on Chip), several routing algorithm were proposed and evaluated.

研究分野：総合領域

科研費の分科・細目：情報学・ 計算機システム・ネットワーク

キーワード：NoC SoC IP アーキテクチャ 低電力 ルーティング PCB 自動配線アルゴリズム

### 1. 研究開始当初の背景

VLSI システムは非常に複雑で大規模化している一方、高性能化かつ多機能化、省電力化および高信頼性の要求がますます大きくなっており、設計・検証の技術を含めて大規模システムの実現手法にブレークスルーが求められている。大規模システム実現の新たな形態として、NoC(Network on Chip)が提案され、大手のμP企業からも将来の応用市場の予測が発表されるなど、その応用や発展に期待が集まっていた。しかし、具体的なアーキテクチャや設計方法についての研究は不十分であり、広範でかつ深い研究開発が必要となっていた。

### 2. 研究の目的

本研究では基本的なシステム構成としてタイルベースのNoCに着目して、

- (1) NoC 構成要素としてカスタマイズ可能な IP コアを利用する手法の開発、
- (2) 集積化されたタイル群と NoC ルーティング戦略の組み合わせでロバストなシステムを構築する技術、
- (3) ニューラルネットワークをキラーアプリケーションの一つとして取り上げ、具体的設計例を示すこと

を当初の目的とした。

なお、上記の当初目的の研究を進める途上で、世の中の技術動向および近年の高性能かつ低電力システムの要求に対処するために、

- (4) TSV による 3 次元 NoC のアーキテクチャ
- (5) 低電力かつ低レイテンシの NoC ルーティング、および耐故障ルーティング
- (6) 低電力 PE (Processor Element) のためのキャッシュ構成
- (7) NoC などの高性能チップを搭載したボードシステム上の信号遅延問題の解決
- (8) 関連する設計環境の効率向上の対策を追加して研究を行った。

### 3. 研究の方法

カスタマイズ可能 IP については、研究開発を先行していた「命令レベルのカスタマイズ可能プロセッサ IP と設計環境」の改良を行い、NoC 構成手法に組み込むことを試行した。NoC ルーティングとニューラルネットワークへのアプリケーションは同時並行して進めることで、アプリケーションに特化した NoC アーキテクチャと最適なルーティング戦略の選択を行う。評価は公開されている NoC シミュレータである Noxim および Niargam を用いた。

研究開発作業に際しては、項目ごとに RA および大学院生によるチームを構成し、最盛期で RA2 名、DC 学生 7 名、MC 学生 8 名で分担した。

### 4. 研究成果

命令レベルのカスタマイズ可能プロセッサ IP の設計環境とシステムへの再利用環境

を構築し、再利用設計による作業効率向上とカスタマイズによる高機能化の達成を確認した。NoC 応用としてのニューラルネットワークの実装では、ベンチマークの結果、アーキテクチャ選択により NoC 以外のハードウェア実装方式に比べて高性能化が達成できた。また、大規模なニューラルネットワークも layer-multiplexing 手法で限定された NoC で実現できることを示し、規模の問題に柔軟に対応できることが明らかにされた。3 次元 NoC では、TSV の歩留り問題に対処し、かつ、低レイテンシで低電力のルーティングを確立するアーキテクチャを明らかにした。特に、消費電力では従来比 50% の削減が可能になり、特定用途向け NoC のアーキテクチャ設計手法の指針を与えるものである。その他、低電力 PE のキャッシュ構成、ボードシステム上の信号遅延問題、設計環境の効率向上の各項目についてはそれぞれ試作を行い、一部は学会論文等で成果発表を行った。

### 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 10 件)

- (1) Xin Jiang, Lian Zeng, Takahiro Watanabe, "A Sophisticated Routing Algorithm in 3D NoC with Fixed TSVs for Low Energy and Latency," IPSJ Trans. SLDM vol.13 (to appear) [査読有]
- (2) 亀井智紀 渡邊孝博 川北真裕: LVS の出力情報を活用した VLSI 電源配線幅の高速検証システム, 電子情報通信学会論文誌 D, Vol. J96-D, No. 5, pp. 1330-1337, 2013 年 5 月 [査読有]
- (3) Xin Jiang, Ran Zhang and Takahiro Watanabe, "An Efficient Algorithm for 3D NoC Architecture Optimization," IPSJ Trans. System LSI Design Methodology (情報処理学会) 6, 34-41, 2013 2 月 [査読有]
- (4) Ce Li, Yiping Dong and Takahiro Watanabe, "Region Oriented Routing FPGA Architecture for Dynamic Power Gating," IEICE Trans. Fundamentals DOI 10.1587/transfun.E95.A vol.E95-A 12, 2199-2207 [査読有]
- (5) C. Li, Y. Dong and T. Watanabe, "Region-oriented Placement Algorithm for Coarse-grained Power-gating FPGA Architecture," IEICE Trans Information and Systems, E95-D, 2, 314-323, 2012 年 2 月 [査読有]
- (6) C. Li, Y.P. Dong and T. Watanabe, "Low Power Placement and Routing for the Coarse-Grained Power Gating FPGA Architecture," IEICE Trans. Fundamentals of Electronics

- Communications and Computer Sciences,  
E94-A、12、2519-2527 [査読有]
- (7) Jiongyao Ye, Yu Wan and Takahiro Watanabe, "A New Recovery Mechanism in Superscalar Microprocessors by Recovering Critical Misprediction," IEICE Trans. Fundamentals of Electronics, Communications and Computer Sciences, E94-A、12、2639-2648、2011年12月 [査読有]
- (8) Y.P.Dong, C.Li, Z.Lin and Takahiro Watanabe, "A Hybrid Layer-Multiplexing and Pipeline Architecture for Efficient FPGA-based Multilayer Neural Network," IEICE NOLTA E94-N、10、522-532 2011年10月 [査読有]
- (9) Jiongyao Ye, Yu Wan, Takahiro Watanabe, "An Adaptive Various-width Data Cache for Low Power Design," IEICE E94-D 1539-1546 2011年8月 [査読有]
- (10) Jiongyao Ye, Yingtao Hu, Takahiro Watanabe, "Analysis Before Starting an Access : A New Power-Efficient Instruction Fetch Mechanism," IEICE E94-D 7,1398-1408 2011年7月 [査読有]

[学会発表](計13件)

- (1) Yang Tian, Ran Zhang, Takahiro Watanabe, "Efficient Delay-matching Bus Routing by using Multi-layers," Int.Conf.on Electronics Packaging, Apr.2014 (Toyama). [査読有]
- (2) Huatao ZHAO, Sijie YIN, Yuxin Sun, Takahiro WATANABE, "Flexible L1 Cache Optimization for a Low Power Embedded System," 2013 Int.Conf. Mechatronic Sciences, Electric Engineering and Computer, Dec.2013. (Niiata) [査読有]
- (3) Lian Zeng, Xin Jiang, Takahiro Watanabe, "Adaptive Router with Predictor using Congestion Degree for 3D Network-on-Chip," Proc. 2013 Int. Soc Design Conf. (ISOCC), November, 2013 (Busan) [査読有]
- (4) Ran Zhang, Xue Wei, Takahiro Watanabe, "A Sorting-Based IO Connection Assignment for Flip-Chip Designs," the 10th Int.Conf.ASIC (ASICON 2013), pp.440-443, October 2013. (Shenzhen) [査読有]
- (5) Huatao ZHAO, Jiongyao YE, Yuxin Sun, Takahiro WATANABE, "Pseudo Dual Path Processing to Reduce the Branch Misprediction Penalty in Embedded Processors," The 10th Int. Conf. on ASIC, Oct.2013. (Shenzhen) [査読有]

- (6) Ran Zhang, Takahiro Watanabe, "A Parallel Routing Method for Fixed Pins using Virtual Boundary," Proc. IEEE 2013 TENCON-Spring, pp.99-103, April 2013. (Sydney) [査読有]
- (7) Xin Jiang, Ran Zhang and Takahiro Watanabe, "An Efficient Design Algorithm for Exploring Flexible Topologies in Custom Adaptive 3D NoCs for High Performance and Low Power Proc. 2011 IEEE 9th Int.Conf.on ASIC (ASICON 2011) 2011, 11, 533-538 (Beijin) [査読有]
- (8) C.Li, Y.P.Dong and T. Watanabe, "New Power-aware Placement for Region based FPGA Architecture combined with Dynamic Power Gating by PCHM Proc. ISLPED'11 (Int'l Symp. Low Power Electronics Design) 2011, 8 223-228 (Fukuoka) [査読有]
- (9) C. Li, Y.P. Dong, Takahiro Watanabe, "New Power Efficient FPGA Design Combining with Region-Constrained Placement and Multiple Power Domains Proc. IEEE NEWCAS '11 (IEEE 9th Int. Conf. New Circuits and Systems) 69-72 2011, 6 (Paris) [査読有]
- (10) Y.Dong, Y.Li and Takahiro Watanabe, "A High Performance Digital Neural Processor Design by Network on Chip Architecture," Proc.VLSI-DAT'11, pp.243-246, 2011,5, (Hsinchu) [査読有]

[図書](計0件)

[産業財産権]  
出願状況(計0件)

名称：  
発明者：  
権利者：  
種類：  
番号：  
出願年月日：  
国内外の別：

取得状況(計0件)

名称：  
発明者：  
権利者：  
種類：  
番号：  
取得年月日：  
国内外の別：

〔その他〕

ホームページ

[http://www.f.waseda.jp/watt/homepage/index\\_en.html](http://www.f.waseda.jp/watt/homepage/index_en.html)

## 6. 研究組織

### (1) 研究代表者

渡邊 孝博 (WATANABE TAKAHIRO)

早稲田大学・情報生産システム研究科・  
センター・教授

研究者番号：70230969

### (2) 研究分担者

( )

研究者番号：

### (3) 連携研究者

( )

研究者番号：