

科学研究費助成事業 研究成果報告書

平成 26 年 5 月 28 日現在

機関番号：11301

研究種目：若手研究(B)

研究期間：2011～2013

課題番号：23700050

研究課題名(和文) 不揮発記憶素子を用いた細粒度パイプライン演算システムの構築

研究課題名(英文) Design of Fine-Grained Pipelined Systems for Nonvolatile Logic Applications

研究代表者

松永 翔雲 (MATSUNAGA, SHOUN)

東北大学・省エネルギー・スピントロニクス集積化システムセンター・研究支援者

研究者番号：80551564

交付決定額(研究期間全体)：(直接経費) 3,400,000円、(間接経費) 1,020,000円

研究成果の概要(和文)：本研究課題では、「More than Moore」に代表されるような新デバイスの採用および回路機能の多様化による集積回路のパフォーマンス向上を想定し、強誘電体や強磁性体などの不揮発記憶素子の特長を活用し、ゲートレベルの論理演算機能と不揮発記憶機能をコンパクトに一体化し、低電力性と高速性を両立できる不揮発性の細粒度パイプライン演算システムを構築した。応用例として、動画像圧縮等に利用する動きベクトル検出用絶対差分演算回路、及び並列データ検出用連想メモリを取り上げ、パワーゲーティング機能を組み込んだ不揮発性の細粒度パイプライン演算システムにより、大幅なパフォーマンス向上を実現した。

研究成果の概要(英文)：In this research, fine-grained pipelined systems for nonvolatile logic applications have been proposed and designed with enhancing performances of the nonvolatile integrated logic circuits by the multi-functionality based on the nonvolatile memories such as ferroelectric and ferromagnetic devices. As examples of the nonvolatile logic applications, sum of absolute differences (SAD) circuits for motion-vector estimation in video data encoding and content-addressable memories (CAMs) for highly-parallel information retrieval have demonstrated with their high-speed and low-power consumptions based on the fine-grained pipelining and power gating techniques.

研究分野：総合領域

科研費の分科・細目：情報学 計算機システム・ネットワーク

キーワード：並列処理 細粒度パイプライン 細粒度パワーゲーティング 非同期 不揮発 SAD CAM

1. 研究開始当初の背景

1970年代に初めてマイクロプロセッサが登場して以来、「Mooreの法則」に基づいた回路のスケールアップとともにその動作周波数向上による高性能化が推進されてきた。しかし、数十億もの素子を集積する現在のVLSIチップでは、素子間の配線が占める面積および消費電力の増大、設計プロセスの極限的微小化にともなう物理的限界が問題となり、従来までのスケールアップ則に沿った回路の高性能化には限界が見えつつある。特に、VLSIチップの消費電力に関しては、回路の微小化・高集積化とともに年々動的消費電力だけでなく、リーク電流に起因する静的消費電力の増加が著しい。近年、High-Kゲート酸化膜などを用いてゲートリーク電流を抑えてはいるものの、増加し続けている静的消費電力を本質的に解決するには至っていない。このような消費電力の増加はチップ温度の上昇を招いてしまい、正常動作を困難にさせている。このことに起因して、速度と消費電力のトレードオフ関係を駆使して低周波動作のプロセッサをマルチコア化して消費電力を抑えつつ性能向上を図る動きが近年見られているが、性能向上のスピードに鈍りが表れている。VLSIプロセッサの性能向上のためには、マルチコア化だけでなく、低消費電力性を維持しながら動作周波数の向上も両立させることが重要となる。動作周波数向上のためには、プロセッサ内のパイプライン構造を細粒度に実現する必要があるが、現状のシリコンデバイスによるCMOS回路実現の場合は、各パイプラインステージ間に挿入されるラッチ(フリップフロップ)に伴う回路オーバーヘッド及びこれに伴う消費電力増大により現実的な手段とは言えず、高性能なVLSIを実現していくことはますます困難になっていくことが予想される。

2. 研究の目的

VLSIプロセッサの性能向上には、マルチコア化並びに各コアの動作周波数の向上が必要不可欠である。動作周波数の向上のためには、細粒度パイプライン構造を実現する必要があるが、従来のシリコンデバイスのみによる実現の場合は各パイプラインステージ間に挿入されるラッチ(フリップフロップ)に伴う回路オーバーヘッド及びこれに伴う消費電力増大により現実的な手段とはならなかった。本研究課題では、「More than Moore」に代表されるような新デバイスの採用および回路機能の多様化によるパフォーマンスの向上に着目し、強誘電体キャパシタや強磁性体であるMTJ(Magnetic Tunnel Junction)素子などの不揮発記憶素子の持つヒステリシス特性を活用して、ゲートレベルの論理演算機能と不揮発記憶機能をデバ

イレベルでコンパクトに一体化することで、回路オーバーヘッドを抑制し、低消費電力性と高速性を両立できる細粒度不揮発パイプライン演算システムを実現することを研究の目的とする。

3. 研究の方法

VLSIプロセッサのコンパクト性、低消費電力性、及び高速性を実現するため、以下に示す項目に基づき研究を実施する。

(1) 不揮発記憶素子を用いた不揮発機能ゲートの検討

強誘電体キャパシタおよびMTJ素子は不揮発記憶機能に加え、素子自身のヒステリシス特性に基づく論理演算機能を有する。これらの素子の二つの端子を入力端子と考えると入力端子間の電位差に基づき書き込まれるデータが決定される。この書き込まれるデータは記憶の初期状態と2入力間のAND演算あるいはOR演算の結果とみなすことができ、基本論理ゲートとラッチ回路の双方の機能を兼ね備えている(演算・書込み)と考えることができる。したがって、少ない素子数で細粒度パイプライン構造を実現することが可能となる。なお、これらの不揮発記憶素子はCMOS層上部への3次元積層が可能であるため、回路面積をさらに抑えつつ、不揮発記憶機能と演算機能のコンパクトな一体化が可能である。

このような不揮発記憶素子に基づく基本論理演算機能とラッチ機能の一体化はパイプライン回路の不揮発化とコンパクト化を可能にする一方で、演算サイクル毎に不揮発記憶素子への書込み動作を伴うため記憶のための動的消費電力の増大を招く可能性が考えられる。そのため、データの更新頻度が高いラッチ回路は従来のCMOS回路で構成し、論理演算における更新頻度の低いデータを格納するために不揮発記憶素子を活用する方法についても検討を行う。

(2) 回路シミュレーションのための不揮発記憶素子のデバイスモデル構築

不揮発機能ゲートの回路動作をシミュレーションにより評価する場合、不揮発記憶素子に基づくヒステリシス特性を示すモデルが必要不可欠である。通常、ヒステリシス特性を示すモデルを構築する場合、回路シミュレータ内に用意されている多数の理想素子を用いて等価回路を構成する必要があり、膨大なシミュレーション時間を要する。そのため、ヒステリシス特性を示すモデルはできるだけ、高精度を保ちつつ簡単な構成で実現することが重要となる。本研究では、このような観点に基づき、不揮発機能ゲートの回路評価のため、強誘電体キャパシタの持つ可変容量ヒステリシスモデル、ならびにMTJ素子

の持つ可変抵抗ヒステリシスモデルを構築する。

(3) 不揮発機能ゲートを用いた演算回路におけるパワーゲーティング手法の検討

不揮発記憶機能を最大限に活かして消費電力を抑えつつ、同等の演算動作を実現するため、不揮発機能ゲートを用いた演算回路におけるパワーゲーティング手法を検討する。特に、パワーゲーティングに伴う対象回路への電源遮断及び復帰動作の高速化のため、小さな回路ブロック毎に電源制御を行う細粒度パワーゲーティングについて検討を行う。

(4) 基本回路 TEG の試作・評価

本研究代表者が別に所属する最先端研究開発支援プログラム(内閣府)「省エネルギー・スピントロニクス論理集積回路の研究開発」におけるチップ試作環境を利用し、一部のチップエリアに本研究課題で考案した不揮発機能ゲートの基本回路 TEG を試作、及び動作検証し、その有効性を評価する。

(5) 不揮発パイプライン演算回路システムに基づく応用例の検討・評価

不揮発機能ゲートを用いてパワーゲーティング機能を有する不揮発パイプライン演算システムを構築した場合、コンパクト性・低消費電力性・高速性を達成できる応用例を検討し、その性能を評価する。

4. 研究成果

不揮発記憶素子を用いた細粒度パイプライン演算システムを構築するための基本ゲートを考案した。具体的には、不揮発記憶機能を有する強誘電体キャパシタを用いて、記憶機能だけでなく、素子そのもののスイッチング特性を活用して論理演算機能を実現することで、基本論理ゲートと不揮発ラッチ機能がコンパクトに一体化された機能ゲートを実現した。このことにより、コンパクトかつ待機電力フリーな細粒度パイプライン演算システムが実現できることを明らかにした。また、このように演算サイクル毎に不揮発記憶素子への書込み動作を伴うことで記憶のための動的消費電力が増大しないように、データの更新頻度が高いラッチ回路は従来の CMOS 回路で構成し、論理演算において使用される更新頻度の低いデータを格納するために MTJ 素子を例として用いて、不揮発記憶機能・論理演算機能・ラッチ機能を一体化した不揮発機能ゲートを考案した。これらの不揮発機能ゲートを用いた細粒度パイプライン演算システムの消費電力を効率的に低減させるため、機能ゲート毎の小さな回路レベルでパワーゲーティングを行う細粒度パワーゲーティング機能を搭載した。このこ

とはパワーゲーティングに伴う対象回路への電源遮断及び復帰動作の高速化も可能にした。さらに、これらの不揮発機能ゲートの遅延・電力・面積の低減、並びに素子特性バラツキへの耐性向上のための最適化も行った。なお、考案した不揮発機能ゲートは、強誘電体キャパシタの可変容量ヒステリシス特性、並びに MTJ 素子の持つ可変抵抗ヒステリシス特性をモデル化することで、電子回路シミュレータ (SPICE) を用いてそれらの基本動作を確認できた。

本研究課題では、不揮発機能ゲートに基づくパイプライン演算システムのための応用例として二つの応用例を検討し、それらの性能を評価した。

一つ目の応用例として、動画像圧縮などに利用される動きベクトル検索ハードウェアの基本演算ブロックである絶対差分和 (SAD: Sum of Absolute Difference) 回路を取り上げた。

MTJ 素子を用いた更新頻度の低い不揮発記憶機能とパイプラインラッチ機能が一体化された不揮発全加算器を設計し、細粒度パイプライン構成により SAD 回路を実現した。動きベクトル検索回路は SAD 回路が 2 次元的にアレイ配置された構成で実現され、隣接 SAD 回路間で絶対差分演算の結果を累積しながら最終的な絶対差分和を出力するアーキテクチャにより構成した。累積絶対差分和結果はパイプラインステージと共に増加するが、予め設定しておいた一定のしきい値と比較することで最終結果に影響しない方法で演算を途中で停止させることができる。この仕組みにパワーゲーティングを合わせて適用し、細粒度パイプライン構造における細粒度パワーゲーティングを実現した。また、本提案の SAD 回路のテストチップを実際に試作し、その基本動作及び提案細粒度パイプライン・パワーゲーティング・システムの有効性を実証した。本成果に関する指導学生を筆頭にした論文は、集積回路分野において世界で最も権威のある国際学会 (IEEE International Solid-State Circuits Conference) の Student Research Preview (SRP) に採択された。

二つ目の応用例として、並列検索機能を持つ連想メモリ (CAM: Content-Addressable Memory) を取り上げた。

CAM は入力された検索キーワードと予め CAM 内に格納された多数の記憶ワードとの一致・不一致をワード並列で高速に検索できるハードウェアであり、検索エンジンや様々なパターンマッチング処理に利用されている。

CAM においては各記憶ワードを格納するワード回路が一次的に並列配置され、各ワード回路においては 1 ビットの記憶機能と一致・不一致検索のための論理演算機能を持つ CAM セルが一次的に並列配置された構造になっている。結果として、CAM においては CAM セルが 2 次元的にアレイ配置された構造とな

っている。CAM での検索は、すべての CAM セルが活性化するため、高速な検索処理の反面、消費電力が高いことが一般的な課題となっている。CAM の動的消費電力を抑えるため、各ワード回路を複数のセグメントに分割し、それらをパイプライン化する手法が知られている。各ワード回路を複数のセグメントに分割して先頭のセグメントから順番に検索を行うことで、不一致を検出した段階で後続のセグメントの動作を停止させることで、検索に伴う動的消費電力を大幅に低減可能となる。しかしながら、大容量の CAM では個々の CAM セルのリーク電流が累積されるため、CAM セルの不揮発化とパワーゲーティングを適用することで静的消費電力を抑制することが重要となる。不揮発 CAM セルは更新頻度の低いデータを格納すると同時に一致・不一致検索のための論理演算機能を持つから前述の不揮発機能ゲートと考えることができ、不揮発機能ゲート（不揮発 CAM セル）に基づくパイプライン化されたワード回路において効率的にパワーゲーティングを実現することが重要である。

まずは、揮発性の CAM を取り上げ、海外（カナダ）の大学と共同で、従来のパイプライン型 CAM に対して更なる高速化・低消費電力化を可能にするアーキテクチャを考案した。パイプラインフリップフロップにより分割された各セグメントをすべてのワード回路において共通に動作させる従来方式に対して、ワード回路毎に独立して動作させることで、CAM アレイにおける無駄な動作を排除し、高速化と低消費電力化を実現した。具体的には、検索処理途中で後段パイプラインセグメントでの演算が不要と判明し次第、次の検索キーワード入力に対して前倒して検索処理を行うことで、高速性と低消費電力性を両立できる CAM を実現した。また、クロック信号を用いた同期式パイプライン構成だけでなく、クロック信号を用いない非同期式パイプライン構成にも展開し、CAM アレイ全体へのクロック供給を排除することで更なる高速化と低消費電力化を実現した。本成果の一部は、非同同期回路・システムに関する世界でも著名な国際学会（IEEE International Symposium on Asynchronous Circuits and Systems）に二度も採択された。

次に、不揮発性の MTJ 素子を用いた CAM を取り上げた。MTJ 素子は MOS トランジスタ上部に 3 次元積層できるため、CAM の基本コンポーネントであるセル回路をコンパクトに構成できた。また、不揮発記憶機能と論理演算機能を一体化してセル回路を構成できるため、素子数低減により更なるコンパクト化が可能となった。加えて、MTJ 素子は宇宙線によるソフトエラーに対して高い耐性があることが知られている。このような特長を有する MTJ 素子ベース CAM において、CMOS 回路部分に起因して MTJ 素子での予期しないデータ反転（ソフトエラー）が発生しないように、

MTJ 素子レベルの多重化あるいはトランジスタを含めた回路レベルの多重化による新規セル回路を考案した。ソフトエラーだけでなく、デバイス特性ばらつきによるエラー対策として MTJ 素子の多重化による新規セル回路も考案した。このような MTJ 素子ベース不揮発 CAM に細粒度パイプラインとパワーゲーティングを適用して、低消費電力化、高速化、コンパクト化に加え、高信頼化を実現した。

本研究では、検索処理に特化した CAM を取り上げたが、セル回路の演算機能を任意に設定できる不揮発機能ゲートで構成することで、様々な演算処理を可能にする高性能なメモリベースコンピューティング LSI 実現への道を拓くことが期待できる。

5. 主な発表論文等

（研究代表者、研究分担者及び連携研究者には下線）

〔雑誌論文〕（計 2 件）

Naoya Onizawa, Shoun Matsunaga, Vincent C. Gaudet, Warren J. Gross, and Takahiro Hanyu, "High-Throughput Low-Energy Self-Timed CAM Based on Reordered Overlapped Search Mechanism," IEEE Transactions on Circuits and Systems I, vol. 61, pp. 865-876, 2014.

査読有, DOI: 10.1109/TCSI.2013.2283997

Naoya Onizawa, Shoun Matsunaga, Vincent C. Gaudet, Warren J. Gross, and Takahiro Hanyu, "High-throughput CAM based on a synchronous overlapped search scheme," IEICE Electronics Express, vol. 10, pp. 20130148-1~20130148-9, 2013.

査読有, DOI: 10.1587/elex.10.20130148

〔学会発表〕（計 10 件）

Naoya Onizawa, Shoun Matsunaga, and Takahiro Hanyu, "Design of a Soft-Error Tolerant 9-Transistor/6-Magnetic-Tunnel-Junction Hybrid Cell Based Nonvolatile TCAM," IEEE International NEWCAS Conference, 2014 年 6 月 24 日, カナダ。

Naoya Onizawa, Shoun Matsunaga, Noboru Sakimura, Ryusuke Nebashi, Tadahiko Sugibayashi, and Takahiro Hanyu, "Soft-Delay-Error Evaluation in Content-Addressable Memory," IEEE International Symposium on Multiple-Valued Logic, 2014 年 5 月 21 日, ドイツ。

Naoya Onizawa, Shoun Matsunaga, and Takahiro Hanyu, "A Compact Soft-Error

Tolerant Asynchronous TCAM Based on a Transistor/Magnetic-Tunnel-Junction Hybrid Dual-Rail Word Structure,” IEEE International Symposium on Asynchronous Circuits and Systems, 2014年5月12日, ドイツ. Best Paper Award 受賞.

松永翔雲, 望月明, 羽生貴弘, “ばらつき耐性を有するコンパクト・低電力不揮発 TCAM の構成,” 電子情報通信学会総合大会, 2014年3月20日, 新潟.

Naoya Onizawa, Shoun Matsunaga, Vincent C. Gaudet, Warren J. Gross, and Takahiro Hanyu, “Probabilistic Search Schemes for High-Speed Low-Power Content-Addressable Memories,” International Conference on Analog VLSI Circuits, 2013年10月18日, カナダ.

Magdalena Sihotang, Shoun Matsunaga, Noboru Sakimura, Ryusuke Nebashi, Yukihide Tsuji, Ayuka Morioka, Tadahiko Sugibayashi, Sadahiko Miura, Hiroaki Honjo, Keizo Kinoshita, Shoji Ikeda, Hideo Sato, Syunsuke Fukami, Masanori Natsui, Tetsuo Endoh, Hideo Ohno, and Takahiro Hanyu, “Design of a No-Standby Energy Pipelined LSI Processor Using MTJ-Based Nonvolatile Logic-in-Memory Architecture,” IEEE International Solid-State Circuits Conference (Student Research Preview), 2013年2月17日, アメリカ.

Magdalena Sihotang, Shoun Matsunaga, and Takahiro Hanyu, “Fine-Grained Power-Gating Scheme of a Nonvolatile Logic-in-Memory Circuit for Low-Power Motion-Vector Extraction,” IEEE NEWCAS Conference, 2012年6月20日, カナダ.

Naoya Onizawa, Shoun Matsunaga, Vincent C. Gaudet, and Takahiro Hanyu, “High-Throughput Low-Energy Content-Addressable Memory Based on Self-Timed Overlapped Search Mechanism,” IEEE International Symposium on Asynchronous Circuits and Systems, 2012年5月7日, デンマーク.

松永 翔雲, 羽生 貴弘, “不揮発論理ゲートに基づく細粒度パイプライン回路の構成,” 電子情報通信学会総合大会, 2012年3月20日, 岡山.

マグダレナ シホタン, 松永 翔雲, 羽生 貴弘, “MTJ/MOS ハイブリッド構造に基づく待機電力フリー不揮発 SAD 回路の構成と評価,” 多値論理とその応用研究会, 2012年1月8日, 宮崎.

〔図書〕(計0件)

〔産業財産権〕
出願状況(計3件)

名称: 不揮発性連想メモリセル
発明者: 羽生貴弘, 松永翔雲, 望月明,
遠藤哲郎, 大野英男
権利者: 東北大学
種類: 特許
番号: 特願 2014-062766
出願年月日: 2014年3月25日
国内外の別: 国内

名称: 半導体記憶装置及びその駆動方法
発明者: 羽生貴弘, 松永翔雲, 鬼沢直哉,
ヴィ. ガウデット
権利者: 東北大学
種類: 特許
番号: PCT/JP2013/62791
出願年月日: 2013年5月3日
国内外の別: 国外

名称: 半導体記憶装置及びその駆動方法
発明者: 羽生貴弘, 松永翔雲, 鬼沢直哉,
ヴィ. ガウデット
権利者: 東北大学
種類: 特許
番号: 特願 2012-105558
出願年月日: 2012年5月6日
国内外の別: 国内

取得状況(計0件)

〔その他〕
ホームページ等

6. 研究組織

(1) 研究代表者

松永 翔雲 (MATSUNAGA, SHOUN)
東北大学・省エネルギー・スピントロニクス集積化システムセンター・研究支援者
研究者番号: 80551564