

科学研究費助成事業 研究成果報告書

平成 27 年 5 月 15 日現在

機関番号：82626

研究種目：基盤研究(A)

研究期間：2012～2014

課題番号：24244062

研究課題名(和文) 静電キャリア濃度制御で切り開く新物性探索とモットロニクス

研究課題名(英文) Mottronics and new physical phenomena explored by electrostatic carrier density control.

研究代表者

井上 公 (Inoue, Isao)

独立行政法人産業技術総合研究所・電子光技術部門強相関エレクトロニクス研究グループ・主任研究員

研究者番号：00356502

交付決定額(研究期間全体)：(直接経費) 28,100,000円

研究成果の概要(和文)：HfO₂と6nmのバリレンとの積層絶縁膜の作製方法を開発しSrTiO₃単結晶上にチャネル長2μmのFETを作製した。サブスレショルド・スイングは170mV/dec以下、易動度は10cm²/Vsという非常に良いチャネルが形成できた。ホール効果より1e¹⁴/cm²ものキャリアが誘起されることが判明。ゲート絶縁膜の静電容量から予想される値の10倍である。このとき積層ゲート絶縁膜の静電容量は変化していない。SrTiO₃表面で擬似モット転移が起き「負のキャリア圧縮度」つまり「負の静電容量」が生じたからだと考えられる。バンド絶縁体であるSrTiO₃上で真のモットFETを動作させることに成功した。

研究成果の概要(英文)：A field effect transistor (FET) with a single-crystalline SrTiO₃ (STO) channel of 2-20 μm length and with a HfO₂/Parylene-C double-layer gate insulator was developed in this research. Both the subthreshold swing (170mV/dec) and the carrier mobility (10cm²/Vs) at room temperature corroborate that the almost defect-free high-quality channel was created on STO. This is because the extremely inert Parylene-C is able to prevent the STO surface from deterioration, even though the thickness of Parylene-C is only 6nm. The sheet carrier density of the channel estimated by Hall effect measurement was 1e¹⁴/cm²; ten times as large as the value expected from the measured and invariant capacitance of the gate insulator. This unusual and surprising result can be explained by the appearance of negative capacitance, i.e., the negative compressibility of the quasi 2D metal on the STO surface when a correlation gap is closed at a kind of Mott transition. Unexpectedly, Mott FET was demonstrated on STO.

研究分野：物性物理学

キーワード：負の静電容量 モットFET サブスレショルド・スイング 易動度 有機無機積層ゲート絶縁膜 擬似モット転移 スピン軌道相互作用 パーコレーション

1. 研究開始当初の背景

(1) エレクトロニクスの最前線は激しい集積化競争の渦中にあります。素子サイズはnmオーダーに達する勢いですが、例えば20nm×20nm×5nmの半導体中には10個程度のドーパントしか含まれません。特性のばらつきは深刻で、「微細化の限界」だといわれています。百年先までも持続可能な社会のためには、新しいエレクトロニクスの開発が急務です。その候補として、2000年ごろから「モット転移」を利用したエレクトロニクス(モットロニクス)が研究されています。すでにアイデア知財は数多く存在します。ところが、実用化を前提にした電子素子のプロトタイプを実際に「動作させた」という学術論文は全くありませんでした(現在でもありません)。実現への突破口が見出せず、期待は非常に大きいものの実用化には疑問符がつくという状況でした。

(2) モット転移とは、本来金属であるべき物質が強い電子相関によってモット絶縁体と呼ばれる絶縁体になる相転移のことです。モット絶縁体を上記の20nm×20nm×5nm程度に微細化しても、その中に“キャリア”はまだ数万-数十万個(!)も存在します。したがって微細化限界の心配はありません。モット絶縁体がモット転移して金属化すると伝導度が劇的に変化します。これを電界効果トランジスタ(FET)に利用する、つまりFETでいうところの「ゲート電圧」で「モット転移」を制御して「ドレイン電流」を変調させるのが「モットFET」です。

2. 研究の目的

(1) モット絶縁体の中ではキャリアが局在してしまうのでイオン結晶のような状態になります。したがって、構成元素であるカチオンや酸素の欠損や過剰が本質的に起こりやすい物質です。モット絶縁体の薄膜や単結晶の表面に、通常FETでよく使用される誘電率の高い(high-*k*)金属酸化物を用いてゲート絶縁膜を形成すると、ゲート絶縁膜の構成元素がモット絶縁体表面の欠損を介してモット絶縁体中に混入・拡散し、両者の界面に別の副次的酸化物層が生じてしまいます。これがモットFETの実現を阻む大きな障害となっています。本研究の目的は、モット絶縁体表面に欠損を作らない新しいゲート絶縁膜を開発し、それを用いてモットFETを作製して動作させることです。

(2) この方法を用いて、量子臨界点付近の新奇物性探索に道を拓くことも本研究のもうひとつの目的です。従来の化学的な元素置換によるキャリアドーピングでは、置換に伴う乱れによって、エネルギースケールの小さな現象はすべて隠されてしまいましたが、新しいゲート絶縁膜による電界効果を用いれば乱れないキャリア濃度制御を連続的

可逆的に実行することが可能になると期待されるからです。

3. 研究の方法

(1) 新しいゲート絶縁膜として、ジクロロジパラキシリレン(®パリレンC、以下単にパリレン)とhigh-*k*酸化物の二層構造のゲート絶縁膜[特許取得済]を用いてFETを作製します。

(2) チャネルには、典型的なペロブスカイト型酸化物であるSrTiO₃単結晶の表面を用います。SrTiO₃は遷移金属酸化物ですが、もともとキャリアとなる電子や正孔をもっていないバンド絶縁体、いわゆる真性半導体です。SrTiO₃は遷移金属酸化物としては例外的に純良で大きな単結晶が作製できて、原子レベルで平坦な表面を持つ単結晶基板が市販されているため、新しいゲート絶縁膜でFETを作製するプロセスを繰り返しテストするには理想的な物質です。さらにSrTiO₃は、低温でSiO₂の数万倍にもなる非常に巨大な誘電率を示しますが強誘電体転移は起こさず、そこに0.01%ほどのわずかな電子ドーピングをした時にだけ超伝導を示します。大きなスピン軌道相互作用を持ち、他の物質との接合による界面では空間対称性の破れでスピン軌道相互作用がさらに増大し(ラッシュバ効果)、異常な物性を示します。つまりSrTiO₃はモット絶縁体ではないものの、十分に興味深い研究対象なのです。

(3) ミクロンスケールのFET素子をフォトリソグラフィーで作製するプロセスを確立するためには、パリレンの膜厚をnmオーダーにする必要があります。さらに適切なフォトリソリストを選択して下部電極にバリが立たないようにしなければなりません。パリレンのエッチングの方法も開発する必要があります。パリレン上に積層させるhigh-*k*酸化物薄膜の選択とその積層方法を開発します。素子の形状と電極パッドの形状、ビアホール形成方法などについても検討を重ね、フォトリソグラフィー用のマスクの改良を続けます。最終的にフォトリソグラフィーを用いたミクロンスケールのFET素子作製に最適なプロセスを確立させて、モットFETのプロトタイプの作製へとつなげていきます。

(4) 作製したFETの特性を評価し、プロセスの改良につなげます。モットFETに期待される「小さいオフ電流から大きなオン電流への急峻な変化」をこの新しいゲート絶縁膜を使ったFETなら実現できるのかを検証します。さらにこの方法で新物性探索が可能なのかについても検証します。

4. 研究成果

(1) 本研究で最も重要なのはパリレンとHfO₂の二層絶縁膜の開発です。すでにプロ

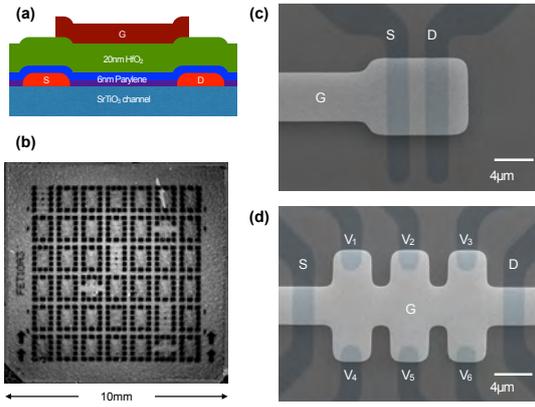


図 1. (a) 作製したFET素子の断面の模式図。上部からゲート電極(茶)、20 nm厚のHfO₂(緑)、3 nmのパリレン(青)、ソース・ドレイン電極(赤)、3 nmのパリレン(紫)、そしてSrTiO₃単結晶基板である。(b) 素子はすべて10 mm角のSrTiO₃単結晶基板の上に作製してある。本研究では様々なマスクパターンを検討したが、写真はその一例である。(c) 通常のFET素子と同じ三端子FET素子の走査電子顕微鏡(SEM)像。チャンネル長は2 μmである。(d) ホール効果の測定などに用いた多端子FET素子のSEM像。20 μmのチャンネル長に電圧を測るプローブを6本挿入してある。

トタイプは作製していましたが、実用的な膜厚ではなかったため、大きな改良が必要でした。さらに、フォトリソグラフィーを始めとするデバイス作製のプロセスに耐えられるかどうかについても検証する必要がありました。図1(a)は、デバイスの断面の模式図です。本研究のプロトタイプの段階ではパリレンの膜厚が50 nm以下になると、FET動作するデバイスではほぼ得られないという状況でしたが、3年間改良を重ねた末に、現在では図2(a)に示すようにパリレンを6 nmにまで薄くすることができました。さらに図1(c)に示すように、フォトリソグラフィーを用いてチャンネル長が2 μmのデバイスでも問題なく作れるようになりました。

(2) 図2の(a)–(d)に示すように、デバイスの断面をトンネル電子顕微鏡(TEM)で観測したところ、わずか6 nmのパリレン膜でもHfO₂とSrTiO₃が混成しないようにするには十分効果があることがわかりました。SrTiO₃の表面にHfO₂などの酸化物ゲート絶縁膜を直接つけると欠損が生じてキャリアがドーピングされてしまい、SrTiO₃チャンネルの持つ単位面積あたりの静電容量(C_{\square}^{STO})が大きくなってしまいます。ゲート電圧(V_G)が小さくてチャンネルにほとんどキャリアがないとき(サブスレシヨルド領域)、ドレイン電流(I_{SD})– V_G 特性から定義されるサブスレシヨルド・スイング(S)という量は

$$S \equiv \frac{\Delta V_G}{\Delta(\log_{10} I_{\text{SD}})} = n(T) \times m$$

と表すことができます。 $n(T) \equiv (k_B T/e) \ln 10$ はトランスポート・ファクターと呼ばれる量です(k_B はボルツマン係数、 e は電荷素量、 T は温度)。 m はボディール・ファクターと呼ばれる量で、

$$m \equiv \left(1 + \frac{C_{\square}^{\text{ch}}}{C_{\square}^{\text{ins}}}\right)$$

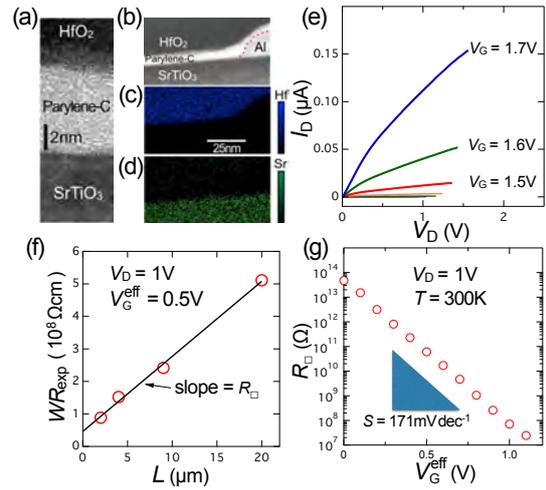


図 2. (a) 二層ゲート絶縁膜の断面のTEM像。パリレンの厚さが約6 nmになっていることがわかる。(b) 走査型のTEMでAl電極付近の断面を観測した像。その際に、電子線で励起されて発生する特性X線をエネルギー分散型検出器にて検出してサイトごとの構成元素を調べたもの。(c)がHf、(d)がSr、6 nmのパリレンの層を挟んでHfO₂のHfとSrTiO₃のSrが混じり合っていないことがわかる。(e) 図1(c)のFETのドレイン電流(I_{SD})–ドレイン電圧(V_{SD})特性。(f) チャンネル幅(W)とチャンネル長(L)が異なる4つのデバイスについて、 $V_{\text{SD}} = 1\text{ V}$ の時の $R_{\text{exp}} \equiv V_{\text{SD}} / I_{\text{SD}}$ と W の積を、 L に対してプロットしたもの。縦軸との切片が接触抵抗に相当し、直線の傾きがチャンネル部分のシート抵抗(R_{\square})を与える。 V_G^{eff} というのは I_{SD} が100 fA以下になる時の V_G の値($\sim 1\text{ V}$)を、印加している V_G の値から差し引いたものである。(g) (f)の操作を様々な V_G^{eff} に対して実行し、得られた R_{\square} を V_G^{eff} に対してプロットしたもの。傾きから得られるサブスレシヨルド・スイング(S)の値は171 mV/decadeであった。

と表されます。 C_{\square}^{ch} 、 C_{\square}^{ins} はそれぞれチャンネルとゲート絶縁膜の単位面積あたりの静電容量です。室温での $n(T)$ の値は物質によらず60 mV/decadeですが、ボディール・ファクター m は物質に依存します。静電容量は通常は正の数ですから $m > 1$ です。したがって非常にきれいなSiチャンネルのFETの場合でも S は100 mV/decade程度になり、遷移金属酸化物や有機物のようにあまりきれいでないチャンネルだと C_{\square}^{ch} がかなり増大するため、 S は数V/decade以上にもなります。ところが本研究で作製したFETはSrTiO₃をチャンネルに用いているにもかかわらず、 $S \approx 170\text{ mV/decade}$ という驚くべき小さな値を示しました[図2(g)]。これは C_{\square}^{ch} である C_{\square}^{STO} が非常に小さいという事を意味しています。つまり、二層ゲート絶縁膜を用いれば、チャンネルに欠損が生じるのを十分に抑えられるということが実証されました。

(3) 上で用いた C_{\square}^{ins} の値には、20 nmのHfO₂の比誘電率を「21.5」、6 nmのパリレンの比誘電率を「2.7」と仮定して、両者を直列に接続したコンデンサから得られる静電容量の値

$$\left(\frac{20\text{ nm}}{21.5} + \frac{6\text{ nm}}{2.7}\right)^{-1} \epsilon_0 = 0.28\ \mu\text{F}/\text{cm}^2$$

を用いました。実際の値は、二層ゲート絶縁膜(ただしパリレンは3 nm)でコンデンサを作製して、図3に示す2種類の異なる方法で静電容量を測定することによって導くことができます。図3(a)はいわゆる直流法(quasi-

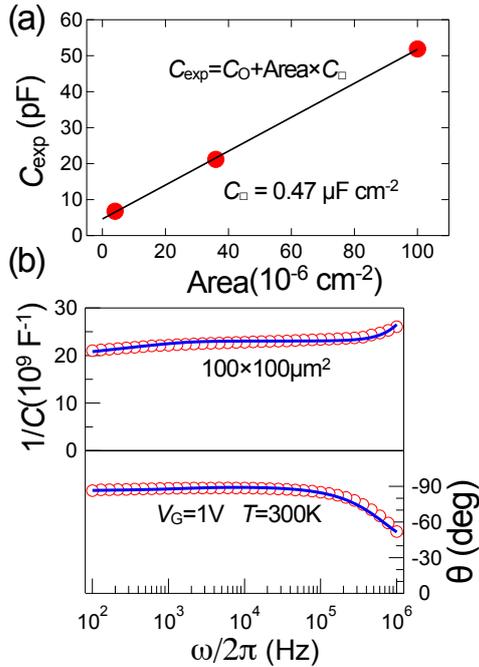


図3. (a) Alの下部電極の上にパリレン3nmとHfO₂ 20nmを積層し、その上にAuで上部電極を形成した面積の異なる3つのコンデンサについてquasi-staticモードで測定した静電容量を面積に対してプロットしたもの。縦軸の切片が寄生容量で、直線の傾きが単位面積あたりの静電容量(0.47 μF/cm²)を与える。(b) 同じコンデンサについて、交流電圧を与えることで静電容量を測定したもの。赤丸が観測データで青の実線は直列接続のモデルで計算したもの。よく一致している。

static measurement)による測定、図3(b)は交流法による測定です。前者についてはパリレンが3nmであることを考慮すると、

$$\left(\frac{20 \text{ nm}}{21.5} + \frac{3 \text{ nm}}{2.7} \right)^{-1} \epsilon_0 = 0.43 \mu\text{F}/\text{cm}^2$$

なので実験データ(0.47 μF/cm²)をほぼよく説明しています。後者も上で仮定した比誘電率をコンデンサの直列接続のモデルにあてはめて計算すると、静電容量の値と位相の周波数依存性がとてもよくフィットできます。よく使われている比誘電率の値はHfO₂が20、パリレンは3.15なので、本研究で作製した二層膜中のHfO₂とパリレンはともに理想的な状態にあるといえます。

(4) サブスレシヨルド領域での、V_Gの増加に伴う急峻なI_{SD}の増加は、本研究で作製したデバイスがFETとして高い性能をもっていることを示唆しますが、さらに通常のFET動作では必要ないところまでV_Gを増加させて、本研究の目的であるいわゆるキャリアドープを行うとどうなるのでしょうか。ここで注意しておきたいのは、通常の半導体チャンネルのFETではp型チャンネルをV_G印加によってn型に反転させるような仕組みで動作しますが、本研究のFETはバンドギャップが3.2eVの絶縁体であるSrTiO₃単結晶をチャンネルに用いているということです。したがって、通常の半導体チャンネルのFETにおける「サブスレシヨルド領域」に相当するのは「二層ゲート絶縁膜とSrTiO₃の界面でSrTiO₃のバ

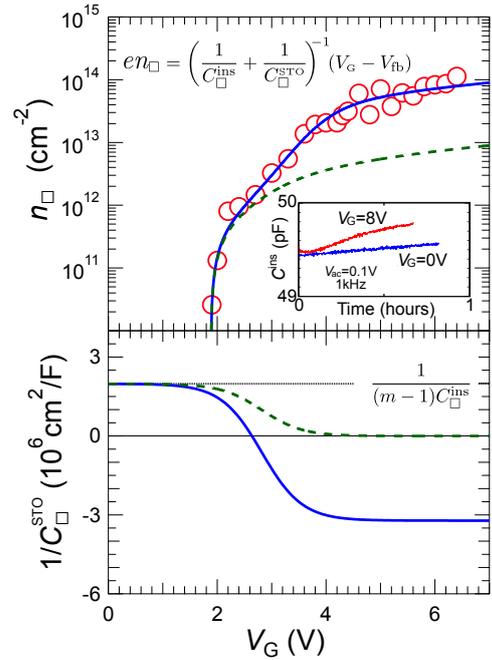


図4. ホール効果によって測定したチャネル部分の単位面積あたりのキャリア濃度n_□(赤丸)をゲート電圧V_Gに対してプロットしたもの(上图)。V_G < V_{fb}のサブスレシヨルド領域では、C_□^{STO} = (m - 1) C_□^{ins} = 0.50 μF/cm² (S = 170 mV/decadeよりm = 1 + C_□^{STO} / C_□^{ins} = 2.8)だが、V_G > V_{fb}でチャネルにキャリアがたまとゲート電場が遮蔽される(C_□^{STO}が急増する)ので、1/C_□^{STO}は2 × 10⁶ cm²/F → 0と変化する(下图の緑の点線)。これを用いてn_□を計算すると上图の緑の点線になる。V_G ≈ 3V付近から実験データと大きく食い違ってくる。このときC_□^{ins}は全く変化していない。挿入図は、図3のように二層絶縁膜のコンデンサ構造を作って電圧を長時間かけた時の静電容量の変化を見たものであるが、30分以上8Vの電圧をかけた後も2%ほど増加しただけであった。したがって、ホール効果で測定したキャリア濃度が理論値の10倍以上になっているのを説明するためには、C_□^{STO}が負の値を取ると仮定するしかない(下图の青の実線)。このときn_□は上图の青の実線のようになり、実験データとよく一致する。

ンドが上向きに曲がってしまっている状態」(V_G = 0V)から、V_Gを印加してバンドの曲がりがなくなるまでの領域に相当するのだと考えられます。このときのV_Gをフラットバンド電圧(V_{fb})と呼び、V_{fb} ≈ 1.8Vです。フラットバンドの状態を過ぎてさらにV_Gを増加させると、界面付近のSrTiO₃のバンドが下向きに曲がり、伝導帯の底にはすぐに電子が溜まり始めます。この電子は金属状態になるので、外部電場を遮蔽します。サブスレシヨルド領域ではS = 170 mV/decadeよりm = 1 + C_□^{STO} / C_□^{ins} = 2.8、ゆえにC_□^{STO} = 1.8 C_□^{ins} = 0.50 μF/cm²でした。しかし、金属的になると静電容量は急激に増大するので、C_□^{STO} → ∞となります。チャネル部分の単位面積あたりのキャリア濃度n_□はガウスの法則より

$$en_{\square} = \left(\frac{1}{C_{\square}^{\text{ins}}} + \frac{1}{C_{\square}^{\text{STO}}} \right)^{-1} (V_G - V_{\text{fb}})$$

なので、図4の緑の点線のように変化するはずですが。比較しているn_□の実験値(赤丸)はHall効果を測定することによって得られた値です。V_G ≈ 3V付近から緑の点線と赤丸の実験値とが大きく異なっているのがわかります。これは非常に不思議な現象です。

(5) この間、 C_{\square}^{ins} には無視できる変化しかありません(図4の挿入図)。したがって、実験値との違いを説明するためには、 C_{\square}^{STO} が負になったと考えるより他にありません(図4の青の実線)。SrTiO₃表面の電子の電荷圧縮率を κ とすると、 C_{\square}^{STO} は

$$C_{\square}^{\text{STO}} = e^2 n_{\square}^2 \kappa = e^2 \left(\frac{d\mu}{dn_{\square}} \right)^{-1}$$

と表されます。ここで μ は化学ポテンシャル(金属の場合はフェルミエネルギー)です。通常のrigid band的な描像では、 V_G の増加によりドーピング量が増える(n_{\square} が大きくなる)と μ も大きくなります。したがって、 $d\mu/dn_{\square}$ は正であり、 C_{\square}^{STO} も正です。しかし、もしSrTiO₃の代わりに本研究の最終目的であるモット絶縁体を用いてモットFETを作ったらどうなるでしょう。この場合、キャリアドーピングと同時に伝導帯や価電子帯に相当するハバードバンドからギャップ内への状態の移動(spectral weight transfer)が起こり、バンドギャップ(モットギャップ)が閉じ始めます。これに伴い、バンドの端に近かった μ がギャップの中央へと押し下げられるため、 n_{\square} は増大しているのに μ が減少する、つまりnegative κ が出現するわけです。このとき上記の式より、 C_{\square}^{STO} も負になります。このことはこれまであまり認識されてきませんでした。モット転移によってモットFETのチャンネルの表面に突然金属層ができた場合、その金属状態でのキャリア濃度は 10^{16} cm^{-2} にもなります。これがもしrigid band的にしか起きないのであれば、ゲート絶縁体の作る電場によるキャリア濃度 $C_{\square}^{\text{ins}} V_G / e$ は 10^{16} cm^{-2} に等しくないといけませんので、ほとんど不可能です。しかし、モットギャップが閉じるときの状態移動で電荷圧縮率が負になるのであれば、特別なゲート絶縁体を用いなくてもモット転移を引き起こすことが十分に可能だということになります。

(6) 本研究は、[1]まず二層絶縁膜の性能を高め、[2]それを用いてフォトリソグラフィでFETを作製するためのプロセスを完成させ、[3]さらにそれをモット絶縁体の薄膜に適用してFETを作製する予定でした。ところが[2]を終えた段階で、予想外なことに、プロセスの実験台であったSrTiO₃自体がモット転移のような現象を示すことを見出しました。SrTiO₃の表面で擬似モットFETが作れるのであれば、モット絶縁体の高品質薄膜を作製する必要がなくなり、将来の応用への道が一気に開けます。そこで3年目は予定を修正してこのSrTiO₃表面の不思議な現象を徹底的に追求し、上に示したように確信の持てる実験データを得ることができました。ではなぜSrTiO₃表面がモット絶縁体のように振る舞うのでしょうか？

(7) SrTiO₃はスピン軌道相互作用の大きい

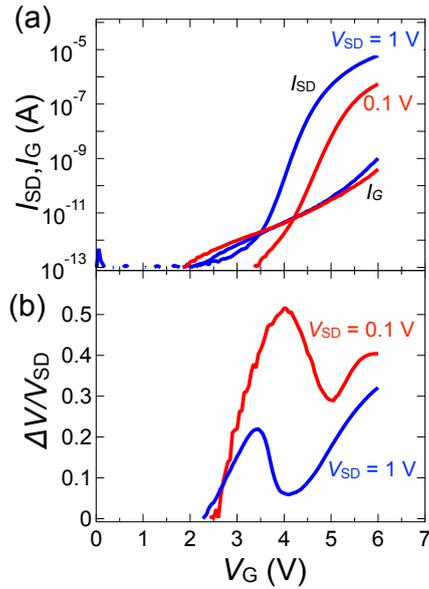


図5. (a) 図1(d)の多端子FETを用いて測定した I_{SD} および I_G の V_G 依存性。(b) チャンネル内に挿入した電圧端子(図1(d)の V_1 と V_3)の間の電位差 ΔV と V_{SD} の比を、 V_G に対してプロットしたもの。 $\Delta V / V_{SD}$ が減少する部分(negative differential resistance: NDR)はチャンネル内に電圧または電流の不均一な分布が生じていることを反映している。ただし「 V_{SD} が小さいほど大きな V_G でNDRが起こる」ということに関しては「ソースドレイン電極とチャンネルとの接触抵抗の変化」(つまり電圧の不均一)では説明できないが、チャンネル内に伝導度の高いドメインが生じてそれがNDRの部分で繋がるという「パーコレーションモデル」(電流の不均一)では可能である。

物質だと言われています。ゲート絶縁膜との界面では空間対称性が破れるのでラシバ効果によりスピン軌道相互作用がさらに大きくなると考えられています。スピン軌道相互作用が大きいと、良い量子数になるのは、スピン(\vec{S})でも軌道(\vec{L})でもなく、それらを合成した $\vec{J} = \vec{L} + \vec{S}$ です。基底状態は二重縮退した $J = 1/2$ であり、その2つの準位の縮退が解けると、あたかもモット絶縁体のような状態になります(引用文献の①)。さらにこのSrTiO₃チャンネルのようにキャリア濃度が小さい系では長距離クーロン力が重要になり、負の電荷圧縮率による電荷密度の揺らぎが引き起こす相分離がマイクロスコピクナドメイン形成に繋がるのだという理論もあります(引用文献の②)。実際に、図5に示すように、FETのチャンネル部分でドメイン形成を示唆する現象が観測されています。

(8) 以上のことから、本研究によって、単なるバンド絶縁体だと思われていたSrTiO₃の表面で擬似モット転移とも呼べる現象が起こっていることが示唆されました。これによって、電界効果で表面に蓄積された電荷は負の電荷圧縮率を示し、これは負の静電容量という現象として観測されました。他に例を見ない非常に興味深い現象です。つまり、モット絶縁体の薄膜や単結晶を用意しなくても、我々は、本当のモットFETはこのように動作するのだということを示したことになります。これを可能にしたのは、本研究で開発した二層ゲート絶縁膜です。この結果は近日中に論文にして投稿します。現

在はこの擬似モット転移の臨界挙動を低温実験で探ろうとしているところです。研究計画の段階では予想もしなかった素晴らしい結果を得ることができたと自負しています。

< 引用文献 >

- ① R. Arita (他4名)、Ab initio studies on the interplay between spin-orbit interaction and Coulomb correlation in Sr_2IrO_4 and Ba_2IrO_4 , Physical Review Letters, Vol.108, 2012, pp.086403(1-4)
- ② S. Caprara, F. Peronaci, M. Grilli, Intrinsic instability of electronic interfaces with strong Rashba coupling, Physical Review Letters, Vol.109, 2012, pp.196401(1-4)

5 . 主な発表論文等

[雑誌論文] (計 5 件)

- ① 井上 公、RRAMの原理はどこまで理解できたのか? 日本物理学会誌、査読有、採択済
- ② Isao H. Inoue, Two-dimensional quantum transport: Tunnel vision, Nature Physics, 査読有、Vol.10, 2014, pp.705-706
DOI:10.1038/nphys3098
- ③ P.-H. Xiang, Isao H. Inoue (5番目, 他6名)、Electrolyte-gated SmCoO_3 thin-film transistors exhibiting thickness-dependent large switching ratio at room temperature, Advanced Materials, 査読有、Vol.25, No.15, 2013, pp.2158-2161
DOI:10.1002/adma.201204505
- ④ A. B. Eyvazov, Isao H. Inoue (CA, 他3名)、Enhanced and continuous electrostatic carrier doping on the SrTiO_3 surface, Scientific Reports, 査読有、Vol.3, 2013, pp.1721(1-5)
DOI:10.1038/srep01721
- ⑤ J. J. Yang, Isao H. Inoue, T. Mikolajick, C. S. Hwang, Metal oxide memories based on thermochemical and valence change mechanisms, MRS Bulletin, 査読有、Vol.37, No.2, 2012, pp.131-137
DOI: 10.1557/mrs.2011.356

[学会発表] (計 8 件)

- ① Isao H. Inoue, Enormous electrostatic carrier doping of SrTiO_3 : negative capacitance?, SPICE-Workshop on Bad Metal Behavior in Mott Systems (招待講演)、2015年07月02日、「Mainz (Germany)」
- ② Isao H. Inoue, Negative capacitance? 1000% enhancement of the carrier density

at the surface of non-doped SrTiO_3 , Superstripes 2015 (招待講演)、2015年06月15日、「Ischia (Italy)」

- ③ Isao H. Inoue, Feasible Mott FET: concept, obstacles, and future, ECRYS 2014 (招待講演)、2014年08月15日、「Cargèse (France)」
- ④ Isao H. Inoue, Enhanced and continuous electrostatic carrier density control for Mottronics, Superstripes 2014 (招待講演)、2014年07月27日、「Erice (Italy)」
- ⑤ Isao H. Inoue, Inhomogeneous current distribution at oxide interface, 2013 JSAP-MRS Joint Symposia (招待講演)、2013年09月20日、「同志社大学(京都府・京田辺市)」
- ⑥ Isao H. Inoue, Simulating a possible Mott FET channel on a hybrid-gate SrTiO_3 FET, APCTP Workshop on Bad Metal and Mott Criticality (招待講演)、2013年07月15日、「Pohang (Korea)」
- ⑦ Isao H. Inoue, Enhanced and continuous electrostatic carrier doping for Mott transistor, IMEC-AIST short Workshop on Oxide Electronics and Mott Material (招待講演)、2013年02月25日、「Brussels (Belgium)」
- ⑧ Isao H. Inoue, Enhanced and continuous electrostatic carrier density control for Mottronics, IMPACT 2012 (招待講演)、2012年09月13日、「Paris (France)」

[図書] (計 1 件)

- ① Isao H. Inoue and A. Sawa, Wiley-VCH, Functional Metal Oxides: New Science and Novel Applications, 2013, 443-463

[その他]

ホームページ

<https://staff.aist.go.jp/i.inoue/>

6 . 研究組織

(1)研究代表者

井上 公 (INOUE, Isao)

産業技術総合研究所・主任研究員 研究者
番号: 0 0 3 5 6 5 0 2

(2)研究分担者

なし

(3)連携研究者

なし

(4)研究協力者

Neeraj Kumar, 鬼頭 愛 (KITO, Ai), Azar B. Eyvazov, Christos Panagopoulos, Pablo Stoliar, Marcelo J. Rozenberg, David Jiménez