

**科学研究費助成事業 研究成果報告書**

平成 27 年 6 月 11 日現在

機関番号：82626

研究種目：基盤研究(A)

研究期間：2012～2014

課題番号：24246058

研究課題名(和文) 族pチャネルMOSFETのための価電子帯エンジニアリングと界面双極子制御

研究課題名(英文) Valence-band engineering and interface-dipole control for realizing III-V pMOSFET

研究代表者

安田 哲二 (Yasuda, Tetsuji)

独立行政法人産業技術総合研究所・ナノエレクトロニクス研究部門・研究部門長

研究者番号：90220152

交付決定額(研究期間全体)：(直接経費) 35,100,000円

研究成果の概要(和文)：CMOSのnチャネルとpチャネルを同一の高移動度 - 族半導体で構成する技術を目指し、GaSbとInGaAsを候補として研究を進めた。GaSbに関して、界面双極子と界面準位の関係に着目しつつMOS界面を高品質化すると共に、GaSb表面処理法を確立した。更に、Si上へ高品質GaSbを形成するナノコンタクトヘテロエピタキシャル技術を開発した。InGaAsに関して、バンドエンジニアリングの手法としてのInとGaのオーダリングに着目し、第一原理計算により有効質量がオーダリングに依存することを見出した。また、量子補正モンテカルロ法により - MOSFETの電流駆動力や遅延時間の決定要因を明らかにした。

研究成果の概要(英文)：Purpose of this study was to establish the technology for forming the high-mobility CMOS using a common III-V semiconductor material for the n-channel and p-channel. GaSb and InGaAs were chosen as the candidate materials. For GaSb, high-quality MOS interfaces were achieved while the relation between the interface dipoles and interface traps were examined. Surface treatment processes for GaSb were also established. Furthermore, nanocontact heteroepitaxy technique was developed for growing high-quality GaSb layer on Si. For InGaAs, In/Ga cation ordering was investigated as a possible method of the band engineering. The first-principles calculations showed that the effective mass of the carriers were affected by the ordering. Current drivability and delay time in the III-V MOSFETs were analyzed by using Monte Carlo simulation considering the quantum effects.

研究分野：半導体プロセス

キーワード：電子・電気材料 - 族化合物半導体 表面・界面物性 MOSFET エピタキシャル成長

### 1. 研究開始当初の背景

微細化が物理限界を迎える CMOS 回路の更なる高性能化のために、電子移動度の大きい - 族半導体を CMOS の n チャンネルに、ホール移動度の大きい Ge を p チャンネルに用いるアプローチが注目を集めている。 - と Ge という異種材料を混載した CMOS は作製プロセスが複雑になるため、n チャンネルと p チャンネルの材料を同一にすることが望ましい。その実現を目指して、Ge の nMOS を高性能化する研究が進められているが、本研究開始当初は - 半導体の pMOSFET の高性能化は十分に検討されていなかった。

本研究では、高性能な - pMOSFET の実現を目指して、以下の2つを解決すべき課題として設定した。まず、pMOSFET 動作のために、価電子帯端近傍における界面準位  $D_{it}$  を低く抑えることである (概ね  $10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$  以下)。 - 族半導体は電荷中性点がバンドギャップの上半分にあるため  $D_{it}$  が伝導帯端に近いところで最小となり、価電子帯端近傍では高くなる傾向がある。我々が本研究提案前に得た結果では、InGaAs の nMOSFET の場合、チャンネル移動度と閾値シフトとに明瞭な相関が見られた[引用文献]。この相関は、界面準位分布が界面双極子によって変調される可能性を示唆した。そこで本研究では、界面双極子制御と  $D_{it}$  の関係に着目しつつ、MOS 界面の高品質化を目指した。

もう一つの課題は、軽いホールのみを電流キャリアとして用いるための価電子帯エンジニアリング手法の確立である。 - 族半導体の価電子帯では軽いホールと重いホールの状態が縮退している。この縮退を解くことで、pMOSFET の高電流駆動力化が実現できる。比較的低温で成長した InGaAs ではカチオン (In と Ga) がオーダリングすることが知られているが、このオーダリングを制御すれば価電子帯の縮退を解くことができる可能性がある[引用文献]。そこで、本研究課題ではオーダリングがバンド構造に及ぼす影響についても検討することとした。

### 2. 研究の目的

本研究は、 - CMOS の n チャンネルと p チャンネルを同一材料で構成するために、ホール有効質量が比較的小さな - 族半導体を用いた p チャンネル MOSFET の高性能化を目指す。具体的には、界面双極子制御に着目した MOS 界面高品質化、カチオンオーダリング制御に着目したバンドエンジニアリングについて検討するとともに、高性能 MOSFET 実現のために欠かせない - 族エピタキシャル層の高品質化、及び、デバイス構造設計・特性解析技術についても検討する。

### 3. 研究の方法

対象とする - 族半導体として、高性能 nMOSFET が既の実証されている InGaAs と、電荷中性点が価電子帯端に近く良好な

pMOSFET 動作が期待できる GaSb の 2 つの材料を選んで研究を進めた。

MOS 界面高品質化については、MBE 装置にて半導体表面を調整した上に超高真空環境にてゲート絶縁膜を形成することにより界面構造を精密に制御した。また、量産に適した MOS 構造形成プロセスとして、プラズマ等の活性種による表面前処理について、オージェ電子分光によるその場診断法を適用しながら検討した。価電子帯エンジニアリングについては、オーダリングとバンド構造の関係を第一原理計算により検討した。エピタキシャル成長層の高品質化については GaSb のヘテロエピ成長にフォーカスし、上述の MBE 装置を用いた Si 基板上への成長と MOCVD による GaAs 基板上への成長について検討した。MOSFET 構造設計・特性解析技術に関しては、量子補正モンテカルロ法によるシミュレーションを行った。

### 4. 研究成果

(1) 界面双極子に着目した III-V MOS 界面高品質化

MOSFET 動作に適した高品質な GaSb MOS 構造を目指して、界面双極子やキャリア捕獲準位等の界面電気特性と界面結合状態の関係を詳しく調べた。まず、MBE により p 型 GaSb 基板上に 4 種類の表面再構成を形成した [(001)-(2×5), (001)-c(2×6), (001)-(1×3), (111)A-(2×2)]。なお、それぞれの表面は、STM により原子レベルで平坦かつ目的の表面再構成が形成されていることを確認している。表面の評価には低速電子線回折も活用した。

次に、高真空電子ビーム蒸着法を用いて High-k 材料として一般的なハフニウム酸化膜 ( $\text{HfO}_2$ ) を堆積し、MOS キャパシタを作製した。ここで、GaSb 最表面原子と酸素の結合 (Sb-O および Ga-O) が  $\text{HfO}_2/\text{GaSb}$  界面に形成されるように、 $\text{HfO}_2$  堆積後の PDA (post deposition annealing) 条件を設定した [N. Miyata, Materials, 5, 512 (2012)]. まず、GaSb(001)-c(2×6) 表面上に形成した MOS キャパシタの室温 C-V 測定を行ったところ、以下の特徴が認められた (図 1(a))。 (1) 過去の報告例に比べて正ゲートバイアス側の反転領域に強い周波数分散が現れ、低い界面準位密度 ( $D_{it}$ ) が期待された。 (2) フラットバンド電圧 ( $V_{fb}$ ) の正バイアス側への大きなシフトが認められ ( $\sim 1 \text{ V}$ )、大きな界面ダイポールの存在が示唆された。 (3) 電気的ストレスに対して不安定であり、ヒステリシスや繰り返し測定による C-V 曲線の変化が認められた。

以上の結果を踏まえ、界面構造の安定化を目的として PMA (post metallization annealing) の効果を評価した。300 °C の PMA により電気的不安定性は改善すること、さらに界面ダイポールがほぼ消失することが明らかとなった。すなわち、閾値制御の観点で

は、PMA が効果的であると言える。また、GaSb(001)-c(2x6)表面は 1.5 ML の Sb で覆われていることから、PMA 処理前の HfO<sub>2</sub>/GaSb 界面には Sb-O 結合が優先的に残っていると推測される。すなわち、界面ダイポールの起源は Sb-O 結合であり、PMA により Sb-O が熱分解するためにダイポールが消失すると考えられる。実際、Sb 酸化物の熱分解は 300 程度で進行することが過去に報告されており、本報告の温度域と一致している。一方、PMA による反転領域の C-V 周波数分散の減少が確認された (図 1 (b))。高周波 C-V 特性より見積もられる FLF (Fermi level movement efficiency) 値は PMA 温度の上昇とともに減少しており、PMA による界面準位密度の増加が示唆された。

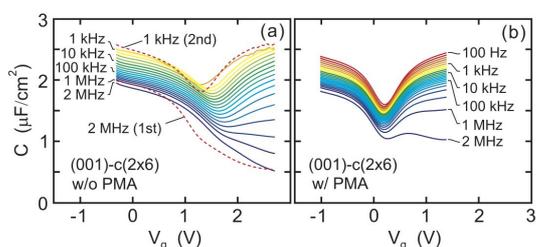


図 1 GaSb(001)-c(2x6)表面に形成した MOS キャパシタの C-V 特性。  
(a) PMA 処理前、(b) 300 °C PMA 処理後。

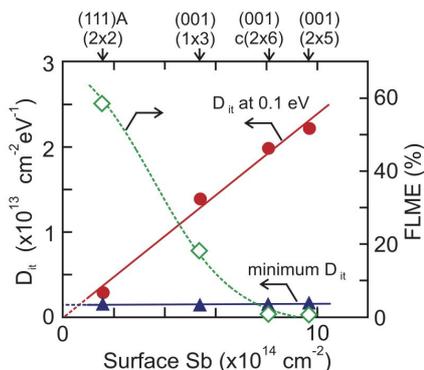


図 2 界面準位密度  $D_{it}$  の初期表面依存性。伝導帯近傍の  $D_{it}$  最小値とミッドギャップより 0.1 eV 低エネルギーの  $D_{it}$  値をプロット。比較のため高周波 C-V 特性より見積った FLME 値をプロット。

界面準位特性を詳しく調べるため、温度可変コンダクタンス測定によりギャップ内の  $D_{it}$  分布を評価した。4 種類の表面上に形成した全ての MOS キャパシタにおいて、300 °C の PMA 後も価電子帯近傍では  $D_{it}$  が  $2 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$  程度に抑制されており、本研究で目標とした  $D_{it}$  特性をほぼ達成できていることがわかった (図 2)。一方、ミッドギャップ付近から伝導帯近傍までは、 $D_{it}$  が大幅に増加しており、その値は次の順番で初期表面構造

に依存した [(001)-(2x5) > (001)-c(2x6) > (001)-(1x3) > (111)A-(2x2)]。この関係は、再構成表面の Sb 被覆率 ( $\theta_{Sb}$ ) に一致しており [ $\theta_{Sb}/(001)-(2x5)=1.8 \text{ ML}$ ,  $\theta_{Sb}/(001)-c(2x6)=1.5 \text{ ML}$ ,  $\theta_{Sb}/(001)-(1x3)=1.0 \text{ ML}$ ,  $\theta_{Sb}/(111)A-(2x2)=0.25 \text{ ML}$ ]、 $D_{it}$  の絶対値も表面 Sb 原子量とおよそ一致した。この結果は、PMA 処理前に界面に形成されていた Sb-O 結合が熱分解することで Sb 原子を生成し、バンドギャップ上側の界面準位となることを示唆している。以上の結果より、バンドギャップ全体において界面準位を抑制するためには、初期表面の Sb 被覆率を抑え、かつ絶縁膜形成工程において Sb 酸化物を形成しないプロセスの構築が重要であると結論される。

ここまで、超高真空環境にて原子レベルで制御した GaSb 表面に対してゲート絶縁膜を形成した場合の結果を述べた。界面構造と電気特性の関係の明確化するためにはこの方法が適しているが、超高真空を用いるプロセスは量産に向いていない。以下では、超高真空環境での結果を参考にしつつ、量産技術との親和性の良い GaSb 表面処理技術や ALD によるゲート絶縁膜形成プロセスについて検討した結果をまとめる。

絶縁膜堆積前の GaSb の表面状態が MOS 構造の電気的特性に大きく影響するが、GaSb 表面が大気に曝されると GaO<sub>x</sub> と SbO<sub>x</sub> で構成される GaSb 自然酸化膜が直ちに形成される。自然酸化膜を除去するため、塩酸処理が一般的に行われているが、GaSb の自然酸化膜を塩酸処理によって完全に除去することは困難であり、また、塩酸処理は表面リークの要因となるメタリックな Sb を生成する。そこで、本研究ではまず、ALD 法によって絶縁膜 Al<sub>2</sub>O<sub>3</sub> 堆積する場合について、GaSb 基板の塩酸処理と in-situ 真空アニールが MOS 構造の特性に与える影響を調べた。絶縁膜堆積には、酸化剤として水とオゾンを利用したケースを検討した。その結果、絶縁膜を堆積する前に塩酸処理を施した上で、in-situ 真空アニール処理により、フェルミレベルピンングを解除できることを明らかにした。塩酸処理は Sb 酸化物の量を減らし、このことが in-situ 真空アニール時の Ga<sub>2</sub>O<sub>3</sub> の成長を抑制する。XPS 解析よれば、真空アニールによってメタリックな Sb や Sb<sub>2</sub>O<sub>3</sub> の量が明確に減少しており、これが良好なフェルミレベル変調を得るための鍵であることが分かった。一方、真空アニールの温度を上げるにつれ、 $D_{it}$  の減少が確認されたが、同時に周波数分散の増大も観測された。Sb 酸化物は熱的に除去可能なものの、Ga 酸化物は、高温真空アニールにおいても除去されず、さらに 400 °C 以上の熱処理では、表面荒れが生じることがわかった。CV の評価からは、 $D_{it}$  のエネルギー分布の変化が示唆され、 $D_{it}$  減少と周波数分散増大はトレードオフの関係にあることが分かった。そのため、界面制御技術としては自然酸化膜除去と Sb 酸化物の形

成を抑制する適切な条件を見つけること、もしくは、GaSb 表面の清浄化にはプロセス温度の低下が望まれることが明らかになった。

そこで、RF ラジカルビームを用いて活性化させた水素を利用して、GaSb 表面の清浄化可能かどうかを、オージェ電子分光測定で表面原子を観測することで調べた。その結果、活性化させた水素を GaSb 表面に照射しながら 300 でアニールすることで、GaSb 表面の  $\text{Ga}_2\text{O}_3$  を  $\text{Ga}_2\text{O}$  に還元させた上で熱脱離させ、酸化膜の全く無い GaSb の清浄表面を得ることがわかった。昇温脱離分析からも、水素による還元反応により低温で熱脱離過程が進むことがわかった。また、この GaSb の清浄表面は十分な平坦性を維持していることを AFM 像より確認した。

界面双極子の強度を制御する一つの方法として、窒化層の導入が考えられる。酸化物が存在する表面では、窒化プロセスを施しても導入できる窒素量には限界がある。先の実験で酸化膜の無い GaSb の清浄表面が得られたことから、清浄表面形成後に連続して窒化することを試みた。その結果、GaSb 清浄表面にプラズマ装置で活性化した  $\text{N}_2$  を RF パワー 300W、基板温度 300 で照射することによって、GaSb 清浄表面を純窒化することに成功した。GaSb の純窒化による界面双極子制御とそれに伴う  $D_{it}$  分布の変調は、今後の検討課題である。

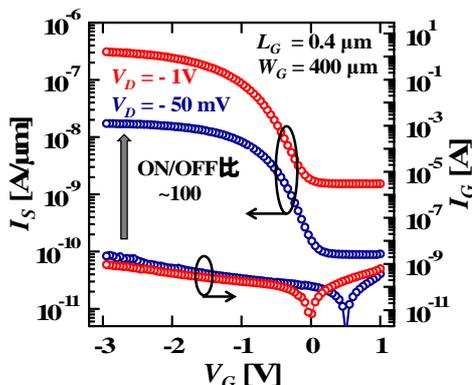


図3 GaSb pMOSFET の  $I_S$ - $V_G$  特性と  $I_G$ - $V_G$  特性

上記のように開発を進めてきた界面制御技術を用いて GaSb pMOSFET の動作実証を進めた。近年、Si MOS 技術で使われているシリサイドと同様なメタル S/D 形成技術が注目を集めているが、GaSb においても Ni-GaSb 合金により低温でアロイ化すること、低シート抵抗を得られることを見出した。この技術を利用して n 型の GaSb 基板上への pMOSFET の試作を行った。試作したデバイスの  $I_S$ - $V_G$  特性から求めた ON-OFF 比は ~100 と比較的良好な pMOSFET 動作を確認することに成功し、p チャンネルと n チャンネルが同一材料から成る CMOS の実現可能性が示された (図3)。しかしながら、移動度は予想よりもはるかに低いものであ

り、GaSb FET 試作特有のコンタクト技術や MOS 構造への影響が懸念される熱管理など試作周辺の開発要素も多く存在することがわかった。

## (2) 族半導体エピタキシャル成長層の高品質化

Si 基板上に良好な特性の GaSb 系デバイスを作製するために不可欠な GaSb ヘテロエピタキシャル層の高品質化に向けて、本研究では、(i) Si(100) 上へのナノコンタクトヘテロエピタキシー (NCH) 法および (ii) Si(111) 上での InAs 中間層を用いた方法の検討を行った。NCH 法: Si(001) 上に形成した極薄 (~0.3nm) 酸化膜上に 2ML 程度の Ge を照射してナノスケールの高密度ポイドを作製する。その上に MBE 法により GaSb 薄膜 (300nm) を成長させ、次いで EB 蒸着法により  $\text{HfO}_2$  膜 (6nm) を堆積させる。酸素雰囲気中での PDA を行った後に Au 電極の MOS キャパシタを作製し、PMA 処理を行った。NCH-GaSb 表面のドメイン幅は平均で 100 nm、RMS 表面ラフネスは 2.2nm と見積もられ、過去の報告例と同等の GaSb 表面の成長が確認できた。 $\text{HfO}_2/\text{GaSb}$  MOS キャパシタの C-V 特性は、バルク GaSb 基板上のものと比べて、正バイアス側の周波数分散が小さく、GaSb 表面のポテンシャル変調は不十分であることが示唆される。その原因としては、MOS 界面準位や GaSb 膜中欠陥による少数キャリア増加の影響が推測される。NCH-GaSb 中の欠陥形成の主たる要因としては、ダブルドメインの形成が挙げられる。これを抑制するために、 $4^\circ$ -off (001) 基板および (111) 基板を用いて NCH 成長を行ったが、表面ラフネスはそれぞれ 5.6nm、9.9nm となり膜質の向上には至らなかった。

InAs 中間層法: Si(111) 上に直接 GaSb 膜を成長させた場合、高密度の欠陥を含む GaSb が島状に成長する。一方、あらかじめ 1ML の In で終端した Si(111) 表面上では高品質かつ平坦な InAs(111)A 薄膜が成長する。我々は、InAs と GaSb の格子定数がきわめて近いことに着目し、この InAs(111)A 薄膜 (> 2nm) を基板として用いることにより、高品質な GaSb(111)A 薄膜 (300nm) の成長に成功した。ミスフィット転位は InAs/Si(111) 界面に周期的に形成され、GaSb 膜中の欠陥密度は非常に低い ( $10^6 \text{ cm}^{-2}$  以下)。GaSb 成長膜上に EB 蒸着法を用いて作製した  $\text{HfO}_2/\text{GaSb}$  MOS キャパシタはバルク GaSb(111)A 基板の場合と同等の特性を示した。

次に GaSb を pMOS のチャンネル材料として使用するために、GaAs において実績のある Si ドーパントを用いた n 型 GaSb 薄膜成長の検討を行った。GaSb(001) の場合 Si は p 型ドーパントとなるが、GaSb(111)A では n 型となった。したがって、(111)A 面を用いて pMOS を作製するためには Si ドーピングが有効であり、(001) 面の場合には Te 等のドー

パントが必要であることが明らかとなった。

以上に述べた Si 基板上へ GaSb を形成する新しい技術に加えて、より実用に近いエピタキシャル基板の形成技術である MOCVD 法による GaAs(001)基板上への GaSb 成長についても、GaSb 層の性能と MOS 界面形成前の表面状態の評価を行った。GaSb 成長前に低温 GaSb バッファ層を導入することで、ミスフィット転位列を生じさせ、結果的に平坦性の良い GaSb(001)層を得られることが分かった。n 型不純物として Te をドーピングして、キャリア密度  $N_D \sim 2 \times 10^{17} \text{ cm}^{-3}$ 、電子移動度  $\mu_e \sim 2400 \text{ cm}^2/\text{Vsec}$  の高品質な GaSb 層を得ることに成功した。

### (3) カチオンのオーダリングに着目した価電子帯エンジニアリング

InGaAs を pMOSFET に用いる際の価電子帯エンジニアリングに向けた基礎検討として、InGaAs 中のカチオン (In, Ga) のオーダリング (逆に言うとランダムネス) がバンド構造にどのように影響するかについて第一原理計算を用いて調べた。Ⅲ族半導体を [111] 方向に見ると、Ⅲ族 (In, Ga) と Ⅴ族 (As) の原子が交互に並んでいる。Ⅲ族元素の In と Ga の並びが異なる構造について変えて有効質量がどのように変化するか調べた。有効質量については [110]、[1-10] の 2 方位について考えた。まずはカチオンが混在していない GaAs と InAs について調べた。有効質量比はそれぞれ 0.030、0.031 となった。[110]、[1-10] では同じ値となり異方性はなかった。次に In と Ga が混在する系について調べた。最も理想的にオーダーした構造として、In と Ga が交互に並ぶ系について調べたところ、有効質量比はそれぞれの方向に対して 0.068、0.028 となり異方性が現れた。In と Ga の並びにランダムネスを取り入れていくと、有効質量比は 0.081、0.032、 $> 0.109$ 、0.040 と変化していった。つまり、ランダムネスと入れると有効質量は大きくなっていく。一方で、異方性の程度について考えると、2.4 倍、2.5 倍、2.7 倍とほぼ同レベルではあるがやや大きくなっていくことがわかった。これらの第一原理計算の結果と実験から抽出した誘電率異方性とを比較して計算の妥当性を確認した上で、価電子帯の縮退をオーダリング制御によって解く可能性を検討することを計画していたが、合金系のバンド構造の計算が予想以上に難航したため、本研究期間にはこれを実施するには至らなかった。

### (4) III-V MOSFET 構造設計・特性解析技術

量子補正モンテカルロ (MC) シミュレータを用いて、チャンネル材料を InGaAs, GaAs, InP としたダブルゲート (DG) 構造の MOSFET 内で発生する遅延時間 ( $\tau$ ) の解析を行い、 $\tau$  発生メカニズムを明らかにすると共に、高速化のための指針を示した。

ソース領域で熱平衡状態にある電子の運動量分布は、ポテンシャルボトルネックに至る過程で負の成分を失い、ボトルネックでは半球状となる。これが注入速度の起源となる。ボトルネックよりチャンネルに注入された電子は電界により加速され、さらにドレイン領域に入ると運動量・エネルギー緩和して再び熱平衡状態に戻る。チャンネルを微小なセグメントに分割して各セグメントの  $\tau$  を計算することにより、デバイス内の  $\tau$  分布を求めたところ、 $\tau$  分布はポテンシャル障壁の裾からボトルネックに至るまでの電子の運動量分布の変調に起因する領域 (a)、電子がチャンネルを走行するのに要する走行時間の領域 (b)、チャンネルのドレイン端での運動量・エネルギー緩和に起因する領域 (c) の 3 つに分割されることが分かった。デバイス内で発生する全遅延時間は  $\tau$  分布を積分することにより計算することができる。

領域 (a) の  $\tau$  はポテンシャル障壁が高いほど大きくなる。InP は電子有効質量が大きく状態密度が高いため、実効的にポテンシャル障壁が低くなり、 $\tau$  も小さいことが分かった。領域 (b) の  $\tau$  はチャンネル内の平均電子速度が大きいほど小さくなる。InGaAs は最も電子有効質量が小さくボトルネックでの注入速度が最も高いが、合金散乱による逆方向散乱が高頻度で起こるため、チャンネルの平均電子速度が低下してしまう。一方 InP では注入速度は低いが、チャンネル内の主要な散乱が有極性光学フォノン散乱であるため、電子の運動量変化量が小さく、平均電子速度の低下が小さい。結果として、InP の  $\tau$  が最も小さいことが分かった。領域 (c) の  $\tau$  はチャンネルのドレイン端で運動量・エネルギー緩和が顕著に起こるほど大きくなる。InGaAs は電子有効質量が小さく状態密度が低いため、ボトルネックから高エネルギーの電子がチャンネルに注入され、その多くがドレイン端で非有極性光学フォノン散乱により L 谷に遷移する。これにより大きな  $\tau$  が発生する。一方 InP は状態密度が高いためドレイン端で L 谷に遷移する電子が少なく、 $\tau$  の発生が小さいことが分かった。GaAs は  $\Gamma$ -L 谷間のエネルギーが小さいため、ソース領域から L 谷伝導が顕著に起こり、全ての領域で  $\tau$  が大きくなった。以上の結果から InP チャンネルの全遅延時間が最も小さく、高速であることが分かった。

#### < 引用文献 >

Y. Urabe et al., 2010 IEDM, paper no. 6.5.

J. Spieler et al., Applied Physics Letters **76**, 88(2000).

#### 5. 主な発表論文等

(雑誌論文)(計 6 件)

T. Gotow, S. Fujikawa, H. I. Fujishiro, M. Ogura, T. Yasuda, and T. Maeda, Effects of HCl treatment and

predeposition vacuum annealing on Al<sub>2</sub>O<sub>3</sub>/GaSb/GaAs metal-oxide-semiconductor structures, Japanese Journal of Applied Physics, 査読有, Vol.54, 2015, pp.021201-1~5

N. Miyata, A. Ohtake, M. Ichikawa, T. Mori, T. Yasuda, Electrical characteristics and thermal stability of HfO<sub>2</sub> metal-oxide-semiconductor capacitors fabricated on clean reconstructed GaSb surfaces, Applied Physics Letters, 査読有, Vol.104, 2014, pp.232104-01~04

A. Ohtake, T. Mano, N. Miyata, T. Mori, and T. Yasuda, Heteroepitaxy of GaSb on Si(111) and fabrication of HfO<sub>2</sub>/GaSb metal-oxide-semiconductor capacitors, Applied Physics Letters, 査読有, Vol.104, 2014, pp.032101-01~04

A. Nishida, K. Hasegawa, R. Ohama, S. Fujikawa, S. Hara, and H. I. Fujishiro, Comparative study on nano-scale III-V double-gate MOSFETs with various channel materials, Physica Status Solidi C, 査読有, Vol.10, 2013, pp.1413~1416

[学会発表](計15件)

R. Ohama, Y. Yajima, A. Nishida, S. Fujikawa, and H. I. Fujishiro, Analysis of delay times in III-V MOSFETs with various channel materials, 41th International Symposium on Compound Semiconductors (ISCS 2014), May 2014, Montpellier, France, We-D1-2

T. Gotow, S. Fujikawa, H. I. Fujishiro, M. Ogura, T. Yasuda, T. Maeda, Demonstration of Ni-GaSb metal S/D GaSb pMOSFETs with vacuum annealing on GaAs substrates, 44th IEEE Semiconductor Interface Specialists Conference, Dec. 2013, Arlington, VA, USA, paper no. 12-11

N. Miyata, A. Ohtake, M. Ichikawa, T. Yasuda, Electrical Characteristics and Thermal Stability of HfO<sub>2</sub>/GaSb MOS Interfaces Formed on Clean GaSb(100)-c(2x6) Surfaces, International Workshop on Dielectric Thin Films for Future Electron Devices: Science and Technology, Nov. 2013, Tokyo, pp.31~32

[産業財産権]

○出願状況(計1件)

名称: 表面の平坦性および結晶構造の完全性に優れた GaSb/InAs/Si(111)構造とその形成方法、並びにその構造を用いた MOS デバイスおよび赤外検出デバイス

発明者: 大竹晃浩、間野高明、宮田典幸、安田哲二

権利者: 同上

種類: 特許

番号: 特許願 2013-195290 号

出願年月日: 平成 25 年 9 月 20 日

国内外の別: 国内

6. 研究組織

(1)研究代表者

安田 哲二 (YASUDA, Tetsuji)  
独立行政法人産業技術総合研究所・ナノエレクトロニクス研究部門・研究部門長  
研究者番号: 9020152

(2)研究分担者

前田 辰郎 (MAEDA, Tatsuro)  
独立行政法人産業技術総合研究所・ナノエレクトロニクス研究部門・主任研究員  
研究者番号: 40357984

宮田 典幸 (MIYATA, Noriyuki)  
独立行政法人産業技術総合研究所・ナノエレクトロニクス研究部門・研究グループ長  
研究者番号: 40358130

大竹 晃浩 (OHTAKE, Akihiro)  
独立行政法人物質・材料研究機構・先端フォトニクス材料研究ユニット・主幹研究員  
研究者番号: 30267398

奈良 純 (NARA, Jun)  
独立行政法人物質・材料研究機構・理論計算科学ユニット・主任研究員  
研究者番号: 30354145

藤代 博記 (FUJISHIRO, Hiroki)  
東京理科大学・基礎工学部・教授  
研究者番号: 60339132  
(平成25年度から研究分担者として参加)

(3)連携研究者

市川 昌和 (ICHIKAWA, Masakazu)  
国立大学法人東京大学・工学系研究科・上席研究員  
研究者番号: 20343147

田中 正俊 (TANAKA, Masatoshi)  
国立大学法人横浜国立大学・工学研究院・教授  
研究者番号: 90130400