

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 15 日現在

機関番号：14501

研究種目：基盤研究(C)

研究期間：2012～2014

課題番号：24500064

研究課題名(和文) BDDとSATソルバを組み合わせた高多重度論理診断手法とECOコスト削減への応用

研究課題名(英文) An Error Diagnosis Technique Combining BDD-based Approach and SAT-Solver and Its Application to Incremental Synthesis to Reduce Costs Needed for ECO's

研究代表者

沼 昌宏 (NUMA, MASAHIRO)

神戸大学・工学(系)研究科(研究院)・教授

研究者番号：60188787

交付決定額(研究期間全体)：(直接経費) 4,000,000円

研究成果の概要(和文)：BDD(二分決定グラフ)による論理関数表現と、SATソルバによる充足可能性判定を組み合わせることで、多くの論理設計誤りを含む大規模回路に対して、短時間で多くの修正解を求める論理診断手法を提案・実現した。さらに、その結果をもとに再構成可能(RECON)セルを用いて配線層の変更のみによる修正を実現することで、大規模回路に対応した柔軟性の高い論理診断・再合成システムを構築し、ECO(設計変更)コスト削減に大きな効果が得られた。

研究成果の概要(英文)：We have proposed and implemented an error diagnosis technique combining BDD-based functional approach and SAT-solver, which makes it possible to diagnose large scale circuits including a lot of logic design errors. In addition, we have applied it to an incremental synthesis system employing RECON (reconfigurable) cells to fix ECO's (Engineering Change Orders) only by changing metal layer masks. The experimental results have shown that the proposed system is effective to reduce costs needed for ECO's.

研究分野：VLSI設計技術

キーワード：論理診断 論理再合成 設計変更 SATソルバ 設計誤り

1. 研究開始当初の背景

LSI の大規模化にともない、設計期間の長期化、およびコストの増大が問題となっている。微細化が進む最先端の大規模なシステム LSI においては、マスク 1 枚あたりの費用が 300 ~ 500 万円程度、チップ全体では数億円 ~ 8 億円程度に及ぶとも言われている。大規模な回路においては、システムの仕様変更や設計ミスによる設計変更(論理修正)を避けることは困難である。とくに仕様設計段階における設計ミスは、各設計工程間の検証では発見できないため、マスク製造後に仕様変更が行われることも少なくない。そのため、仕様設計段階のミスを、物理設計レベルの修正で吸収する技術が強く望まれている。この技術が実用化されれば、修正に必要な時間および費用に関するコストを飛躍的に削減することが可能となる。

2. 研究の目的

大規模化・複雑化する LSI の設計変更要求 (ECO: Engineering Change Orders) に対応すべく、BDD (二分決定グラフ) による論理関数表現と、SAT ソルバによる充足可能性判定を組み合わせることで、多くの論理設計誤りを含む大規模回路に対して、短時間で多くの修正解を求める論理診断手法を提案するとともに、その結果をもとに再構成可能 (RECON) セルを用いて配線層の変更のみによって修正を実現することで、大規模回路に対応した柔軟性の高い論理診断・再合成システムを構築し、ECO コストの大幅な削減を実現することを目的とする。

3. 研究の方法

研究代表者は、全体の総括に加えて BDD と SAT ソルバを組み合わせた論理診断手法の考案と改良を担当し、研究分担者は、設計変更に対応した論理再合成部、および RECON セルを用いたマスク再利用手法の考案・実現を担当した。考案・実現した手法の評価については両者が協力して行った。具体的には、下記に従って研究を進めた。

(1) BDD と SAT ソルバを併用した論理診断手法の考案と実現

本研究の核心部分である論理診断処理に関して、BDD と SAT ソルバを併用した手法を考案・実現した。両者の特徴を活かすことで、1 万ゲート規模の論理回路に対しても効率よく論理診断処理が実現できることを確認した。

(2) 論理診断手法の改良

(1) で考案・実現した手法に対して、処理時間短縮と、ECO に対応する柔軟性向上のため

めに多様な修正解を得ることを目的として、BDD と SAT ソルバを併用する論理診断手法に改良を加えた。

(3) 設計変更に対応した論理再合成部作成

(1)、(2) で考案・改良した手法に基づき、もともなる機能仕様に変更された際に、すでに合成された回路に対する可能な限り少ない修正によってその変更を満足させる、仕様変更に対応した論理再合成手法を考案し、ソフトウェアとして実現した。

(4) 提案手法の評価と研究成果発表

開発した実験システムを用いた設計実験、ならびに実態調査によって得られた実際の設計誤りや設計変更に関する記録をもとに、種々の回路に対する設計誤りの自動診断・修正能力を評価するとともに、得られた成果を学会等で発表した。

4. 研究成果

(1) BDD と SAT ソルバを併用した論理診断手法の考案と実現

本研究の核心部分である論理診断処理に関して、BDD と SAT ソルバを併用した手法を考案・実現した。SAT ソルバは、大規模な論理回路に対する充足可能性判定を効率良く行える一方、BDD は限られた 200 変数程度までの論理回路に対して、乗算器等の例外を除いて多くの場合にその論理関数を効率良く表現して、論理関数同士の演算や、すべての充足解を陽に列挙することなくグラフ形式で陰に表現することが可能である点に特徴がある。具体的な処理手順について、まず形式的論理検証について、SAT ソルバを用いた充足可能性判定を行う。その結果、設計された論理回路に対して機能仕様との不一致が検出された場合は、論理診断処理を実行する。誤り追跡入力生成など、多くの外部入力変数を扱う必要のある処理は SAT ソルバを用いるが、真理値シミュレーションのように、外部入力のほとんどが定数 (0 or 1) で、修正箇所に対応する真理値変数のみを扱う場合には、真理値変数に関する制約条件をグラフ形式で陰に表現できる BDD を適用した。BDD と SAT ソルバを併用することで、1 万ゲート規模の論理回路に対しても効率よく論理診断処理が実現できることを確認した。

(2) 論理診断手法の改良

(1) で考案・実現した手法に対して、処理時間短縮と、ECO に対応する柔軟性向上のために多様な修正解を得ることを目的として、BDD と SAT ソルバを併用する論理診断手法に改良を加えた。特に、修正を施すべき箇所の組合せを表す「組合せ箇所」の抽出を行うために、従来適用してきた誤り可能性の指標 EPI (Error Possibility Index) について改良を

加えた。従来は、EPI を設定した各 EPI グループ単位で、組合せ箇所に含まれる各箇所に与えられた EPI の和が 1 以上となる場合だけ組合せ箇所の候補として抽出していたが、多重度（組合せ箇所に含まれる箇所の数）の増加に伴って候補として抽出される組合せ箇所数が増加する点が問題となっていた。そこで、着目する不一致外部出力や適用する誤り追跡入力の異なる複数の EPI グループに対応して設定された EPI の平均値を用いて組合せ箇所の候補を抽出することで、従来手法と比べて平均で 1/100 以下の短時間で処理を終えることが可能となった。

さらに、各箇所の素子機能を表す LUT (Look-Up Table) の機能特定に、全称作用子、存在作用子を含む命題の充足可能性判定を行える QBF (Quantified Boolean Formula) ソルバを適用することで、LUT に未特定の真理値変数が多く含まれる場合や、同一パス上に複数の修正すべき箇所が存在している場合でも、機能特定を行う手法を提案・実現することで、1 万ゲートクラスの回路についても論理診断を可能とするとともに、処理時間を最大で 99% 削減することに成功した。

(3) 設計変更に対応した論理再合成部作成

(1)、(2) で考案・改良した手法に基づき、もともになる機能仕様が変更された際に、すでに合成された回路に対する可能な限り少ない修正によってその変更を満足させる、仕様変更に対応した論理再合成手法を考案し、ソフトウェアとして実現した。変更前の仕様に基づいて合成された回路が誤りを含むと考え、変更後の仕様を正しい機能とみなして論理診断・修正を行う。その結果、回路に対する最小の修正で、変更された仕様を満足することが可能となった。

メタル配線によって所望の論理素子を構成できる RECON セルをチップ上にスペアセルとしてあらかじめ埋め込んでおき、それらを用いて回路修正を行うことで、配置用のマスク、すなわち拡散層やポリシリコン層の形成に用いるマスクの再利用を可能とした。さらに、RECON セルをスペアセルとしてのみならず、ユーザ論理を実現するためのセルとしても利用することで、より幅広い設計変更に対応可能とする「ECO に優しい設計手法 (ECO-friendly design style)」を提案した。

(4) 提案手法の評価と研究成果発表

開発した実験システムを用いた設計実験、ならびに実態調査によって得られた実際の設計誤りや設計変更に関する記録をもとに、種々の回路に対する設計誤りの自動診断・修正能力を評価した。その結果、BDD と SAT ソルバを組み合わせることで、従来の BDD による手法では扱えなかった 2 万ゲート規模の回路に対する論理診断が行えることを確認するとともに、(2) で提案・実現した ECO

に優しい設計手法が、クリティカルパス遅延の短縮に有効であることを確認した。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 2 件)

Y. Shizuku, T. Hirose, N. Kuroki, M. Numa, and M. Okada, "Energy-efficient AES SubBytes transformation circuit using asynchronous circuits for ultra-low voltage operation," *IEICE Electronics Express*, 査読有, vol. 12, no. 4, pp. 20141157, 2015.
DOI: 10.1587/elex.12.20141157

Y. Osaki, T. Hirose, N. Kuroki, and M. Numa, "A low-power level shifter with logic error correction for extremely low-voltage digital CMOS LSIs," *IEEE Journal of Solid-State Circuits*, 査読有, vol. 47, no. 7, pp. 1776-1783, July 2012.
DOI: 10.1109/JSSC.2012.2191320

[学会発表](計 8 件)

Y. Kabata, T. Hirose, N. Kuroki, and M. Numa, "An ECO-friendly design style based on reconfigurable cells," *The 19th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2015)*, 査読有, pp. 319-324, May 2015.

Y. Shizuku, T. Hirose, N. Kuroki, M. Numa, and M. Okada, "A 24-Transistor Static Flip-Flop Consisting of NORs and Inverters for Low-Power Digital VLSIs," *12th IEEE International NEWCAS conference*, 査読有, pp. 137-140, Trois-Rivieres, Canada, Jun. 22-25, 2014.

A. Kiriya, R. Matsuzuka, K. Michibata, T. Kitayama, Y. Shizuku, T. Hirose, N. Kuroki, and M. Numa, "A memory-saving technique for 4K super-resolution circuit with binary tree dictionary," *The 18th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2013)*, 査読有, pp. 360-365, Oct. 2013.

Y. Kabata, T. Hirose, N. Kuroki, and M. Numa, "Technology remapping based on multiple solutions for post-mask functional ECO," *The 18th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2013)*, 査読有, pp. 253-258, Oct. 2013.

Y. Shizuku, T. Hirose, Y. Danno, N. Kuroki, and M. Numa, "A compact and energy-efficient Muller C-element for low-voltage asynchronous CMOS digital circuits," *The 18th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2013)*,

査読有, pp. 118-122, Oct. 2013.

N. Katayama, H. Sakamoto, T. Hirose, N. Kuroki, and M. Numa, "An error diagnosis technique using QBF solver to fix LUT functions," The 18th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2013), 査読有, pp. 28-33, Oct. 2013.

片山直樹, 松山友紀, 渡辺浩介, 廣瀬哲也, 黒木修隆, 沼 昌宏, "充足可能性判定に基づく誤り追跡入力生成と機能特定を用いた論理診断手法", DA シンポジウム 2012, pp. 13-18, 2012 年 8 月, ホテル下呂温泉水明館(岐阜県).

下野友大, 天満 健, 千崎弘人, 廣瀬哲也, 黒木修隆, 沼 昌宏, "メタル配線により再構成可能なセルと論理再合成への応用", DA シンポジウム 2012, pp. 7-12, 2012 年 8 月, ホテル下呂温泉水明館(岐阜県).

6 . 研究組織

(1) 研究代表者

沼 昌宏 (NUMA MASAHIRO)

神戸大学・大学院工学研究科・教授

研究者番号 : 60188787

(2) 研究分担者

黒木 修隆 (KUROKI NUBUTAKA)

神戸大学・大学院工学研究科・准教授

研究者番号 : 90273763