

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 15 日現在

機関番号：13201

研究種目：基盤研究(C)

研究期間：2012～2014

課題番号：24560326

研究課題名(和文) LCフィルタレス単相13レベルインバータの超高効率化

研究課題名(英文) Superior High Efficiency for a Single Phase 13 Level Inverter without using a LC Filter

研究代表者

飴井 賢治 (Amei, Kenji)

富山大学・大学院理工学研究部(工学)・講師

研究者番号：50262499

交付決定額(研究期間全体)：(直接経費) 4,100,000円

研究成果の概要(和文)：本研究の目的は、LCフィルタを用いずに高効率と低歪みを両立できる新しいインバータ回路を構築することである。この回路はPWM制御を用いずに複数の電圧レベルから所望の電位を選択して電圧を出力する。オン抵抗の小さな素子の選定により効率改善を図り、4素子1ユニット構成の基板により拡張性を高めた。また、遅延のない動作を実現する制御方式を検討した。これらの改良を施し3レベルの基本回路で実験を行い、高効率と正確な動作を確認した。これを13レベルまで拡張し、良好な動作特性を検証した。さらにスイッチング動作の見直しを図り、従来のインバータを凌駕する98.5%の高効率と約3%の波形歪みを達成した。

研究成果の概要(英文)：A purpose of this research is to create the new inverter circuit which can realize both high efficiency and low distortion without using LC filter. This circuit selects desired electric potential from the several voltage levels and outputs voltage without using a PWM control. Improvement of the efficiency was attempted by the selection of the element of the low on-resistance, and extensibility was raised by a circuit-board composed of 4 elements per 1 unit. In addition, it was considered a control method to realize accurate operation. The experiment was carried out in the basic circuit of 3 levels, and high efficiency and operation without the delay were confirmed. It was expanded to 13 levels, and a superior characteristic of the operation was inspected. Furthermore, a review of the switching operation was carried out, and 98.5% of high efficiency to exceed a conventional inverter and approximately 3% of waveform distortion were accomplished.

研究分野：パワーエレクトロニクス

キーワード：マルチレベルインバータ 双方向スイッチ LCフィルタレス PWM制御レス 高効率 低歪み デジタル制御

1. 研究開始当初の背景

マルチレベルインバータは、原理的に複数の電源と切り替えスイッチで構成され、負荷に印加する電圧を複数の電圧レベルから自由に選択することができる回路である。階段状の擬似正弦波を生成することで、高周波スイッチングを行うことなしに出力電圧の高調波成分を低減することができ、スイッチング損失や高周波障害を回避することができる。1素子あたりの電圧負担が小さくなることから、中性点クランプ型(以下、NPC型と略す)のマルチレベルインバータ回路が、電鉄や電力系統などの高圧大電力の用途に実用化されている。

マルチレベルインバータの最大の問題は、複数の電源と多くのスイッチング素子を必要とすることである。マルチレベルインバータの原理を実際の半導体スイッチを用いてNPC型で構成すると、 $2m$ 個の電源に対し $4m$ 個のスイッチが必要であり、出力される電圧レベルは正負合わせて $(2m+1)$ レベルである。

PWM制御を用いないで出力電圧の歪み率を3%以下に抑制するためには、正負合わせて13レベル以上が必要であると報告されており、その場合24個の素子が必要になる。しかしNPC型の回路構成を拡張して多段化すると直列素子数が増え、素子の電圧降下が積算されて損失の増大が避けられない。従って、既に実用化されている三相マルチレベルインバータの電圧レベル数は、3レベル(線間電圧で5レベル)と少なく、波形制御性を補うためにパルス幅変調を適用せざるを得ない。このことはつまり、スイッチング損失の低減や高周波障害の抑制といった本来持つマルチレベルインバータの特長が十分に活かされていないということなのである。

2. 研究の目的

本研究の目的は、パルス幅変調を行わずに電圧レベルの多段化によって、従来を上回る高効率、低歪みの直流/交流変換回路を開発することである。従来の回路を拡張した中性点クランプ型マルチレベルインバータの場合、複数の素子が直列接続された構成となり、それらの素子を流れる電流によって生じる導通損が積算され効率の低下が避けられない。そこで本提案では、双方向スイッチを用いた新しい回路構成を提案し、導通損とスイッチング損失の低減を図る。そして電圧歪みの低減と電圧誤差の最小化を両立する最適スイッチング位相を導出し、電圧制御を確立させる。また、6つの直流電源電圧を不均一に制御して出力電圧歪みのさらなる低減を図る。最高効率のインバータ回路を目指す。

3. 研究の方法

(1)主回路の安定動作の確立、電圧歪を抑制するための回路解析

電圧歪みを抑制にする回路動作の実現

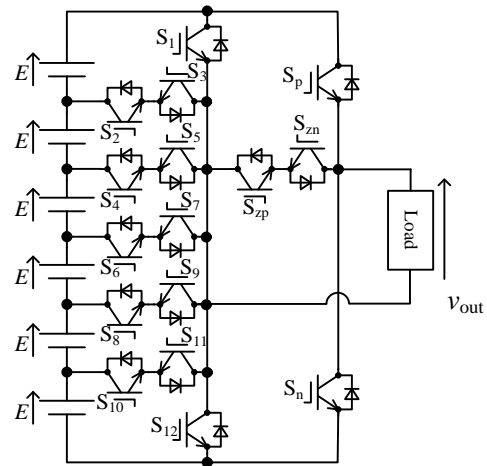


図1 単相13レベルインバータ

提案する単相13レベルインバータ回路を図1に示す。本回路は16個のスイッチング素子で構成されており、双方向スイッチを切り替えることで6個の電源から所望の電圧レベルを選択して図2に示すような階段状の出力電圧を生成する。スイッチの切り替えにより13レベルの電位を出力することができる。しかし、同時に導通させるスイッチの組み合わせや切り替えのタイミングによっては電源電圧を短絡させ素子を破壊させたり、あるいはスイッチの切り替えの際に回路が開放になって予期せぬ電圧レベルを出力させたりといった問題が生じる。

そこで、まずはスイッチングモードを詳細に調製制御方式の見直しを行い、シミュレーションによって回路動作の確認を行う。概略的な動作確認のシミュレーションにはPSIMを用いて行い、特にサージ電圧の発生などの過渡的な動作の確認には、PSPiceを用いて行う。デッドタイムの挿入やスイッチの切り替えタイミングの最適化によって安定動作の実現と電圧歪の抑制を図る。得られた結果を基にインバータ回路を作製する。

小形化を考慮した主回路・制御回路の製作

図1に示すように、提案回路は複数のスイッチング素子を用いるため、従来のHブリッジ回路に比べ小形化が困難であることは否

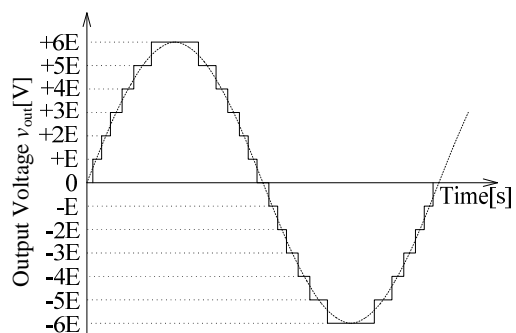


図2 単相13レベルインバータの出力電圧波形

めない。そこで、計 16 個のスイッチング素子のうち 4 素子を Hブリッジモジュールで構成し、主回路の小形化を試みる。また、双方向スイッチ部に関しては、エミッタコモンで接続することによってドライブ電源を共通化し、電源数の削減を図る。主回路素子による損失発生を抑えるため、飽和電圧の低い IGBT やオン抵抗の小さな FET の中から厳選して使用する。ゲート回路は、シミュレーションの理想状態に近づくため、信号の遅延時間が均一になるよう考慮して設計・製作する。

(2) スwitchング位相の最適化

単相 13 レベルインバータ回路の出力電圧波形の生成方法、及びその最適化について検討する。図3は、電源電圧が均一時における出力電圧の生成過程を示す。出力電圧は6段に積層された電圧レベルで構成されており、各段の電圧を切り替える位相、すなわちスイッチング位相によって波形を構成し制御を行う。各電圧レベルの横軸を微小位相 θ 、縦軸を一定電圧 E で区切り、それによって作られる微小領域をつなぎ合わせて各段の電圧レベルを構成する。これにより、波形の最適化が数値解析によって行えるようになる。

電源電圧が均一時の出力電圧の最適化

6 つの電源の電圧値が全て一定の E に制御されていると仮定したときの最適なスイッチング位相を導出する。横軸の刻み位相 θ は、製作したインバータの位相制御精度に合わせて設定する。出力電圧の周波数を商用周波数とし、位相の分割数を 2 の累乗として分割数を決定する。ドライブ回路等によるスイッチング時の遅れ時間が約 $1\mu\text{s}$ 以内で一定であるとすると、デッドタイムによる影響を考慮して分割数は 1 周期 256 ~ 1024 分割 ($\theta=65\mu\text{s}$ ~ $16\mu\text{s}$) 程度まで細分化する。1 段を構成する微小領域の数を最下段の電圧レベルから最上段の順に決定し 1 周期の波形を構築して、FFT 演算により電圧歪みと電圧誤差を算出する。これを繰り返し最適なスイッチング位相

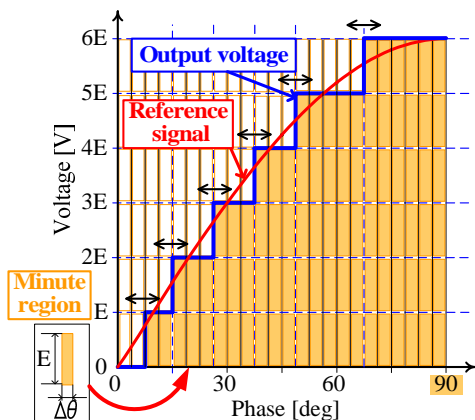


図3 出力電圧波形の生成過程
(6 電源電圧=均一時)

の導出を行う。得られた結果を基に実験を行い、波形制御性を検証する。

4. 研究成果

本研究の目的は、LC フィルタを用いずに低ひずみ化を実現する高効率インバータ回路を構築することである。その目的を達成するためには、高効率化と小形化を考慮した主回路構成、複数のスイッチング素子を自由にかつ精度良く制御、波形ひずみを低減できる最適スイッチング位相の導出が重要である。これらの課題を解決する方法を考案し、実験回路を作製して特性試験を行い、改善効果を検証することが本研究の具体的内容である。

電圧歪みを抑制にする回路動作の実現

まず、高効率化と小形化を考慮した主回路の構成と複数のスイッチング素子の制御について検討した。どんな素子を使用すればよいか、どのような制御回路で構成すればよいか、そして電圧レベル数の拡張にも十分に対応できるようにするにはどのように構成したらよいかについて検討した。主回路の拡張性に関しては、回路基板をユニット化することで容易に拡張できる構成にした。また複数のスイッチング素子の制御に関しては、制御信号を I/O ポートから出力することで、遅延無く正確に出力でき、拡張性にも対応できることが確認された。検討した内容を評価するために提案する方式のマルチレベルインバータの基本単位である単相 3 レベルハーフブリッジインバータ回路を試作し、動作特性を観測した。その結果、良好な波形制御性と高い効率が確認された。主回路基板をユニット構成にすること、そして制御信号を I/O ポートから一括出力することによって、拡張性が実現された。これらのことから、提案する 13 レベルインバータ回路を構築する上で基礎となる貴重な設計データが得られ、当初の目標を十分に達成できたといえる。

小形化を考慮した主回路・制御回路の製作
高効率化と小形化に主眼を置いて設計を行った主回路と、複数の SW 素子をマイクロプロセッサで制御する回路を作製して特性を評価した。まず主回路構成については、高効率化を図るために使用するスイッチング素子の見直しを行った。MOS-FET のオン抵抗は高耐圧になるほど増加する傾向があり、出力電圧値と素子耐圧を考慮してルネサスの RJK2511DPK (250V、65A、28mΩ) を選択した。また小形化に関しては、1 枚の基板に 4 つの SW 素子とその駆動回路を配置し、4 素子単位で増設できるユニット構成とした。これにより電圧レベルの増減に対応でき、また使用素子の違いによる動作特性への影響を比較できるようになった。さらに、このユニット基板のパターンを発生させて専用基板を作製し、回路の製作行程の短縮を図った。制御回路に関しては、汎用的なマイクロプ

ロセッサによるデジタル制御の可能性を検討した。それは、周期が 16 μ s の基準クロックでタイマー割り込みを発生させ、予めプリセットされたカウンタをダウンカウントさせてポローが発生したときにゲート信号を更新する方法である。本方式の動作特性を確認するために、ルネサスの H8 / 3052 マイコンを用いて制御回路を作製した。基準クロックの生成やダウンカウント、データ保持はマイコン内部で行い、ゲート信号の出力は I/O ポートを用いて行った。

これらの装置を用いて動作特性試験を行った。出力電圧 100V、電力 700W の条件で実験を行ったところ変換効率は 97.0%、電圧歪み率は 3.47%であった。なお、この結果を学会発表し、電気学会より「ヤングエンジニアポスターコンペティション」、IEEE IAS より「Young Engineer Competition Award」を受賞した。

損失要因の抽出による更なる高効率化

回路の損失発生要因の抽出を行い更なる高効率化を実現するため、主回路及び制御回路の見直しを行った。主回路に関しては、13 レベルのマルチレベルインバータに加え、PWM 制御が施された同原理の 5 レベルの回路を作製し、動作特性の検証を行った。この回路は、13 レベルに比べ制御が簡略になり、主回路の違いによる損失比較をより顕著に行うために利用した。5 レベルインバータは、13 レベルの半分の 8 素子で構成され、同様に双方向スイッチを切換えながら所望の電圧レベルを出力する回路である。この 5 レベル回路を用いて実験を行ったところ、LC フィルタありの時の効率は、出力電力が 730W 時に 97.8%、LC フィルタなしの時は出力 760W 時に 98.7%であった。これに対し 13 レベルインバータは、700W 時に 97.5%であり、5 レベルの PWM スイッチング (LC フィルタあり) と同等の効率であった。このため、スイッチングパルスの最適化や、主回路素子の見直しを行った結果、効率を 98.5%まで高めることができ、5 レベルと同等の特性が得られた。このことから、同原理で動作する回路で電圧レベル数やスイッチング素子数の違いがあっても、効率に影響しないことが確認された。なお、この効率は、従来のフルブリッジ型インバータを遙かに超える高い値であり、当初の高効率化の目標が十分に達成されたと言える。

波形制御性に関しては、LC フィルタが接続されていないため出力電力を 1,000W まで変化させても波形歪みは約 0.3%しか増加しておらず、フィードバック制御に匹敵する波形安定性が確認された。しかし、13 レベルの階段状の波形は、歪みが最小化されたスイッチングパルスを与えても 3%の歪みを含んでおり、高精度な電圧を必要とする用途には電圧レベル数の検討が必要になることが確認された。今後は、これらの結果を基に 13 レ

ベルインバータを電力系統へ接続し、高効率な系統連系インバータの実現に向けて研究を進めていく予定である。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 1 件)

鮎井賢治、加藤雅大、大路貴久、作井正昭、「双方向スイッチを用いた高効率単相 5 レベルインバータの特性」、電気学会論文誌 D、査読あり、Vol.135、No.3、pp.321-322 (2015) DOI:10.1541/ieejias.135.320

[学会発表](計 3 件)

加藤雅大、鮎井賢治、大路貴久、作井正昭、「双方向スイッチを用いた単相 5 レベルインバータの制御回路の簡略化」、平成 26 年度電気関係学会北陸支部連合大会、A-36 (CD) (2014.9.11)、「富山高専 (富山県・富山市)」

足立成史、鮎井賢治、大路貴久、作井正昭、「ハーフブリッジ型単相 13 レベルインバータの制御方式」、平成 26 年度電気関係学会北陸支部連合大会、A-38 (CD) (2014.9.11)、「富山高専 (富山県・富山市)」

足立成史、鮎井賢治、大路貴久、作井正昭、「ハーフブリッジ型単相 3 レベルインバータの試作」、平成 25 年度電気学会産業応用部門大会 (JIASC13)、YPC、Y-39 (CD) (2013.8.28)、「山口大学 (山口県・山口市)」

6. 研究組織

(1)研究代表者

鮎井 賢治 (AMEI, Kenji)
富山大学・大学院理工学研究部 (工学)・講師
研究者番号 : 5 0 2 6 2 4 9 9