

科学研究費助成事業 研究成果報告書

平成 27 年 5 月 29 日現在

機関番号：32644

研究種目：基盤研究(C)

研究期間：2012～2014

課題番号：24560416

研究課題名(和文)ニューロンMOSFETを用いた高速かつ低消費電力AD変換回路

研究課題名(英文)High-Speed and Low Power Consumption AD Converter Using Neuron MOSFET

研究代表者

藤本 邦昭 (FUJIMOTO, Kuniaki)

東海大学・基盤工学部・教授

研究者番号：60229044

交付決定額(研究期間全体)：(直接経費) 2,400,000円

研究成果の概要(和文)：本研究では、まずAD変換器の電圧レベル判定素子に適したニューロンCMOSインバータの回路構成について検討した。その結果、ニューロンCMOSインバータに初期電荷キャンセル回路を付加する必要があることが分かった。次に、ニューロンCMOSインバータを基本構成部品とした4種類のAD変換回路構成し、所期の動作が得られることをシミュレーションおよび実チップを用いた実験により明らかにした。

研究成果の概要(英文)：In this study, we considered about the proper constitution of a neuron CMOS inverter as a determination unit of the voltage level with an A/D converter. As a result, it has found that an initial charge cancel circuit is necessary to obtain the accurate the threshold voltage level. Furthermore, we constituted 4 types of A/D converter and confirmed that can obtain these expected results through SPICE simulations and experiments concerning the fabricated IC chips.

研究分野：電子電子工学

キーワード：AD変換器 ニューロンMOSFET 集積回路

1. 研究開始当初の背景

A/D変換器は、連続的なアナログ信号を離散的なデジタル信号に変換する回路である。A/D変換器には様々な型式があるが、高速変換を必要とする場合には、並列型A/D変換器の一つであるフラッシュ型A/D変換器がよく用いられる。このフラッシュ型A/D変換器は、直列に接続された複数の分圧用抵抗により複数の基準電圧を生成し、それぞれの基準電圧とアナログ入力信号電圧を各コンパレータで比較し、その比較結果に基づいてアナログ入力信号に対応するデジタル信号を出力するものである。フラッシュ型A/D変換器はnビットの分解能を得るために $2^n - 1$ 個のコンパレータを必要とする。そのため分解能が上がるにつれて回路規模が指数関数的に増大し、これに伴って消費電力が増加するという問題があった。さらに、コンパレータ自体も一般のCMOS論理ゲートなどと比べると、回路構造が複雑で回路規模も大きく、消費電力も大きい。コンパレータの消費電力を抑えることによりA/D変換器の消費電力を抑えるという試みも行われており、多くのコンパレータが提案されているが、問題の根本的な解決には至っていない。

一方、従来のフラッシュ型A/D変換器のように基準電圧と入力電圧を比較するのではなく、可変閾値特性を有するニューロンMOSFETを用いるとA/D変換器が構できるという提案がなされている。しかし、ニューロンMOSFETを用いて実用的な性能のA/D変換器を構成するには至っていない。

2. 研究の目的

近年の携帯電話や携帯端末の高性能化および高機能化に伴い、搭載されるA/D変換器には高速、低消費電力、小型といった特性が同時に求められている。特に、A/D変換器の消費電力は、携帯型電子機器における消費電力の多くの部分を占めており、消費電力削減は大きな課題となっている。しかし、現在使用されているA/D変換器の大半は、定常状態において電力を消費するコンパレータを使用しているため消費電力を抑える事が難しい。そこで、コンパレータを使用しない回路構成のA/D変換器を、可変閾値特性を有する電子素子であるニューロンMOSFETを用いて構成し、その特性を試作チップを用いた実験により確認することを目的とする。

3. 研究の方法

(1)ニューロンMOSFETを用いたフラッシュ型A/D変換回路は、ニューロンCMOSインバータを電圧レベルの判定素子として使用している。そのため、A/D変換回路の変換精度は、ニューロンCMOSインバータの閾電圧を精度よく制御できるかによって決定される。そこで、まず、ニューロンCMOSインバータ単体の集積化を行い、閾値を最も精度よく制御できる方式を見出す。

(2)最も性能の良かった方式のニューロンCMOSインバータにおいて、フローティングゲートの大きさ、ゲート長、ゲート幅などの最適設計条件を見出す。

(3)ニューロンCMOSインバータを用いたフラッシュ型A/D変換回路全体を集積化し性能評価を行う。

4. 研究成果

(1)図1はニューロンCMOSインバータの回路図とその等価回路である。ニューロンCMOSインバータは、特別な集積回路製造プロセスがないと製造できず、製造コストが高くなる。しかし、図1(b)のニューロンCMOSインバータの等価回路を用いると一般の製造プロセスで製造でき、かつニューロンCMOSインバータを用いた場合と同等の性能を得ることができる。

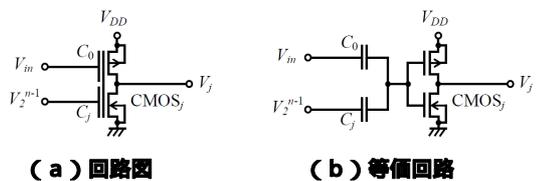


図1 ニューロンMOSインバータ

(2)A/D変換器は、正確な電圧レベルの判定が必要である。しかし、ニューロンCMOSインバータは、フローティングゲート基板間容量やフローティングゲートの初期電荷の影響で判定レベルがずれてしまう。そこで、図2回路を用い、一定時間毎にニューロンCMOSインバータのフローティングゲートと入力端子に $V_{DD}/2$ を印加することでこの問題を解決できる。

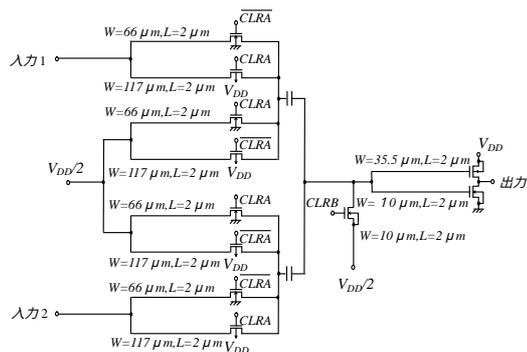


図2 初期電荷のキャンセル回路を含むニューロンMOSインバータ

(3)図3は、ニューロンCMOSインバータを用いたフラッシュ型A/D変換器の回路図である。なお、ニューロンCMOSインバータには図2の初期電荷キャンセル回路を含むニューロンCMOSインバータを用いている。図4は、この回路の実チップを用いた実験結果である。図において、一番上が入力電圧であり、0Vから電源電圧まで変化する三角波を印可している。 V_{out1} から V_{out5} がA/D変換出力である。これより、図3の提案回

路により所期のA/D変換動作が得られることがわかる。

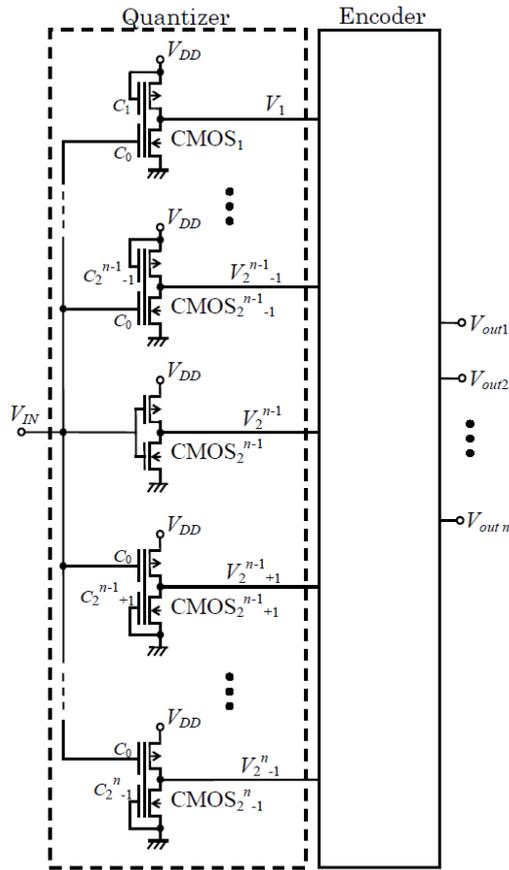


図3 ニューロンCMOS回路を用いたフラッシュ型A/D変換器

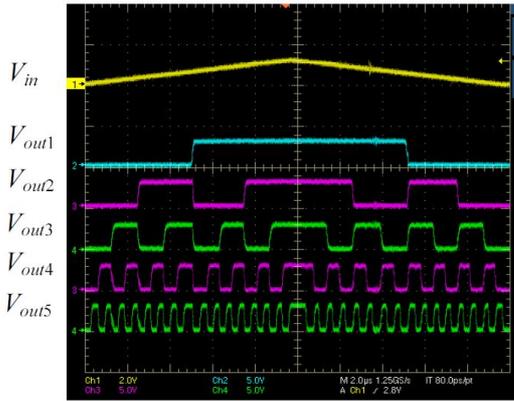


図4 図3の回路の実チップを用いた実験結果

(4)図3の回路では、ニューロンCMOSインバータの2つの入力のうち一方を電源またグランドに接続している。この部分を図5のようなインバータの出力を印可するように変更すると、図3の回路に比べてニューロンCMOSインバータの数を1/2に減らすことができる。図6は、この回路の実チップを用いた実験結果である。図において、一番上が入力電圧であり、0Vから電源電圧まで変化するランプ電圧を印可している。V₁からV₇がニューロンCMOSインバータの出力、V₈がCMOSインバータの出力、V_{out1}から

V_{out4}がA/D変換出力である。これより、図5の提案回路により所期のA/D変換動作が得られることがわかる。

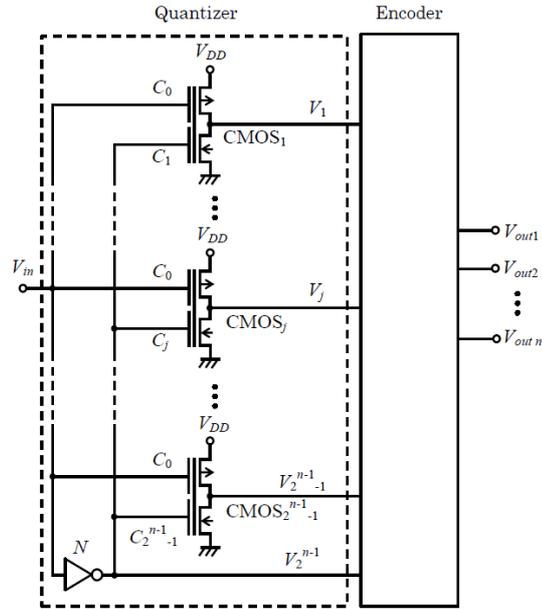


図5 ニューロンCMOS回路を用いた変形フラッシュ型A/D変換器

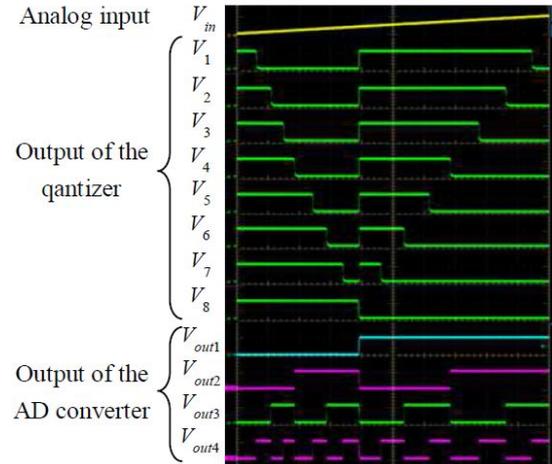


図6 図5の回路の実チップを用いた実験結果

(5)図3、図5のようにニューロンCMOSインバータを用いたA/D変換器は、従来のフラッシュ型A/D変換回路で必要としていた基準電圧生成回路が不要であるという特徴を有している。しかし、図7のようにあえて基準電圧生成回路とともに用いるとニューロンCMOSインバータのフローティングテート基板間容量に最少基準容量を用いることができ、レイアウト面積を大幅に削減できる。図8は、この回路のシミュレーション結果である。図において、一番上が入力電圧であり、0Vから電源電圧まで変化する三角波を印可している。V₁からV₇がニューロンCMOSインバータの出力をインバータで波形整形した電圧である。V₀₁からV₀₃がA/D変換出力である。これより、図7の提案回

路により所期のA/D変換動作が得られることがわかる。

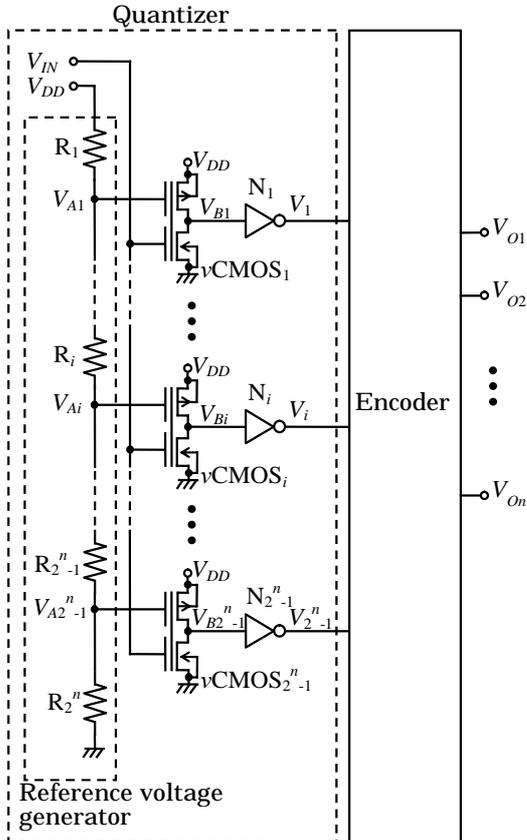


図7 ニューロンCMOS回路を用いたA/D変換回路

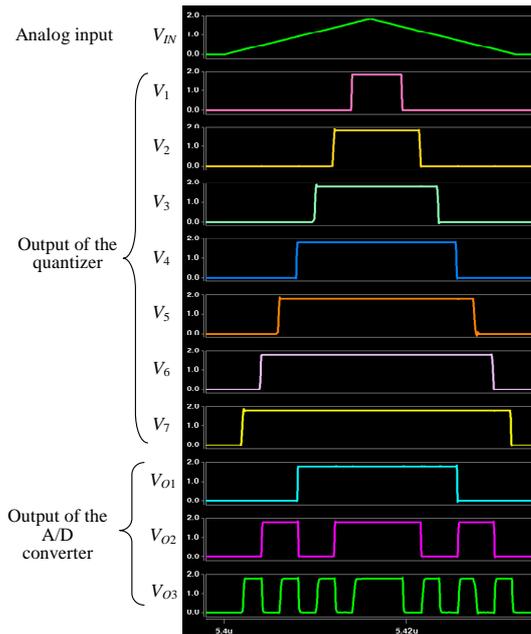


図8 図7の回路のシミュレーション結果

(6)図9のようにニューロンCMOSインバータに2個のMOSFETを追加し、これにクロックを印可したクロックドニューロンCMOSインバータを電圧レベル判定素子として利用すると、クロックがローレベルの間のニューロンCMOSインバータの消費

電力をほぼゼロにすることができA/D変換器の消費電力を抑えることができる。図10、図11は、この回路のシミュレーション結果である。なお、図10はクロックのデューティ比が50%の場合、図11はクロックのデューティ比が10%の場合である。図において、一番上が入力電圧であり、0Vから電源電圧まで変化する三角波を印可している。クロック ϕ_1 、 ϕ_2 が印可した2相クロック、 V_{out1} から V_{out4} がA/D変換出力である。これより、図9の提案回路により所期のA/D変換動作が得られることがわかる。また、消費電

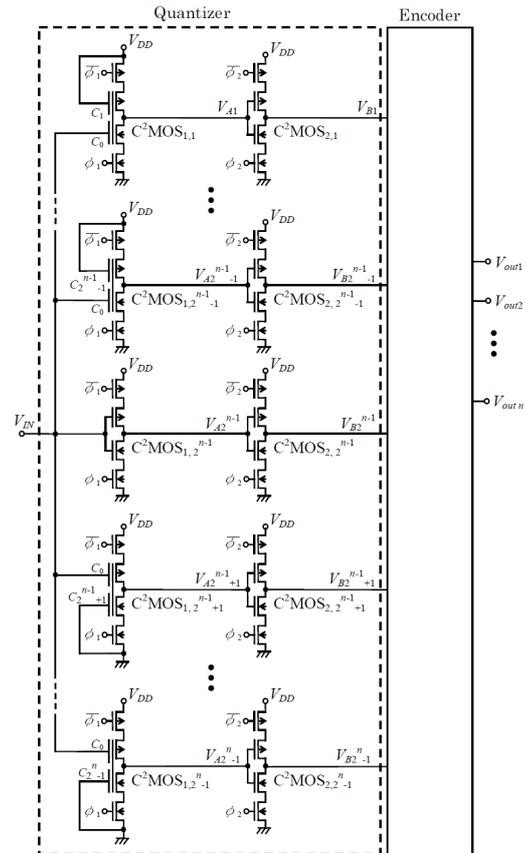


図9 クロックドニューロンCMOS回路を用いたA/D変換回路

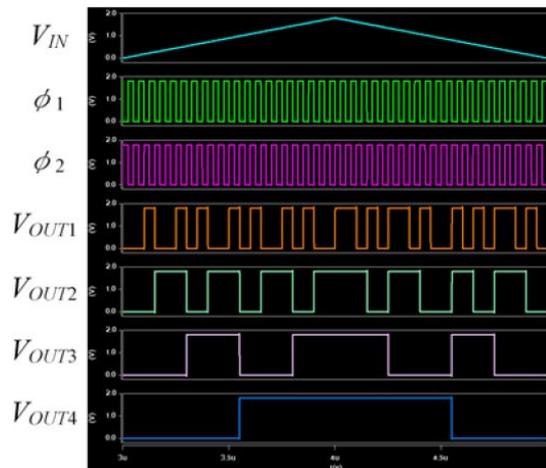


図10 図9の回路のシミュレーション結果 (クロックのデューティ比が50%の場合)

については、クロックのデューティ比にほぼ比例して減少することをシミュレーションにより確認した。

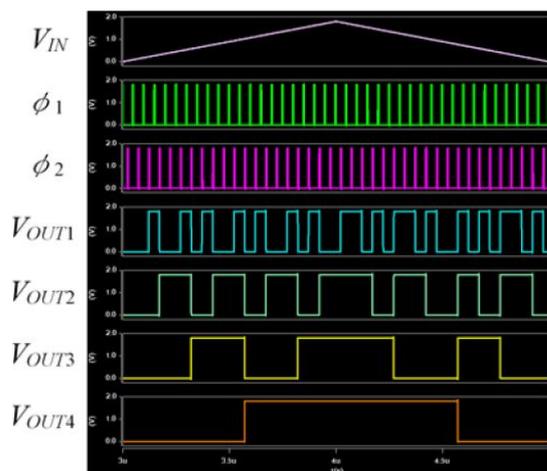


図 11 図 9 の回路のシミュレーション結果 (クロックのデューティ比が 10% の場合)

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 4 件)

Yujiro Harada、Kuniaki Fujimoto、Mitsutoshi Yahara、Kei Eguchi、A flash type A/D converter using clocked neuron CMOS inverters、CIC Express Letters、査読有、Vol.9、No.2、309-315、2015.2

Yujiro Harada、Kei Eguchi、Kuniaki Fujimoto、A Size Reduction Technique for an A/D Converter Using Neuron CMOS Inverters、査読有、Journal of Applied Science and Agriculture、Vol.9、132-137、2014.9

Yujiro Harada、Kuniaki Fujimoto、Mitsutoshi Yahara、Kei Eguchi、A Study on Flash Type A/D Converter Using Neuron CMOS Inverter、Advanced Materials Research、査読有、Vols.931-932、915-919、2014.5
DOI:10.4028/www.scientific.net/AMR.931-932.915

佐藤 祥輝、吉田 正廣、原田 裕二郎、藤本 邦昭、ニューロン CMOS インバータを用いたフラッシュ型 A/D 変換器、電子情報通信学会論文誌 C、査読有、Vol. J96-C、No.12、552-553、2013.12

[学会発表](計 4 件)

原田 裕二、藤本 邦昭、ニューロン CMOS インバータを用いた最小ハミング距離検出回路、電子情報通信学会九州支部学生会講演会、鹿児島大学(鹿児島県鹿児島市)、2014.9

佐藤 祥輝、吉田 正廣、藤本 邦昭、ニューロン CMOS インバータを用いた変形フラッシュ型 A/D 変換回路、電気学会電子・情報・システム部門大会、北見工業大学(北海道北見市)、2013.9

Yujiro Harada、Kuniaki Fujimoto、Mitsutoshi Yahara、Kei Eguchi、A Study on Flash Type A/D Converter Using Neuron CMOS Inverter、KKU-IENC2014、コンケン(タイ)、2014.3

佐藤 祥輝、吉田 正廣、藤本 邦昭、ニューロン CMOS インバータを用いたフラッシュ型 A/D 変換回路、電気学会電子・情報・システム部門大会、弘前大学(青森県弘前市)

6. 研究組織

(1) 研究代表者

藤本 邦昭 (FUJIMOTO, Kuniaki)
東海大学・基盤工学部・教授
研究者番号：60229044

(2) 連携研究者

矢原 充俊 (YAHARA, Mitsutoshi)
東海大学福岡短期大学・教授
研究者番号：30259692