

科学研究費助成事業 研究成果報告書

平成 28 年 6 月 15 日現在

機関番号：11301

研究種目：若手研究(B)

研究期間：2013～2015

課題番号：25870067

研究課題名(和文)システムセルフリカバリー機能を有する不揮発FPGAアーキテクチャの構築

研究課題名(英文)Design of a nonvolatile FPGA with system self-recovery function

研究代表者

鈴木 大輔 (Suzuki, Daisuke)

東北大学・学際科学フロンティア研究所・助教

研究者番号：00574675

交付決定額(研究期間全体)：(直接経費) 3,200,000円

研究成果の概要(和文)：本課題は、自然災害などによる電源喪失に対してロバストな不揮発field-programmable gate array (FPGA)を実現することを目的としている。まず、不揮発記憶素子の一種であるMTJ (Magnetic Tunnel Junction)素子を活用することで、種々のFPGA基本回路の高エネルギー効率化を行った。また、回路の内部状態をMTJ素子に確実にバックアップするためSelf-terminated機構を考案した。上記基本回路IP群をVerilog-to-routing (VTR)に組み込むことで、目的の不揮発FPGA実現およびその評価環境構築が達成された。

研究成果の概要(英文)：The mission of the research is to realize a nonvolatile field-programmable gate array (FPGA) with robustness against power failure due to natural disaster. To perform the mission, we have designed energy-efficient nonvolatile FPGA circuit IPs by using magnetic tunnel junction (MTJ) devices. We have also realized a self-terminated mechanism which makes it possible to realize successful write in the MTJ device. By embedding these circuit IPs into an open-source CAD tool Verilog-to-Routing (VTR), we have realized the nonvolatile FPGA with self-recovery function and established its design environment.

研究分野：集積回路

キーワード：FPGA 不揮発ロジック MTJ素子 低消費電力 ロジックインメモリ 耐災害性

1. 研究開始当初の背景

FPGA は回路情報の書換えのみで任意の回路を実現可能であるため、短期間かつ少ないコストでハードウェア設計が可能である。しかしながら、揮発性の記憶素子にデータを保存する従来の FPGA は、電源供給が遮断されるとデータも失われてしまう。このような情報の揮発性は、大規模停電、あるいはモバイル向けアプリケーションではバッテリー切れなど、突発的な電源障害に対して脆弱である。従来、このような電源障害対策として、UPS などの予備電源をシステム上に追加し、電源障害発生時には予備電源供給が停止する前に情報をフラッシュメモリなどの不揮発デバイスにバックアップするのが一般的であった。しかしながら、それだけでは十分であるとは言えず、システムバックアップの完了前に予備電源の供給が停止してしまう、あるいは予備電源自体故障してしまうケースも起こりうる。このように外部電源に頼る従来手法では限界があり、アーキテクチャレベルでの根本的な解決策が求められる。

一方、本申請者は、不揮発性やコンパクト性、高い書換え耐性といった優れた特長を有する MTJ (Magnetic Tunnel Junction) 素子と記憶と演算を密に一体化させるロジックインメモリ回路技術を組み合わせることで、不揮発かつコンパクトな FPGA を提案し、その基本回路チップを試作、その不揮発記憶動作を実証している。本提案 FPGA では回路情報が電源供給無しで MTJ 素子に保持されるため電源障害に伴うデータ破壊のリスクを除去できるポテンシャルを十分に有している。しかしながら、上記電源障害からの復旧動作を含めた FPGA アーキテクチャ全体に関してこれまで十分な議論がされていなかった。

2. 研究の目的

以上に示した研究の動向より、本研究では MTJ 素子を用いたロジックインメモリ回路技術を活用することで、いかなる電源トラブルに対しても内部データを不揮発デバイスに堅固に保持し、電源復旧後に自動的に元の状態に復旧可能な高安全・高信頼 FPGA アーキテクチャの構築を目指す。主な研究目的は次の 2 つである。

(1) セルフリカバリー機構について基礎的検討を行う。MTJ 素子モデルを含んだ回路シミュレーションを用いた実験を通し、高安全・高信頼化のための要素回路の検討を行う。

(2) 上記機構を含めた不揮発 FPGA 実装を行う。大規模集積回路設計ツールを活用してアーキテクチャレベルでの評価を行い、提案技術の有用性について実証する。

3. 研究の方法

第 1 段階では、提案 FPGA の要となるセルフリカバリー動作の実現のため、FPGA 内の演算データ等を MTJ 素子に書き込む回路や電源障害から自動修復するための情報生成回路など、要素回路の検討を行う。これらについて回路シミュレーションを通した基礎実験を通し、セルフリカバリー要素回路の最適設計についても検討する。

第 2 段階では、第 1 段階で得られた知見を元に実際にセルフリカバリー機構を搭載した不揮発 FPGA の実装を行う。設計には自動配置配線ツールや論理シミュレータなど大規模集積回路設計ツールを活用し、アーキテクチャレベルでの評価を行う。

4. 研究成果

目標達成に向けまず、不揮発 FPGA を構成する基本回路に関して回路シミュレーションによる性能評価を行い、電力モデルを作成するとともに、高エネルギー効率化に向けた基礎検討を行った。

次に、目標の FPGA 実現のためには MTJ 素子へのデータ書き込み電力削減、および確実なデータ書き込みが必須であるという観点から、Self-Terminated 機構という書き込み自動停止回路を考案した。本提案機構は MTJ 素子の抵抗値変化を監視することで、データの書き込みを確実なものとし、かつ書き込み終了と同時に電流供給を自動停止するため、高信頼化と低消費電力化を達成可能である。さらに本回路機構を改良し、少ない面積オーバーヘッドでフリップフロップ回路に組み込む事にも成功し、従来の最悪値に合わせた設計手法と比較して 83%の書き込み電力削減に成功した。また、従来のロジックエレメント回路は MTJ 素子の抵抗差が小さいことに起因する演算時の消費エネルギーオーバーヘッドが存在した。この問題を解決するため、PMOS トランジスタを用いた Feedback 構造有する基本回路を考案し、消費エネルギーを 66%削減することに成功した。

上記基本回路群を活用することで、目標とする不揮発 FPGA の基本アーキテクチャが

実現された。また、オープンソースの CAD ツールである Verilog-to-routing (VTR) の設計フローに不揮発 FPGA の基本回路 IP 群を組み込むことで、提案不揮発 FPGA をアーキテクチャレベルで評価できる環境を構築された。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 3 件)

[1] Daisuke Suzuki, Masanori Natsui, Akira Mochizuki, Takahiro Hanyu, "Cost-Efficient Self-Terminated Write Driver for Spin-Transfer-Torque RAM and Logic," IEEE Trans. Magn., vol. 50, no. 11, pp. 3402104-1-3402104-4, Nov. 2014. (査読有)

[2] Daisuke Suzuki and Takahiro Hanyu, "Magnetic-Tunnel-Junction Based Low-Energy Nonvolatile Flip-Flop Using An Area-Efficient Self-Terminated Write Driver," Journal of Applied Physics (JAP), vol. 117, pp. 17B504-1-17B504-3, Jan. 2015. (査読有)

[3] Daisuke Suzuki and Takahiro Hanyu, "Nonvolatile Field-Programmable Gate Array Using 2-Transistor-1-Magnetic-Tunnel-Junction-Vell-Based Multi-Context Array for Power and Area Efficient Dynamically Reconfigurable Logic," Japanese Journal of Applied Physics (JJAP), vol. 54, no. 4S, pp. 04DE01-1-04DE01-5, Mar. 2015. (査読有)

[学会発表](計 9 件)

[1] 鈴木 大輔, 夏井雅典, 望月明, 羽生 貴弘, "MTJ 素子を用いた不揮発 FPGA の電力効最適化手法," デザインガイア 2013, pp. 49-53, Nov. 2013. (査読無)

[2] Daisuke Suzuki, Masanori Natsui, Akira Mochizuki, and Takahiro Hanyu, "Optimally Self-Terminated Compact Switching Circuit Using Continuous Voltage Monitoring Achieving High Read Margin for STT MRAM and Logic," Abst. International Magnetism Conference (INTERMAG), pp. 2506-2507, May 2014. (査読有)

[3] Daisuke Suzuki and Takahiro Hanyu, "Nonvolatile FPGA Using

2T-1MTJ-Cell-Based Multi-Context Array for Power and Area Efficient Dynamically Reconfigurable Logic," Ext. Abst. International Conference on Solid State Devices and Materials (SSDM), pp. 450-451, Sept. 2014. (査読有)

[4] Daisuke Suzuki and Takahiro Hanyu, "A Nonvolatile FPGA Using MTJ-Based Logic-in-Memory Structure for Ultra Low-Power Reconfigurable Systems," Proc. Int. Workshop on Electronics and Communications, pp. 1-4, October 2014. (査読無)

[5] Daisuke Suzuki and Takahiro Hanyu, "MTJ-Based Low-Energy Nonvolatile Flip-Flop Using Area-Efficient Self-Terminated Write Driver," Abst. 59th Annual Conference on Magnetism & Magnetic Materials (MMM), p. 813, Nov. 2014. (査読有)

[6] 鈴木 大輔, 田畑祐樹, 羽生 貴弘, "ロジックインメモリベース不揮発 FPGA 用電源制御モジュールの設計," 電子情報通信学会 2015 総合大会, p. 76, Mar. 2015. (査読無)

[7] Daisuke Suzuki and Takahiro Hanyu, "Design of an MTJ-Based Nonvolatile Lookup Table Circuit Using an Energy-Efficient Single-Ended Logic-In-Memory Structure," Proc. 58th IEEE Midwest Symposium on Circuits and Systems, pp. 1-4, Aug. 2015. (査読有)

[8] 鈴木 大輔, 羽生 貴弘, "Self-Terminated 機構に基づく MTJ 書込み回路とその乱数生成器への応用," 電子情報通信学会 2016 総合大会, C-12-34, p. 107, Mar. 2016. (査読無)

[9] Daisuke Suzuki, et al., "Energy-Efficient and Highly-Reliable Nonvolatile FPGA Using Self-Terminated Power-Gating Scheme," IEEE Int. Symp. Multiple-Valued Logic, May, 2015. (査読有)

[図書](計 0 件)

[産業財産権]
出願状況(計 1 件)

名称: 抵抗変化型記憶素子へのデータ書き込み装置

発明者: 羽生貴弘, 鈴木大輔, 夏井雅典, 鈴木大輔

権利者: 東北大学

種類: 特許

番号：特願 2014-060901
出願年月日：2014 年 03 月 24 日
国内外の別：国内

取得状況（計 件）

名称：
発明者：
権利者：
種類：
番号：
取得年月日：
国内外の別：

〔その他〕

ホームページ等

[羽生研究室]

<http://www.ngc.riec.tohoku.ac.jp>

[Google Scholar]

<https://scholar.google.co.jp/citations?user=afnpf3UAAAAJ&hl=ja>

6. 研究組織

(1) 研究代表者 鈴木 大輔

(Daisuke Suzuki)

東北大学 学際科学フロンティア研究所
助教

研究者番号：00574675

(2) 研究分担者

()

研究者番号：

(3) 連携研究者

()

研究者番号：