

平成 30 年 6 月 7 日現在

機関番号：37111

研究種目：基盤研究(C) (一般)

研究期間：2014～2017

課題番号：26330075

研究課題名(和文)階層構造とアクセス方式を同時に改善するメモリシステムの研究

研究課題名(英文)Study on Hierarchy and Access Policy of Memory Systems

研究代表者

佐藤 寿倫 (Sato, Toshinori)

福岡大学・工学部・教授

研究者番号：00322298

交付決定額(研究期間全体)：(直接経費) 3,600,000円

研究成果の概要(和文)：依然としてコンピュータにはより高性能が期待されるが、CPU性能と比較してメモリ性能の改善が遅れており、IoTやディープラーニング等の近年注目されている応用分野を満足させることが困難である。このような背景のもとで、メモリの階層構造とアクセス方式を同時に改善することで、高性能かつ省電力なメモリを実現することが目標である。近年重要になりつつあるデータ構造のKey-Value Storeでの利用を想定し、フラッシュメモリを備えるIoTデバイスでの消費電力削減を検討している。Redisを主記憶上に構成しYCSBを用いて評価したところ、設定により効果に変化が現れるが、凡そ20%の電力削減を確認出来た。

研究成果の概要(英文)：Higher and higher performance computers are still required. Unfortunately, the improvement in memory performance is delayed behind that in CPU performance. Thus, the system performance required by IoT and deep learning has not been satisfied. Considering the background, the goal of this study is to realize high-performance and low-power memory systems. A target application is a NoSQL database system that utilizes Key-Value Store. We propose a low-power IoT device that has a flash-based main memory. We evaluate it by implementing Redis database on its main memory and by using YCSB benchmark suite. From simulations, we found the power reduction of 20%.

研究分野：計算機工学

キーワード：計算機アーキテクチャ 新世代メモリ 低電力メモリ 高信頼メモリ

### 1. 研究開始当初の背景

コンピュータは現代人のインフラとなった。インターネットにはコンピュータだけでなくヒトも繋がるようになり、いつでもどこでも私達はスマートフォンでインターネットに接続しウェブ上の様々なサービスを利用出来る。そしてまもなく、ありとあらゆるモノがインターネットに繋がる IoT (Internet of Things, モノのインターネット) の時代が来ることは必至である。埃のようなマイクロチップから流通倉庫規模のデータセンターやスーパーコンピュータまで、性能や規模などを様々にするコンピュータが私達の日常生活を支えている。コンピュータの姿が様変わりしてもその基本動作は変わらない。メモリ上にプログラムとデータを保存し、プロセッサはメモリから読み出されるプログラムにしたがってメモリ上のデータを操作する。メモリとプロセッサとの間でのプログラムとデータの移動無くして、コンピュータは動作出来ない。

コンピュータに要求される性能は依然として上昇しているが、幸いなことに、それに応えることが可能なプロセッサ性能向上も達成されている。しかしシステム全体を眺めると、十分な性能を提供できているとは言い難い。メモリが足枷となっている。加えて、メモリはエネルギー消費量が大きい点でも問題である。すなわちメモリこそが、マイクロチップからスーパーコンピュータまでのあらゆるコンピュータを運用する際に解決すべき課題を提示している。このような問題意識から、平成 23 年からの 3 年間、挑戦的萌芽研究「先端記憶デバイスを利用する記憶階層の再構築に関する研究（研究課題番号：23650026）」を実施した。

この萌芽研究では、近い将来に PCM (位相変化メモリ) や MRAM (磁気抵抗メモリ) 等の新世代メモリデバイスが利用可能になるという仮定の下で、アーキテクチャ上の工夫により高性能で低電力なメモリの実現するために、従来のメモリ階層を解体して新たに構築することを目標とした。その意義は「記憶階層の解体と再構築を検討する価値があるかどうかを明らかにする」ことにあり、それは概ね達成出来たが研究の過程で新たな問題が明らかになった。すなわち、

- 新世代デバイスへの置き換えによる階層や容量の最適化だけでは大幅な性能改善は不可能
- 低速かつ大電力なデータ書き込み操作が新世代デバイスへの置き換えを阻害
- デバイスの特性改善だけでは不十分でメモリリクエストのスケジューリング改善が必要

である。課題番号 23650026 の萌芽研究を発展させて、新たな課題の解決を図る必要があると考えた。電力利用効率を改善して新世代デバイスへの置き換えを推進するためには、平成 23 年から 3 年間実施した福岡大学研究

推進部・推奨研究プロジェクトの成果を応用すべきであると考えた。

新世代メモリを採用するアーキテクチャに関しては、東京大学の中村宏教授が推進していたノーマリーオフコンピューティングなどの関連研究があった。しかし彼らの興味は不揮発性メモリを利用する低消費電力化技術であり、新世代メモリを性能改善に活かすことは視野に入っていなかった。一方、メモリスケジューリングに関しては、CMU の Mutlu 教授らのグループをはじめ米国で盛んに研究されていた。しかし性能向上と省電力化にバランスした決定打となる方式は未だ見出されておらず、ホットな研究テーマであった。加えて、これらの研究はそれぞれ独立に実施されている。同時に扱っている研究は知る限りでは存在しなかった。

国内唯一の DRAM メーカーだったエルピーダメモリが米国マイクロンに買収されるなど、日本の LSI 業界は今、真夜中にある状況であった。しかし、東芝や産総研での MRAM の開発など、新世代メモリの分野では日本は研究の先頭を走っていた。この分野でイニシアチブを取ることが、日本の LSI 業界が夜明けを迎えることが出来るか否かの鍵だと考えていた。ありとあらゆるコンピュータに欠かせないメモリの性能とエネルギー利用効率を改善するために、新世代メモリ向けの新たな階層構造とアクセス方式を考案することは、様々なコンピュータ応用技術に貢献出来るだけでなく、日本の LSI 業界が復活する一助になる意味でも、大きな意義があると考えた。

### 2. 研究の目的

研究課題番号 23650026 の挑戦的萌芽研究と福岡大学研究推進部・推奨研究プロジェクトとを融合かつ発展させ、新世代メモリを採用して高性能で低電力なメモリを実現することが本提案の目的であった。メモリの階層構造とアクセス方式とを同時に改善することにより、この目的を達成しようとした。既存研究ではこれらは独立して研究されているが、本提案の目的達成には両者を切り離せないことを見出した点に独創性があると考えた。新世代技術を採用してメモリを改善することは、コンピュータの性能と電力利用効率改善に貢献できる点で大きな意義があると考えた。研究期間内には方式検討とその評価に注力し、計算機シミュレーションにより提案方式が目的を達成できることを実証しようとした。

### 3. 研究の方法

研究代表者（以下、代表者）と研究協力者（修士課程学生、以下、院生）で体制を整える計画を立案した。二年度目から、研究分担者（以下、分担者）を追加した。現実には二年度目と三年度目には院生が在籍しなかったため、研究協力者の役割を分担者と学部生

が担わざるを得なかった。

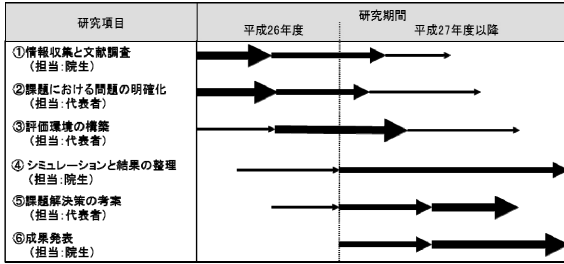


図 2. スケジュール

既存研究の文献調査や研究会などでの情報収集は院生と学部生で分担した。彼らがまとめた知見を参考に、代表者と分担者が本提案の課題を解決する方式を考案した。

考案方式の有効性を評価するために、大量の計算機シミュレーションが必要だった。このための環境は、分担者が主導して構築した。シミュレーションを実施して実験データを得ることと、それらを整理することは院生と学部生が分担した。整理された実験結果を基に分担者が考察し、方式を改良した。

研究成果の公表は学会発表により実施し、院生と学部生が担当した。

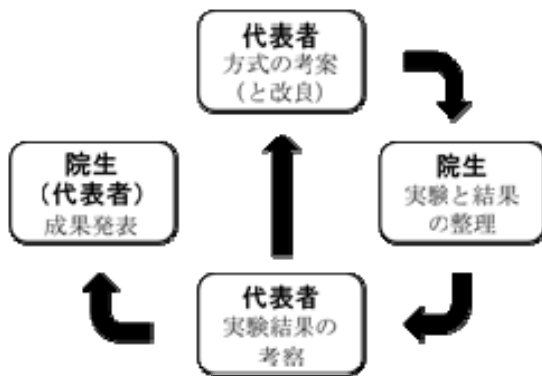


図 3. 研究実施サイクル

#### 4. 研究成果

MRAMを採用する省電力キャッシュ、キャッシュのタグ参照による電力の削減を志向するアクセス方式、そしてフラッシュメモリを採用するIoT応用向けのメインメモリについて、それぞれ以下で成果を述べる。

##### (1) MRAM キャッシュ

近年様々な不揮発性メモリは研究開発されており、それらを用いることでプロセッサ内のキャッシュメモリが消費するリーク電流電力を削減できるのではないかと期待されている。本研究では3階層のキャッシュメモリを仮定した。一次キャッシュ (L1C) には高速性が求められるため、従来より利用されているSRAMを採用する。二次キャッシュ (L2C) と三次キャッシュ (LLC) に東芝が提案しているMRAMを用いることを検討した。本MRAMは電子のスピンによって生じる磁界

を利用してデータを読み書きする不揮発性の垂直磁気抵抗変化型メモリである。キャッシュメモリで従来利用されているSRAMに比べてリーク電流電力が極めて小さいという特徴を持つ。表1に示す三つの構成で、キャッシュメモリの記憶階層をシミュレーションで評価した。

表 1. キャッシュ構成

構成	L1C	L2C	LLC
1	SRAM	SRAM	SRAM
2	SRAM	SRAM	MRAM
3	SRAM	MRAM	MRAM

SRAMについては、回路を構成するトランジスタに注目する。一般に、高速なトランジスタは大きなリーク電流電力を消費し、一方で低速なトランジスタではリーク電力が小さくなる。そこで、以下の2つの場合を検討する。すなわち、全ての階層のSRAMで高速なトランジスタを利用する場合 (場合1) と、高速性を求められるL1Cでのみ高速なトランジスタを採用し、それ以外の階層では低速かつ低リークなトランジスタを利用する場合 (場合2) である。

シミュレーションで仮定するプロセッサとキャッシュの諸元は表2に示す通りである。

表 2. プロセッサとキャッシュの諸元

プロセッサ	4-core, 2GHz, Out-of-Order
L1C (I)	32KB, 2-way Set-Associative
L1C (D)	32KB, 2-way Set-Associative
L2C	256KB, 8-way Set-Associative
LLC	32MB, 16-way Set-Associative

図4に消費電力を示す。場合1と場合2のそれぞれで構成1を1として、構成2と3を正規化している。場合1と2の結果を比較出来ないことに注意されたい。図中の静的電力がリーク電流電力を示している。構成1から3へ変更することで、場合1では80%の、場合2では1%の消費電力を削減出来た。場合2では低リークのトランジスタを利用しているため、そもそも構成1の消費する電力が小さく、MRAMを採用することによる効果も小さくなる。

図5にはEDP (Energy-Delay Product, エネルギー遅延積)を示す。EDPは消費エネルギーと処理時間とを掛け合わせた値であり、エネルギー利用効率を評価するための指標として広く利用されている。構成1から3へ変更することで、場合1では81%の、場合2では7%のEDP改善が出来た。場合2での効果が小さい理由は図1の場合と同様である。

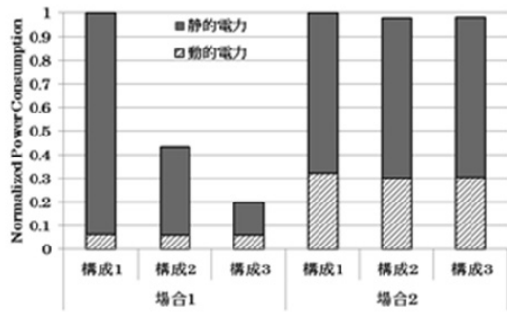


図 4. 消費電力

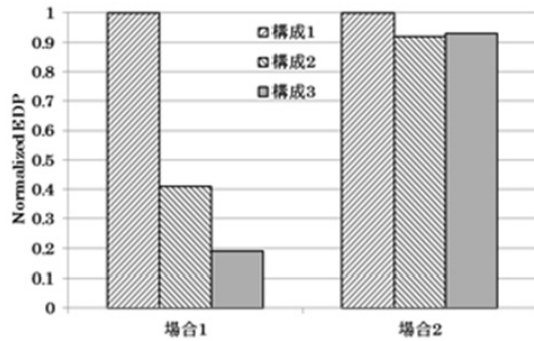


図 5. エネルギー遅延積

L2C と LLC とともに MRAM を採用すれば消費電力を削減し、エネルギー利用効率を改善出来る。しかし、低リークな SRAM を不揮発性メモリに置き換えるだけでは大幅な消費電力削減は見込めないことが確認された。今後は、積極的にキャッシュメモリの電源を遮断する技術等の検討が必要である。

### (2) タグ参照の削減

LLC においては必然的にタグが大規模となり、タグアクセスによる電力消費を無視できない。本研究では連想度の大きな LLC でのタグ参照回数を削減することを検討し、ブルームフィルタを用いてミスが明白なタグ参照を省略する機構を提案した。

図 6 は連想度 4 のキャッシュで、4 ビットのタグが保持される場合のタグ参照を示している。図中 Filter で示されている値はセットの全タグを NOR 演算した値であり、参照タグと AND 演算することで不要な参照を検出できる。演算結果が 1 となったブロックはミスであることが明らかなので、参照は不要である。

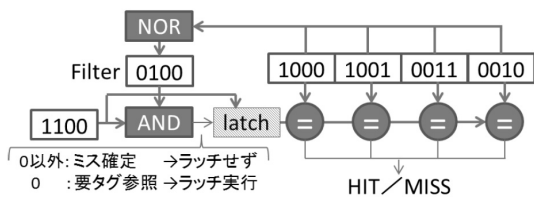


図 6. タグ参照の削減

表 3 に示す構成のキャッシュで、シミュレーションにより提案機構を評価した。L2C を LLC として利用している。図 7 が実験結果である。本機構を採用することで LLC の消費するエネルギーを 30~40%削減できることが確認された。

表 3. キャッシュの構成

		L1 Cache	L2 Cache
構成 1	容量(Byte)	32K	512K
	ブロックサイズ(Byte)	64	64
	連想度	1	32
構成 2	容量(Byte)	32K	1M
	ブロックサイズ(Byte)	64	64
	連想度	1	32

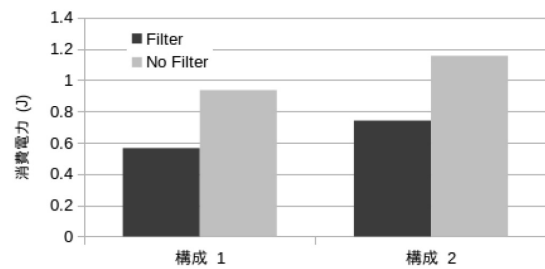


図 7. 消費エネルギー

### (3) IoT 向け不揮発性メインメモリ

図 8 に提案機構を示す。従来 DRAM が採用されているメインメモリをフラッシュメモリに置き換え、I/O バスで接続している。CPU からのライトは直接にフラッシュメモリには書き込まず、FPC (フラッシュ・ページ・キャッシュ) と呼ぶ SRAM バッファに一旦ライトする。FPC がフルになると、ページ単位でソートを行い、フラッシュメモリへライトされる。これにより、フラッシュメモリへのライト回数を削減している。

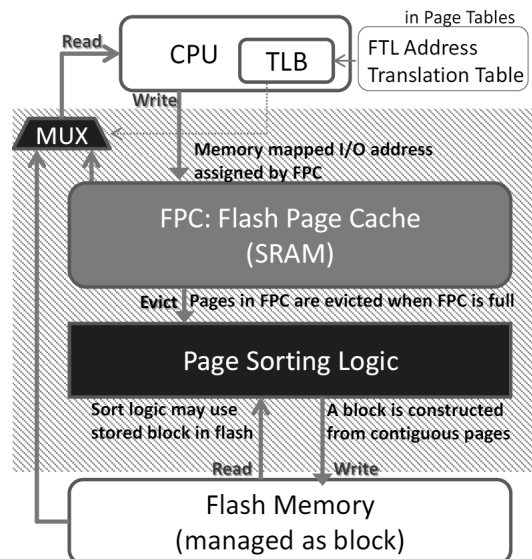


図 8. フラッシュ・ページ・キャッシュ

提案機構は、近年重要になりつつある Key-Value Store 型のデータベースでの利用を想定し、IoT デバイスでの消費電力削減を検討している。これを評価するために、Redis と呼ばれる主記憶データベースシステムをフラッシュメモリ上に構築し、NoSQL データベース向けのベンチマークである Yahoo Cloud Serving Benchmark を利用して、シミュレーションを実施した。FPC サイズを 0~4MB、ページサイズを 1~8KB の範囲で変化させて評価した。図 9 と図 10 に結果を示す。評価の設定により結果が変化するが、18~20%の電力消費を削減できることが確認された。

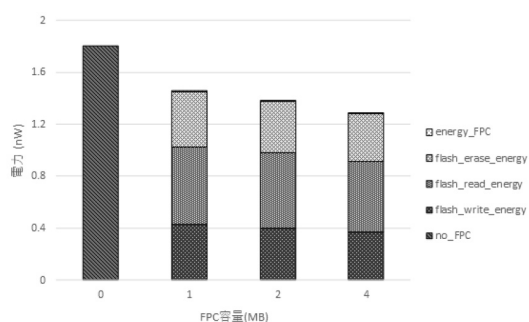


図 9. FPC サイズと消費電力の関係

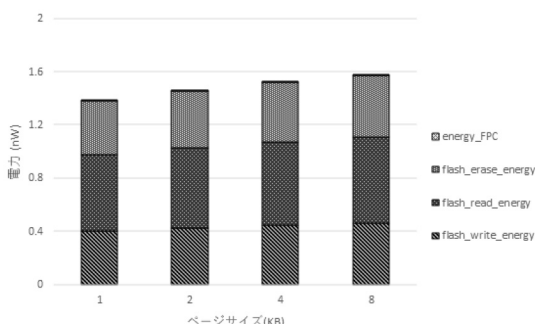


図 10. ページサイズと電力との関係

## 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[学会発表] (計 7 件)

- ① 馬場裕之, 請園智玲, 佐藤寿倫, KVS データベース Redis からのデータアクセス局所性の解析, 電子情報通信学会技術研究報告 CPSY2017-46, Vol. 117, No. 278, pp. 59-62, 2017 年 11 月.
- ② 馬場裕之, 請園智玲, 佐藤寿倫, Flash メモリ上の Key-Value Store のデータ構造のための IoT 向け低消費電力マイクロアーキテクチャの評価, 情報処理学会第 79 回全国大会, 2017 年 3 月.
- ③ 石田隆太, 請園智玲, 佐藤寿倫, 下位レベルキャッシュメモリへのアクセスフィルタによるタグ参照電力の削減, 情報処理学会 第 79 回全国大会, 2017 年 3 月.
- ④ 馬場裕之, 江崎靖宏, 請園智玲, 佐藤

寿倫, Flash メモリ上の Key-Value Store のデータ構造のための IoT 向け低消費電力マイクロアーキテクチャの検討, 第 18 回 IEEE 広島支部 学生シンポジウム, pp. 141-145, 2016 年 11 月.

- ⑤ 岡本駿, 佐藤寿倫, 次世代不揮発性メモリを用いた省電力キャッシュに関する研究, 2015 年電子情報通信学会総合大会 ISS 特別企画「学生ポスターセッション」, pp. 134, 2015 年 3 月.
- ⑥ 箱田雄太, 佐藤寿倫, GPGPU プログラムにおけるプログラミング容易化の検討, 2015 年電子情報通信学会総合大会 ISS 特別企画「学生ポスターセッション」, pp. 136, 2015 年 3 月.
- ⑦ 林田哲, 佐藤寿倫, 動作時のコア数と周波数がプログラムあたりの消費電力に与える影響の考察, 2015 年電子情報通信学会総合大会 ISS 特別企画「学生ポスターセッション」, pp. 133, 2015 年 3 月.

[その他]

ホームページ等

<https://www.cis.fukuoka-u.ac.jp/~tsato/>

## 6. 研究組織

### (1) 研究代表者

佐藤 寿倫 (SATO, Toshinori)

福岡大学・工学部・教授

研究者番号：00322298

### (2) 研究分担者

請園 智玲 (UKEZONO, Tomoaki)

福岡大学・工学部・助教

研究者番号：50610060