

科学研究費助成事業 研究成果報告書

平成 29 年 5 月 31 日現在

機関番号：32644

研究種目：基盤研究(C) (一般)

研究期間：2014～2016

課題番号：26420280

研究課題名(和文)低誘電率絶縁膜の電荷捕獲メモリへの応用に関する研究

研究課題名(英文)Application of silicon carbonitride films to the charge trapping nonvolatile memories

研究代表者

小林 清輝 (Kobayashi, Kiyoteru)

東海大学・工学部・教授

研究者番号：90408005

交付決定額(研究期間全体)：(直接経費) 3,800,000円

研究成果の概要(和文)：シリコン炭窒化膜(SiCN膜)を電荷捕獲膜とする不揮発性メモリ素子を試作し、メモリ特性及び、キャリアの注入・捕獲過程について調べた。シリコン窒化膜を用いた従来型の素子に比べてSiCN素子では約1桁速い消去速度が得られ、この特性がSiCN膜の正孔注入に対するエネルギー障壁が低いことに起因することを示した。また、SiCN膜に捕獲された電子のエネルギー深さがシリコン窒化膜と同程度であること及び、SiCN-SiO₂界面の伝導帯のバンドオフセットがシリコン窒化膜-SiO₂界面に比べて大きいことを明らかにした。この様なSiCN素子のバンド構造が低温でのSiCN素子の優れた電子保持特性の一因と考えられる。

研究成果の概要(英文)：The carrier injection and trapping phenomena in silicon carbonitride (SiCN) films were studied for the charge trapping nonvolatile memory applications. First, it was found that the erasing speed of the SiCN memory was one order of magnitude higher than that of the memory with a silicon nitride charge trapping film. The low energy barrier for hole injection in the SiCN memory was suggested to be responsible for the high erasing speed. Next, the energy depth of electrons trapped in the SiCN film was obtained to be comparable with that in the silicon nitride film. Additionally, the conduction band offset at the SiCN-SiO₂ interface was larger than that at the silicon nitride-SiO₂ interface. These two characteristics would provide a low tunneling probability of electrons from trap states to silicon in the SiCN memory and would be responsible for the better electron retention characteristics at low temperatures obtained in the SiCN memory.

研究分野：半導体デバイス工学、電気電子材料工学

キーワード：不揮発性メモリ シリコン炭窒化膜 電荷トラップ フラッシュメモリ

1. 研究開始当初の背景

高度情報化社会の発展につれて急速に増加する各種の情報を格納する記録媒体として、電荷トラップ方式の不揮発性半導体メモリが注目されている。電荷トラップメモリでは、MISFET (Metal-Insulator-Semiconductor Field Effect Transistor) のゲート絶縁膜の一部に設けた電荷捕獲膜の電荷トラップに電子または正孔を捕獲させてデータを記録する。これまで電荷捕獲膜としてシリコン窒化膜が用いられてきたが、より優れたメモリ特性を得るために新規な電荷捕獲膜材料に関する様々な研究が進められてきた。しかしいずれも実用化に至らずシリコン窒化膜を凌ぐ電荷捕獲膜は未だ見出されていない。今後も不揮発性メモリの高性能化と大容量化が必要とされており、このため、電荷捕獲機構の理解を進め、優れた電荷捕獲特性と電荷保持特性を示す電荷捕獲膜を実現し、書き込み消去特性やデータ保持特性などのメモリ性能を向上させることが重要となっている。

2. 研究の目的

書き込み消去速度とデータ保持特性を向上させるためには、(a)電荷捕獲膜へのキャリア(電子・正孔)の注入過程と、(b)注入されたキャリアがトラップに捕獲される過程、(c)電荷捕獲膜に捕獲されたキャリアの放出過程についてそれぞれ深く理解し制御する必要がある。本研究では、シリコン窒化膜に比べ狭いエネルギーバンドギャップと低い誘電率を有するシリコン窒化膜 (SiCN 膜) を電荷捕獲膜とするメモリ素子を試作し、これらの物理量が上記(a) (b) (c)に及ぼす影響について理解を深め、書き込み消去速度およびデータ保持特性に与える影響を調べた。加えて、電荷トラップメモリのメモリセル設計に対し、電荷捕獲膜のバンドギャップと誘電率が新たな自由度を与える可能について検討した。

3. 研究の方法

本研究では、アルミニウム電極/ブロッキング酸化膜/SiCN 膜/トンネル酸化膜/p 形 (100) シリコン基板の構造を持つメモリキャパシタを使用した。本稿ではこの試料を SiCN 素子と呼ぶ。図 1 にその断面模式図を示す。トンネル酸化膜はシリコン基板表面を熱酸化して形成した膜厚 2.4nm の SiO₂ 膜である。SiCN 膜は原料ガスとして Si(CH₃)₄ と NH₃ を用い、PECVD (Plasma Enhanced Chemical Vapor Deposition) 法によって 400 で堆積された。比誘電率は 4.9、膜厚は 31.6 nm であった。ブロッキング酸化膜は、SiH₄ と N₂O を使用して PECVD によって 400 で堆積され、膜厚は 17.3 nm であった。また参照試料として、アルミニウム電極/ブロッキング酸化膜/シリコン窒化膜/トンネル酸化膜/p 形 (100) シリコン基板の構造を持つメモリキャパシタを使用した。この試料をシリコン窒化膜素子と

呼ぶ。シリコン窒化膜は、原料ガスとして Si₂Cl₆ と NH₃ を用い 600 の LPCVD (Low-Pressure Chemical Vapor Deposition) 法により堆積された。膜厚は 30.4 nm であった。XPS (X-ray photoelectron spectroscopy) 測定によって求めたブロッキング酸化膜と SiCN 膜、シリコン窒化膜の組成を表 1 に示す。

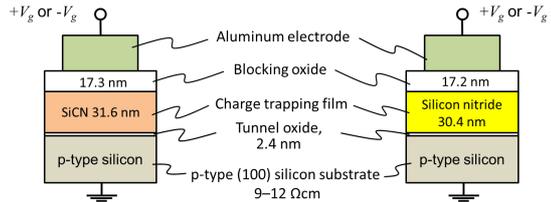


図 1 SiCN 素子とシリコン窒化膜素子の模式図

表 1 XPS 測定によって求めたブロッキング酸化膜と SiCN 膜、シリコン窒化膜の組成

Atomic ratio	Blocking oxide	SiCN	Silicon nitride
N/Si	-	0.41±0.04	1.22±0.06
C/Si	-	0.77±0.06	-
O/Si	2.10±0.11	-	-

4. 研究成果

(1) 正孔捕獲過程・正孔注入過程

図 2 は、SiCN 素子とシリコン窒化膜素子の書き込み消去特性である。SiCN 素子の消去速度がシリコン窒化膜素子に比べて明らかに速く、書き込みについても SiCN 素子の方が若干高速である。本研究ではまず、明確な差が見られた消去特性に注目した。

SiCN 素子の消去速度が速い理由を解明するためには、電荷捕獲膜への正孔注入機構と、注入された正孔がトラップに捕獲される過程、捕獲されていた電子の放出過程についてそれぞれ検討する必要がある。そこで、電荷捕獲膜に注入されたキャリアの数を

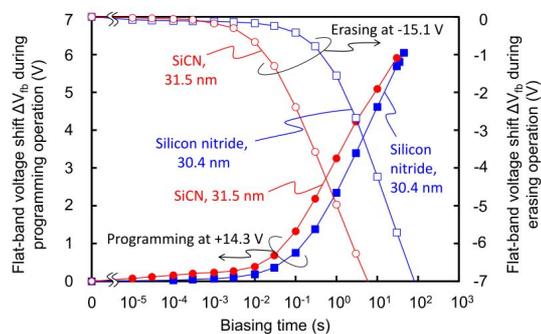


図 2 SiCN 素子とシリコン窒化膜素子の書き込み消去特性

積もることと、電荷捕獲膜に捕獲されたキャリアの電荷重心 (Charge centroid) を求めることを可能にする定電流キャリア注入法を提案した。提案した方法を用いて SiCN 膜およびシリコン窒化膜に注入した正孔の密

度および、捕獲確率、捕獲された正孔の電荷重心を求めた。以下では、定電流キャリア注入法とそれによって得られた実験結果を説明する。

実験の最初にまず、メモリ素子を 235 で長時間保存（ベーク）し、トラップに捕獲されているキャリアを放出させトラップが空になった状態のメモリ素子を用意した。図 3 は、235 ベーク後と定電流キャリア注入法を用いて正孔を注入した後の SiCN 素子の C-V 特性である。正孔注入は、負ゲート電圧下でゲート電流密度 J_g が $-4.2 \times 10^{-9} \text{ A/cm}^2$ の一定値となる条件で行われた。素子に正孔が捕獲されたことによって C-V カーブがシフトし、フラットバンド電圧が $V_{fb,0}$ から $V_{fb,h1}$ に変化した。フラットバンド電圧の変化量を $\Delta V_{fb,h}$ とする。

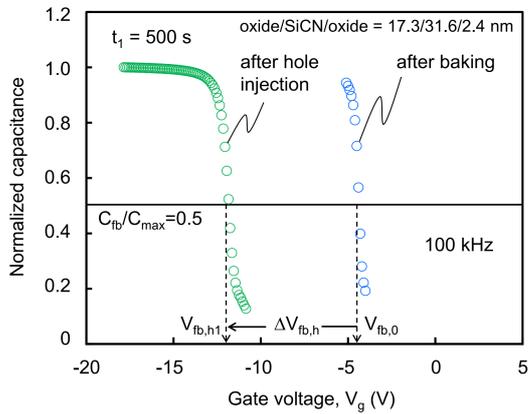


図3 235 ベーク後と定電流キャリア注入法で正孔を注入した後の SiCN 素子の C-V 特性

図 4 には負ゲート電圧印加時の主なキャリアの流れを示した。1 はシリコン基板から注入された正孔が三層絶縁膜を通過して流れる過程、2 はゲートから注入された電子が三層絶縁膜を通過して流れる過程、3 はシリコンから注入された正孔がトラップに捕獲される過程、4 はシリコン表面に正孔が蓄積する過程を示している。時刻 t_0 から t_1 の間に過程 1,2 により三層絶縁膜を通過した電荷を $Q_{leak}(t_0, t_1)$ とし、トラップに捕獲された正孔

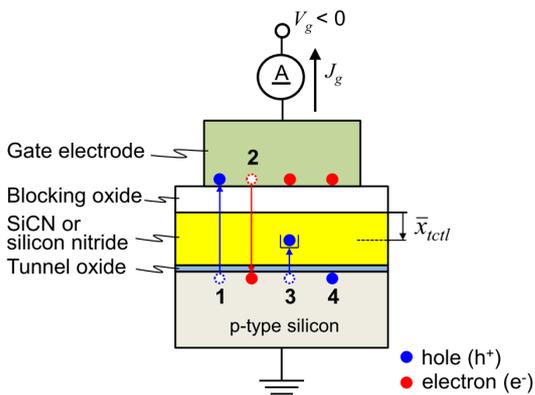


図 4 ゲートに負電圧を印加したメモリ素子の断面模式図。

による電荷（過程 3）を $Q_{trap}(t_0, t_1)$ 、シリコン表面に蓄積した正孔電荷（過程 4）を $Q_{sub}(t_0, t_1)$ とすると、過程 1,2,3 によって電荷捕獲膜に注入された電荷 $Q_{inj}(t_0, t_1)$ は、ゲート電流密度が一定値 J_g の場合には以下の式で与えられる。

$$Q_{inj}(t_0, t_1) = Q_{leak}(t_0, t_1) + Q_{trap}(t_0, t_1) \\ = J_g \cdot (t_1 - t_0) - Q_{sub}(t_0, t_1)$$

ここで C-V 測定によって $Q_{sub}(t_0, t_1)$ を求めることができるため、上式を使って $Q_{inj}(t_0, t_1)$ を決定した。

更に $Q_{leak}(t_0, t_1)$ が十分に小さいときは $Q_{trap}(t_0, t_1) \cong Q_{inj}(t_0, t_1) = J_g \cdot (t_1 - t_0) - Q_{sub}(t_0, t_1)$ となる。捕獲された正孔の電荷重心を \bar{x}_{ctl} とし、 \bar{x}_{ctl} を図 4 に示すようにブロッキング酸化膜 - 電荷捕獲膜界面から測るものとする、次式が成り立つ。

$$\bar{x}_{ctl} = - \left(\frac{\Delta V_{fb,h}}{Q_{trap}(t_0, t_1)} + \frac{t_{box}}{\epsilon_0 \epsilon_{box}} \right) \epsilon_0 \epsilon_{ctl} \\ \cong - \left(\frac{\Delta V_{fb,h}}{Q_{inj}(t_0, t_1)} + \frac{t_{box}}{\epsilon_0 \epsilon_{box}} \right) \epsilon_0 \epsilon_{ctl} \quad [1]$$

ここで ϵ_{box} と ϵ_{ctl} はブロッキング酸化膜と電荷捕獲膜の静的な比誘電率、 t_{box} はブロッキング酸化膜の膜厚、 ϵ_0 は真空の誘電率である。式 [1] を用いると実験によって得た $\Delta V_{fb,h}$ から \bar{x}_{ctl} を決定することができる。

図 5(a)(b) は、SiCN 素子とシリコン窒化膜素子のゲート電流密度-ゲート電圧の関係である。この測定結果を解析し、両素子共にゲート電圧が 0 V から約 -14 V の範囲では $Q_{leak}(t_0, t_1)$ が十分に小さくこれを無視でき、電荷捕獲膜へ注入される正孔の捕獲確率は約 1 (0.99 以上) であることが分かった。

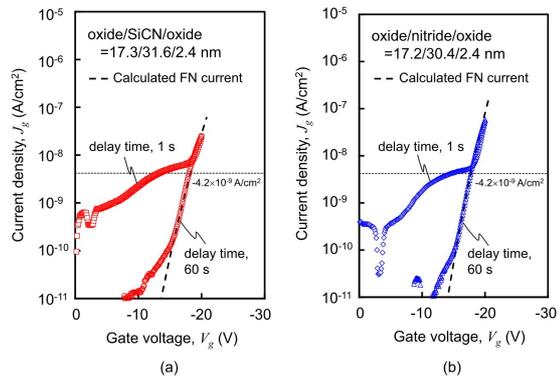


図 5 SiCN 素子とシリコン窒化膜素子のゲート電流密度-ゲート電圧特性

このゲート電圧の範囲で定電流キャリア注入法を用いて SiCN 素子とシリコン窒化膜素子に正孔を注入し、フラットバンド電圧の変化 $\Delta V_{fb,h}$ と $Q_{inj}(t_0, t_1)$ から求めた注入正孔密度 F_{inj} の関係を求めた。その結果を図 6 に示す。 F_{inj} が等しいとき SiCN 素子とシリコン窒化膜素子の $\Delta V_{fb,h}$ に差が無い。このことから SiCN 素子の消去速度が速い理由は、注入

された正孔がトラップに捕獲される過程にあるのではないことが明らかとなった。

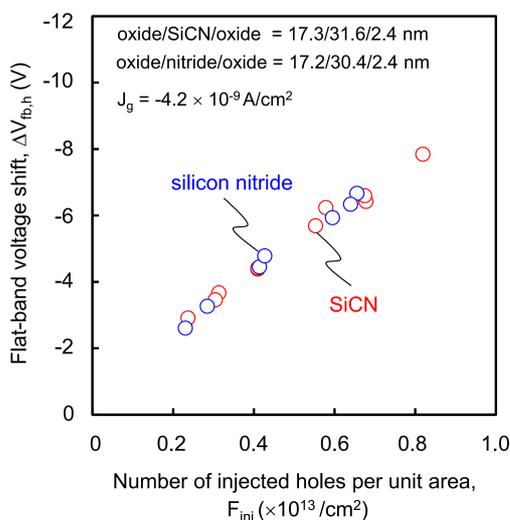


図6 SiCN素子とシリコン窒化膜素子におけるフラットバンド電圧の変化 $\Delta V_{fb,h}$ と注入正孔密度 F_{inj} の関係

図7は、図6の結果と式[1]からSiCN膜とシリコン窒化膜に捕獲された正孔の電荷重心 \bar{x}_{tctl} を求めた結果である。 \bar{x}_{tctl} が注入正孔密度 F_{inj} の増加につれてそれぞれの膜の中央付近からブロッキング酸化膜の近傍へと移動することが分かった。この結果を詳細に解析したところ、一旦トラップに捕獲された正孔が電荷捕獲膜中をブロッキング酸化膜に向けて移動することが判明した。また、シリコン窒化膜中の \bar{x}_{tctl} に比べて、SiCN膜中の \bar{x}_{tctl} がブロッキング酸化膜に近いことが分かった。正孔のPoole-Frenkel伝導に与えるSiCN膜のトラップ準位深さは0.8 eVとシリコン窒化膜のトラップ準位(1.0~1.3 eV)に比べて浅く、SiCN膜の動的比誘電率は4.4とシリコン窒化膜の動的比誘電率は

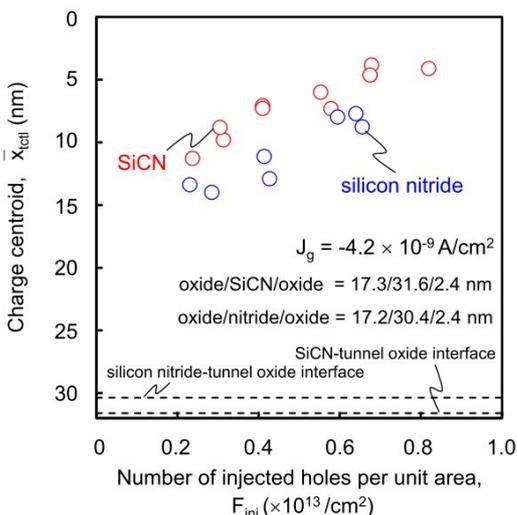


図7 SiCN膜とシリコン窒化膜に捕獲された正孔の電荷重心 \bar{x}_{tctl} と注入正孔密度 F_{inj} の関係

(5.5)と比べて低い。またSiCN膜の静的誘電率が低いため、ゲート電圧を印加した際のSiCN膜の内部電界がシリコン窒化膜に比べて高くなる。これらの理由によってSiCN膜では正孔のトラップからのPoole-Frenkel放出確率が高いと考えられる。SiCN膜とシリコン窒化膜の \bar{x}_{tctl} の違いは、この理由によると考えられる。

シリコン窒化膜に比べてSiCN膜の静的比誘電率が低いため、当初、SiCN素子の方が高い $\Delta V_{fb,h}$ を示すと予想されたが、SiCN膜の電荷重心 \bar{x}_{tctl} がゲートに近いことが低誘電率の効果を相殺しSiCN素子とシリコン窒化膜素子の $\Delta V_{fb,h}$ がほぼ同じ値となったことが分かった。

次にXPS測定によってSiCN-シリコン間の価電子帯のバンドオフセットを調べた結果、1.68 eVと得られた。この値はシリコン窒化膜-シリコン間の価電子帯のバンドオフセット(1.95 eV)に比べて小さく、このためシリコンの価電子帯の正孔がSiCN膜へ注入される際のエネルギー障壁もシリコン窒化膜の場合に比べて小さいと言える。SiCN素子の高速消去動作には、トラップの性質ではなく、正孔注入に対するエネルギー障壁が小さく正孔注入確率が相対的に高いことが寄与していると考えられる。

(2) 電子放出過程

SiCN膜などの新規な電荷捕獲膜に捕獲されたキャリアの放出過程について議論するために、高温での電荷保持試験の結果から捕獲されたキャリアのエネルギー深さを見積もることができる新たな解析方法を提案した。従来の方法では、捕獲されたキャリアのエネルギー深さを導出するために、電荷捕獲膜中のキャリアの平均自由工程や有効質量など決定することが難しい物理量を必要とした。提案した方法はこれらの物理量を必要とせず、電荷保持試験の結果のみからエネルギー深さを見積もることができる。このためSiCN膜などの新規な電荷捕獲膜のトラップ準位の解析に有効である。まず、保存温度 T の電荷保持試験において、保存時間 t に電荷捕獲膜のトラップに取らえられているキャリアの密度を $N(t, T)$ とし、そのときのメモリ素子のフラットバンド電圧を $V_{fb}(t, T)$ とする。電荷保持試験の保存時間 t においてトラップがキャリアによって占有されている割合 $f(t, T)$ は次式から求める。

$$f(t, T) \equiv \frac{N(t, T)}{N(0, T)} = \frac{V_{fb}(t, T) - V_{fb,0}}{V_{fb}(0, T) - V_{fb,0}}$$

ここで $V_{fb,0}$ はトラップがキャリアを全て放したときのフラットバンド電圧である。図9(a)(b)は、トラップに捕獲された電子のエネルギー分布を説明する図である。ここでは電荷保持試験開始時($t=0$)に捕獲されていた電子が $D(0, T, \phi_E)$ の電子密度で ϕ_{EH} から ϕ_{EL} の範囲に分布していたとする。図9(b)は保存時間 t においてトラップに捕獲されている電

子のエネルギー分布を表しており、 $D(t, T, \Phi_E)$ は t における捕獲電子密度である。

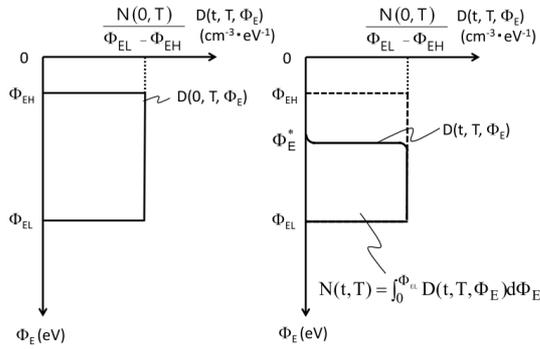


図 9 トラップに捕獲された電子のエネルギー分布のモデル

このとき $N(t, T)$ は次式で与えられる。

$$N(t, T) = \int_0^{\Phi_{EL}} D(t, T, \Phi_E) d\Phi_E$$

また、熱励起によるトラップからの電子放出によって $D(t, T, \Phi_E)$ が次式に従って変化するとする。

$$\frac{\partial}{\partial t} D(t, T, \Phi_E) = -\frac{1}{\tau(T, \Phi_E)} D(t, T, \Phi_E)$$

ここで $\tau(T, \Phi_E)$ はエネルギー深さ Φ_E の電子が熱励起によってトラップから放出される過程の時定数であり、ボルツマン分布に従うと仮定し

$$\tau(T, \Phi_E) = \tau_0 \exp\left(\frac{\Phi_E}{k_B T}\right)$$

とする。 $f(t, T)$ は次式で与えられ

$$f(t, T) = \frac{N(t, T)}{N(0, T)} = \frac{1}{N(0, T)} \int_0^{\Phi_{EL}} D(0, T, \Phi_E) \exp\left[-\frac{t}{\tau(T, \Phi_E)}\right] d\Phi_E$$

さらに次の近似を用いると

$$\exp\left[-\frac{t}{\tau(T, \Phi_E)}\right] \approx \begin{cases} 0 & \Phi_E < \Phi_E^* \\ 1 & \Phi_E \geq \Phi_E^* \end{cases} \quad \Phi_E^* = k_B T \ln\left(\frac{t}{\tau_0}\right)$$

$f(t, T)$ は次の 1 次関数となる。

$$f(t, T) = \frac{\Phi_{EL} + 2.3k_B T \log \tau_0}{\Phi_{EL} - \Phi_{EH}} - \frac{2.3k_B T}{\Phi_{EL} - \Phi_{EH}} \log t$$

図 10 は異なる温度で実施した電荷保持試験の結果である。上式を用いて 160 と 235 の試験結果を解析し、SiCN 膜に捕獲された電子が伝導帯下端から 0.8 ~ 1.3 eV の禁制帯中に分布しているという結果を得た。これまでシリコン窒化膜に捕獲された電子のトラップ深さとして、0.8 ~ 0.9 eV や 0.6 ~ 1.2 eV という値が報告されている。SiCN 膜における電子のトラップ深さはシリコン窒化膜と同程度であることが分かった。またこれらの温

度での SiCN 素子と窒化膜素子の電子保持特性の間に有意差が見られないことを確認した。

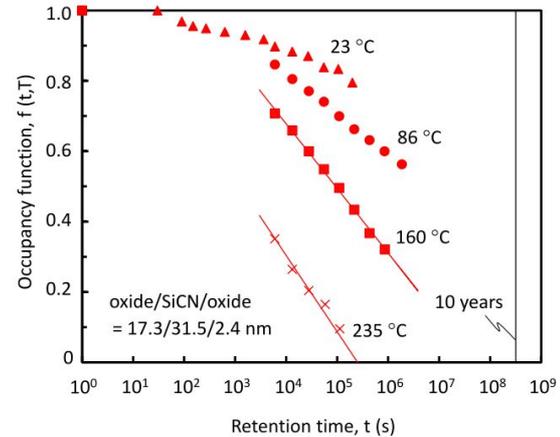


図 10 SiCN 素子の電荷保持試験の結果

室温近辺の低温における捕獲電子の放出機構は、電荷捕獲膜のトラップからシリコンへのトンネル放出に支配されていると考えられている。この場合、トンネル電子放出に対するエネルギー障壁の高さは、図 11 の $U_{e, SiCN}$ のように電荷捕獲膜-SiO₂ 界面の伝導帯のバンドオフセットとトラップ深さの和で与えられる。そこで室温での電荷放出確率を議論するために、SiCN-SiO₂ 界面の伝導帯のバ

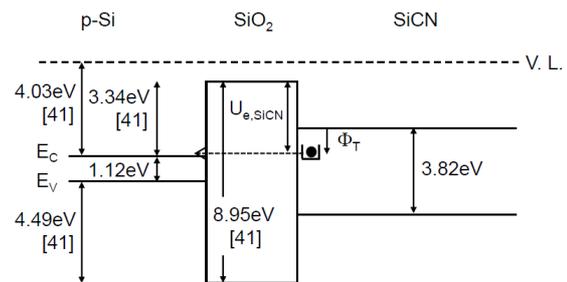


図 11 SiCN 素子のエネルギーバンド模式図

ンドオフセット U_{SiO_2-SiCN} を求めた。前述した SiCN 膜の価電子帯上端のエネルギーと分光エリブソメトリー測定によって求めたバンドギャップの値を用いて U_{SiO_2-SiCN} は 2.3 eV と得られた。この値はシリコン窒化膜-SiO₂ 界面の伝導帯のバンドオフセット (1.3 eV) に比べて極めて大きい。一方、既に述べたように、SiCN 膜とシリコン窒化膜のトラップ深さは同程度である。このため、シリコン窒化膜素子に比べて SiCN 素子では電子のトンネル放出確率を抑制することができる。このことから SiCN 素子によって低温で優れた電子保持特性が得られると期待された。そこで SiCN 素子とシリコン窒化膜素子の室温での電子保持特性を比較したところ、SiCN 素子の電子保持特性が優れていることを確認した。

最後に研究成果をまとめ、SiCN 膜のエネルギーバンド構造と低い誘電率がメモリ特性

に及ぼす効果について整理する。

(1) SiCN 素子においてシリコン窒化膜素子に比べて約 1 桁速い消去速度を得ることができた。この原因を正孔捕獲過程と正孔注入過程・捕獲されている電子の放出過程の各側面から検討した。

1) SiCN 素子・シリコン窒化膜素子の両者において、ゲート電極-シリコン基板間の電位差が 14 V 以下の領域で電荷捕獲膜へ注入される正孔の捕獲確率は約 1 (0.99 以上) でありほぼ等しいことが分かった。

2) SiCN 膜とシリコン窒化膜に同じ面密度の正孔を注入したとき、捕獲された正孔の電荷重心は SiCN 膜の方がゲートに近かった。シリコン窒化膜に比べて Poole-Frenkel 伝導に参与する SiCN 膜のトラップが浅く、SiCN 膜の動的誘電率と静的誘電率が低いことがこの理由と考えられる。また、等しい密度の正孔が捕獲されたときの SiCN 素子とシリコン窒化膜素子のフラットバンド電圧の変化に有意差は無かった。これは電荷重心の位置と静的誘電率がフラットバンド電圧に及ぼす影響が互いに相殺されたためである。

3) SiCN 素子のシリコンの価電子帯の正孔が SiCN 膜へ注入される際のエネルギー障壁が、シリコン窒化膜素子に比べて低いことが分かった。

4) SiCN 素子の電荷保持特性を調べ、SiCN 膜に捕獲された電子のトラップ深さがシリコン窒化膜と同程度であることが分かった。加えて SiCN-SiO₂ 界面の伝導帯のバンドオフセットがシリコン窒化膜-SiO₂ 界面に比べて大きいことが分かった。このため、SiCN 素子ではトラップからシリコンへの電子のトンネル放出確率をシリコン窒化膜素子に比べて抑制することが可能である。

1) ~ 4) より、SiCN 素子の消去速度が速い主たる理由は、トラップの性質および電子放出過程にあるのではなく、正孔注入に対するエネルギー障壁が低いことに起因して正孔注入確率が相対的に高いためと考えられる。

(2) 160 ~ 235 の高温では SiCN 素子とシリコン窒化膜素子の電子保持特性の間に有意差が見られなかった。一方、SiCN-SiO₂ 界面の伝導帯のバンドオフセットが大きいため SiCN 素子では電子のトンネル放出確率を抑制することが可能である。このため低温で優れた電子保持特性を得られる可能性がある。SiCN 素子とシリコン窒化膜素子の室温での電子保持特性を比較したところ、SiCN 素子の電子保持特性が優れていることが確認された。

以上のことから、SiCN 膜のエネルギーバンド構造がメモリ特性に対し有意な影響を与え、メモリセル設計の重要なパラメータと成り得ると結論する。

5. 主な発表論文等

〔雑誌論文〕(計 6 件)

S. R. A. Ahmed and K. Kobayashi,

“Extraction of Energy Distribution of Electrons Trapped in Silicon Carbonitride (SiCN) Charge Trapping Films,” *to be published in IEICE TRANSACTIONS on Electronics*, 査読有, Vol. E100 C, No. 7 (2017).

DOI:10.1587/transle.E100.C.1

S. R. A. Ahmed, K. Kato, and K. Kobayashi, “Hole trapping characteristics of silicon carbonitride (SiCN)-based charge trapping memories evaluated by the constant-current carrier injection method,” *Materials Science in Semiconductor Processing*, 査読有, *in press* (2017).

doi.org/10.1016/j.mssp.2017.01.012

K. Kato, S. R. A. Ahmed, and K. Kobayashi, “Evaluation of Hole Trapping Characteristics in MONOS-Type Memories Using the Constant Current Carrier Injection Method,” *ECS Transactions*, 査読有, Vol. 75, No. 32, pp. 73-82 (2017).

DOI:10.1149/07532.0073ecst

S. R. A. Ahmed, S. Naito, and K. Kobayashi, “Characterization of Low-Dielectric Constant Silicon Carbonitride (SiCN) Dielectric Films for Charge Trapping Nonvolatile Memories,” *ECS Transactions*, 査読有, Vol. 69, No. 3, pp. 99-109 (2015).

DOI:10.1149/06903.0099ecst

K. Kobayashi, S. Naito, S. Tanaka, and Y. Ito, “Charge Trapping Properties of Silicon Carbonitride Storage Layers for Nonvolatile Memories,” *ECS Transactions*, 査読有, vol. 64 (14) pp. 85-92 (2014).

DOI:10.1149/06414.0085ecst

〔学会発表〕(計 17 件)

S. Naito, Y. Ito, and K. Kobayashi, “Application of Silicon Carbonitride Dielectric Films to Charge Trapping Nonvolatile Memories,” *International Union of Materials Research Societies-International Conference on Electronic Materials 2014 (IUMRS-ICEM 2014)*, TWTC Nangang Exhibition Hall, Taipei, 10-14 June, 2014, B1-0-0357.

〔その他〕

ホームページ

<http://www.ei.u-tokai.ac.jp/Lab/kkbys/index.html>

6. 研究組織

(1) 研究代表者

小林 清輝 (KOBAYASHI KIYOTERU)

東海大学・工学部・教授

研究者番号: 90408005

(2) 研究分担者 なし

(3) 連携研究者 なし