

科学研究費助成事業 研究成果報告書

平成 30 年 6 月 16 日現在

機関番号：12601

研究種目：若手研究(A)

研究期間：2014～2017

課題番号：26709022

研究課題名（和文）III-V CMOSフォトニクスによる光電子融合集積回路基盤技術の構築

研究課題名（英文）Research on platform technologies for electronic-photonic integrated circuits based on III-V CMOS photonics

研究代表者

竹中 充 (Takenaka, Mitsuru)

東京大学・大学院工学系研究科（工学部）・准教授

研究者番号：20451792

交付決定額（研究期間全体）：（直接経費） 18,400,000円

研究成果の概要（和文）：本研究を通じて、III-V CMOSフォトニクス・プラットフォーム上に能動・受動素子を自在に集積するためのプロセス技術を確立することに成功した。これによりキャリア注入型光変調器等をIII-V-01基板上で実証することに成功した。またInGaAs MOSトランジスタの一体集積にも世界で初めて成功するなど、光電子集積回路の基盤技術を確立した。また自由キャリア効果を使った光変調器の研究過程で、ハイブリッドMOS型光変調器構造を考案し、世界最高レベルの光位相変調効率を実現するに至った。III-V on SiCプラットフォームの考案にも繋がるなど、当初の想定以上の成果が得られた。

研究成果の概要（英文）：We have successfully established the process technologies to integrate active and passive waveguide photonic devices on the III-V CMOS photonics platform. Thus, we have demonstrated the carrier-injection InGaAsP optical modulator on the III-V-01 wafer. Moreover, the monolithic integration of the InGaAsP optical modulator and InGaAs MOS transistor has been successfully demonstrated, exhibiting the feasibility of the electronic-photonic integration capability of the III-V CMOS photonics platform. Through the investigation of optical modulators based on the free-carrier effect, we have invented the Si hybrid MOS optical modulator which exhibits the highest modulation efficiency among semiconductor-based optical modulators. We have also proposed the III-V on SiC platform which can dramatically improve the heat dissipation.

研究分野：光電子集積回路

キーワード：光変調器 トランジスタ シリコンフォトニクス CMOSフォトニクス ウェハボンディング

1. 研究開始当初の背景

既存のCMOS製造技術を転用してシリコン基板上に光集積回路を作製可能なシリコンフォトニクス技術が急速に進展している。大口径 Si-on-insulator (SOI)基板を用いることで、光閉じ込めの強いシリコン光導波路を容易に作製可能であり、光集積回路を既存技術の1/100程度に小型化がすることが可能となる。パッシブ導波路素子に加え、Si光変調器やGe受光器との集積化も可能であり、Si CMOS回路とのモノリシック集積も可能であることから、光電子集積回路の標準プラットフォームになりつつあった。

一方、長距離光通信用途ではInPをベースにしたIII-V族半導体を中心に用いられてきた。直接遷移型半導体であることから、Siでは困難なレーザーが作製可能であり、光変調器や受光器もより高性能な素子が作製可能であるなど、優れた性質を持っている。しかし、従来のInP基板上素子は導波路の光閉じ込めが弱く、シリコンフォトニクスと比較して光集積回路の小型化に向いていない。このようなInP系光素子の課題を克服するため、我々は図1に示すIII-V CMOSフォトニクス・プラットフォームを提唱し、研究を進めてきた。SOI基板と同様のIII-V-on-insulator基板を実現することで、シリコンフォトニクスと同様の超小型光素子をInP系材料を用いて作製可能となる。この結果、シリコンよりも優れた光集積回路を実現できる。またIII-V族半導体は電子移動度が高く、高速トランジスタとしての応用も期待されており、Si MOSトランジスタの代替チャンネル材料としても活発に研究されてきた。III-V CMOSフォトニクス上にIII-V MOSトランジスタも一体集積することで、究極的な光電子集積回路を実現できるものと期待される。

我々は、これまでにウェハボンディング技術を用いて、III-V族半導体薄膜を熱酸化Si基板上に貼り合わせたIII-V-OI基板を世界に先駆けて実証することに成功している。このIII-V-OI基板を用いることで、微小曲げ導波路やアレイ導波路グレーティング、グレーティングカプラなどInP系細線導波路素子の実証に成功してきた。またキャリア注入型マッハ・ツェンダー干渉計光スイッチや導波路型InGaAs受光器などのアクティブ光素子に加えて、InGaAs MOSトランジスタの実証にも成功してきた。

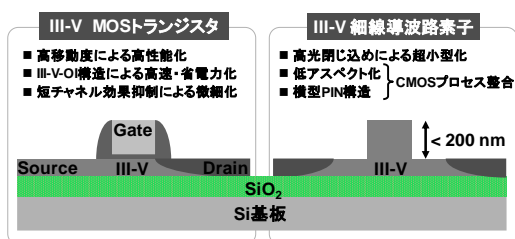


図1. III-V CMOS フォトニクス・プラットフォーム概念図。

2. 研究の目的

このような背景を受けて、本研究においては、III-V CMOS フォトニクス・プラットフォーム上に更に高度な光電子集積回路を実現することを目指した。各種のアクティブ光素子を自在に集積するためには、耐熱性の高いIII-V-OI基板を実現するとともに、CMOS 整合プロセスで高品質・低抵抗PIN接合を形成することが求められる。本研究では、素子集積に必要なCMOS 整合プロセスの研究を進めた。また能動光素子と受動光素子を一体形成するためのIII-V-OI基板の実現を目指した。III-V-OI基板上に光変調器などのInP系細線能動光素子とそれを駆動するためのInGaAs MOSトランジスタをモノリシック集積することも目指した。これにより、III-V CMOS フォトニクス・プラットフォーム上で光電子融合集積回路を実現するための基盤技術確立を目指した。

3. 研究の方法

(1) 耐熱性の高いIII-V-OI基板を実現するための基板貼り合わせ手法や素子構造の研究を進めた。加熱時のボイド発生量と貼り合わせ界面の関係について研究を進め、ボイド抑制手法を見出すことを目指した。貼り合わせ後のIII-V族半導体薄膜パターニングによるボイド抑制効果についても検討を進めた。またIII-V-OI基板上に低抵抗PIN接合を形成する手法について検討を進めた。Zn固相拡散とNi合金化プロセスを用いて低温でPIN接合を形成することを目指した。

(2) 能動・受動集積を目指したIII-V-OI基板作製プロセスについて研究を進めた。複数のバンドギャップを持つIII-V族半導体層を形成する手法として量子井戸インターミキシングの検討を進めた。

(3) 横型PIN接合を用いた光変調器などの能動光素子をIII-V-OI基板上に形成することを目指した。更に、能動光素子を駆動するためのInGaAs MOSトランジスタのモノリシック集積も目指した。

4. 研究成果

(1) 貼り合わせIII-V-OI基板加熱時に基板表面に発生するボイドについて研究を進めた。従来のプロセスで作製したIII-V-OI基板を500度程度で加熱すると、図2aに示すようにボイドが発生してしまう。我々は、ボイド発生が貼り合わせ界面として用いているアルミナ(Al₂O₃)層からのガス発生に原因があることを突き止めた。貼り合わせ前に加熱して、あらかじめAl₂O₃層からデガスすることで、ボイド発生を抑制可能であることを明らかにした(図2b,c)。600度で貼り合わせ前加熱することで、貼り合わせ後の600度加熱においてもボイドの発生をほとんど抑制することに成功した。

貼り合わせ後にIII-V族半導体層をパター

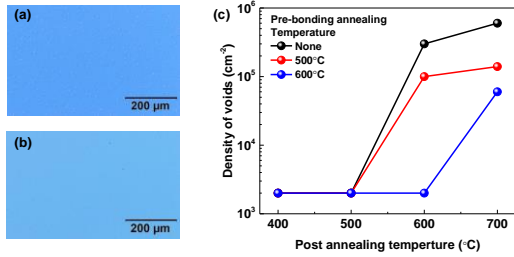


図 2. III-V-OI 基板加熱時のボイド密度。(a) 貼り合わせ加熱無し、(b) 貼り合わせ加熱有、(c) 貼り合わせ後の加熱時におけるボイド密度変化。

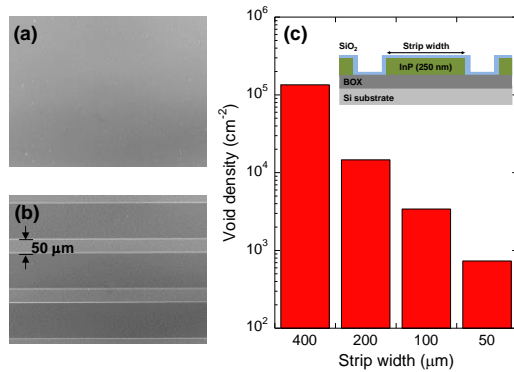


図 3. III-V-OI 基板加熱時のボイド密度の基板パターン依存性。(a) パターン無し、(b) パターン有、(c) パターン幅依存性。

リングした場合におけるボイド発生量についても検討を進めた(図3)。III-V 族半導体層をストライプ状に加工することで、ボイド発生を抑制可能であることを明らかにした。

III-V-OI 基板上に低抵抗 PIN 接合を形成するプロセスの研究も進めた。貼り合わせ後の III-V 族半導体に P 型ドーピングすることが特に困難であった。我々は、スピンオンガラスからの Zn 固相拡散により良好なドーピングが可能であることを明らかにしてきた(図4)。しかし、導波路メサ近傍に Zn 固相拡散すると、熱応力により貼り合わせ III-V 族半導体層が剥がれてしまう課題があった(図4b, c)。我々は、Zn 拡散温度を 550 度から 500 度下げるとともに、スピンオンガラスの膜厚を薄くすることで熱応力を低減することで、導波路近傍付近においても Zn 拡散できることを明らかにした(図5a)。拡散温度を 500 度にしても良好な Zn 拡散が得られている(図5b)。Zn 拡散により III-V-OI 基板上に形成した横型 PIN 接合電気特性を図5cに示す。良好な PIN

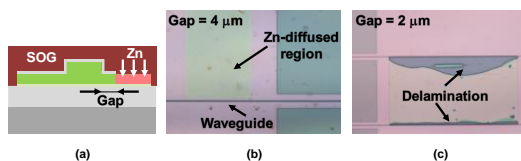


図 4. (a) Zn 拡散プロセス、Zn 拡散後の基板表面写真：(b) ギャップ 4 μm、(c) ギャップ 2 μm。

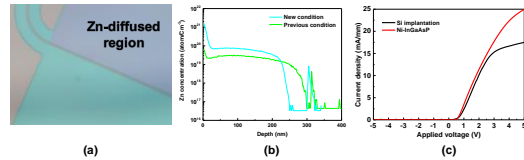


図 5. (a) 最適化後の Zn 拡散素子写真、(b) 拡散した Zn の基板内分布、(c) Zn 拡散で形成した PIN 接合特性。

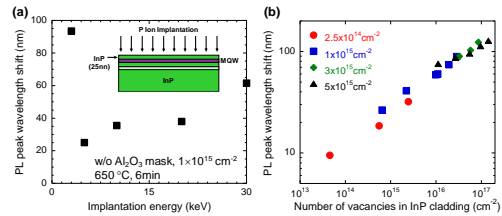


図 6. (a) P イオン注入エネルギーと PL ピーク波長シフト量の関係、(b) InP クラッド中欠陥量と PL ピーク波長シフト量の関係。

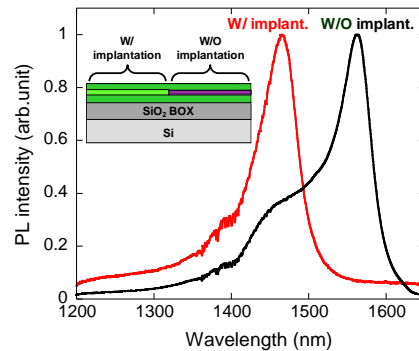


図 7. 量子井戸インターミキシングで形成した 2 波長 III-V-OI 基板。

接合特性が得られた。N 型ドーピングとして Si イオン注入に替わり、Ni 合金化プロセスを用いることで一層の寄生抵抗低減に成功した。

(2) III-V-OI 基板上で能動・受動集積を実現するための量子井戸インターミキシングの研究を進めた。InP 基板上での量子井戸インターミキシングは従来から知られていたが、貼り合わせた III-V 族半導体薄層に適用可能かは全く研究されていなかった。我々は、極めて薄い上部 InP クラッドしかない量子井戸構造に対するインターミキシングの研究を進めた。この結果、P イオン注入エネルギーを小さくして、上部 InP クラッド層のみに P イオン起因の結晶欠陥を導入することで、大きなバンドギャップシフトが見出された(図6a)。また、上部 InP クラッド層に生成した欠陥量とバンドギャップ波長シフトが比例することを実験的に明らかにし、制御性良くバンドギャップを自在に調整できることを示した(図6b)。最適な条件で量子井戸インターミキシングを III-V-OI 基板上に適用することで、図7に示す 2 波長に対応したバンドギャップ

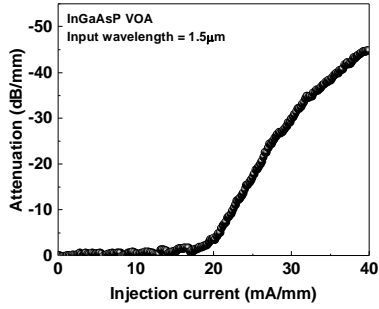


図 8. キャリア注入型光可変減衰器特性。

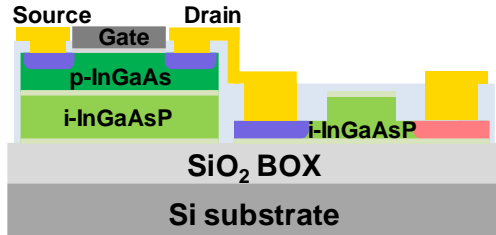


図 9. InGaAsP 光変調器と一体集積した InGaAs MOS トランジスタ断面構造。

を持った III-V-OI 基板の作製に成功した。

(3) Zn 拡散で形成した低抵抗 PIN 接合を用いた能動光素子の実証を目指した研究を進めた。まず PIN 接合に順バイアスを印加して電流注入することで光減衰量を制御する可変光減衰器の作製を行った。低抵抗 PIN 接合の形成に成功したことから、40 mA/mm を超える電流注入が可能となった。これにより、注入された電子や正孔による自由キャリア吸収を用いた光吸収変調に成功した (図 8)。主に正孔の自由キャリア吸収を用いることで Si 素子を上回る吸収変調を実現した。

InGaAsP 光変調器と駆動用 InGaAs MOS トランジスタを一体集積する研究も進めた。モノリシック集積した素子の断面構造を図 9 に示す。光素子となる InGaAsP 層上部にトランジスタ層となる InGaAs 層をスタックした構造とした。これまでの研究で開発した Zn 拡散と Ni 合金化プロセスを用いて、2 つの素子を一

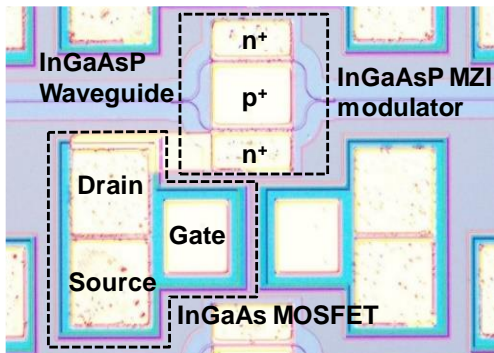


図 10. InGaAsP 光変調器と InGaAs MOS トランジスタをモノリシック集積した光電子集積回路のチップ写真。

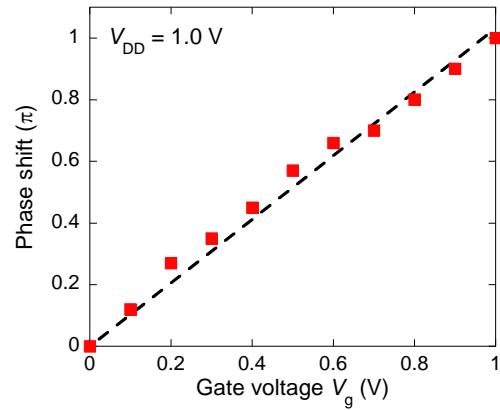


図 11. InGaAs MOS トランジスタで直接、InGaAsP 光変調器を駆動した結果。

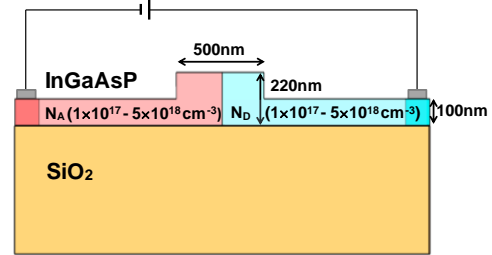


図 12. III-V-OI 基板上に形成可能な空乏型 InGaAsP 光変調器断面構造。

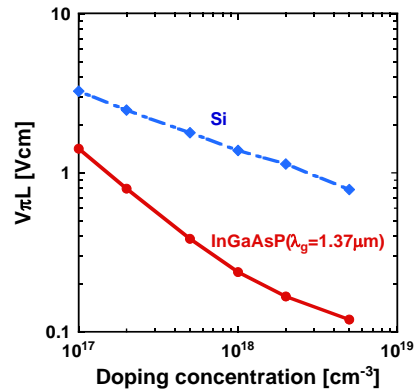


図 13. 空乏型 InGaAsP 光変調器の変調効率解析結果。

体的に形成したチップの作製に成功した (図 10)。一体集積した InGaAs MOS トランジスタにより直接 InGaAsP 光変調器を駆動した結果を図 11 に示す。InGaAs MOS トランジスタにゲート電圧を印加すると、電流が InGaAsP 光変調器に注入されて光位相を制御することができる。1 V 程度の印加電圧で位相を 180 度シフトさせることに成功した。

高速動作可能なキャリア空乏型光変調器の研究も進めた。図 12 に素子断面構造を示す。III-V-OI 基板上に形成した InGaAsP リブ導波路に PN 接合を形成し、逆バイアス印加による空乏層幅を変調する。InGaAsP 中の電子による屈折率変化が大きいことから、同様の構造を持つ Si 光変調器と比較して、大幅に変調

効率を改善可能であることが数値解析により分かった (図 13)。

この研究を通じて、InGaAsP 中の電子誘起屈折率変化は Si よりも 17 倍大きい一方、電子誘起吸収変化が半分であることが分かり、光位相変調が極めて優れていることが分かった。一方、正孔による吸収変化は Si よりも大きい。このことから、InGaAsP 中の電子効果のみを用いた光変調を実現することが重要であることが分かった。このような経緯の中、我々は、Si 光導波路上に Al₂O₃ ゲート絶縁膜を介して InGaAsP 薄膜を貼り合わせた光変調器の考案に至った (図 14)。ゲート電圧を印加することで InGaAsP MOS 界面に電子が蓄積する。これにより InGaAsP 中の電子のみを用いて光変調することに成功した。光位相変調効率は 0.047 Vcm となり、半導体を用いた光変調器として世界最高の効率を実現した (図 15)。本素子構造は当初の研究計画では想定していなかったが、自由キャリア効果を使った光変調器の研究から発想を得た成果となった。

III-V CMOS フォトニクス・プラットフォームの更なる高性能化に向けた研究も進めた。III-V-OI 基板は熱伝導率が悪い SiO₂ 上に III-V 族半導体薄膜が貼り合わされた構造となっている。このため能動デバイスの温度が上昇しやすく、素子の特性劣化につながってしまう。この問題を解決するため、III-V 族半導体薄膜

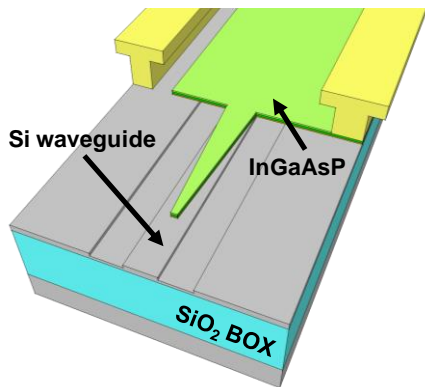


図 14. ハイブリッド MOS 型光変調器素子構造。

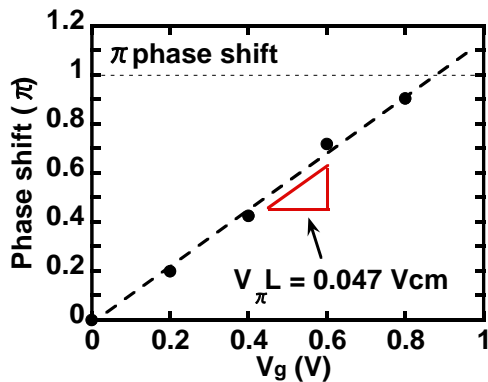


図 15. ハイブリッド MOS 型光変調器の光位相変調効率。

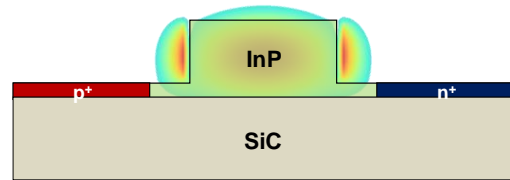


図 16. III-V on SiC プラットフォーム。

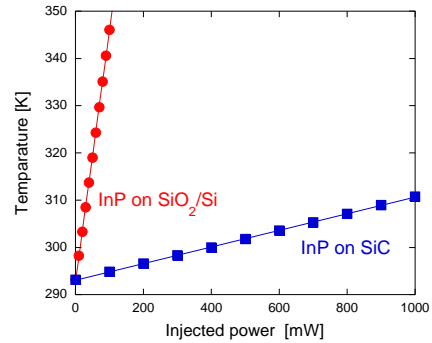


図 17. III-V on SiC 上光素子の温度上昇解析結果。

を SiC 基板上に貼り合わせた構造を新たに提唱した (図 16)。SiC は極めて大きな熱伝導率を持つ一方、屈折率は InP と比較して十分小さく、光を InP 層に強く閉じ込めた光導波路を実現可能である。図 17 に III-V-OI 基板と III-V on SiC 基板上での入力パワーに対する素子温度を解析した結果を示す。III-V-OI 基板では、100 mW 程度の入力パワーで素子温度が 50 度程度上昇してしまう。このため、半導体レーザーの出力が飽和してしまうなどの問題が生じる。一方、III-V on SiC 上では素子温度は極めて小さくなることが分かった。1 W の電力投入時においても素子温度上昇は 20 度以下に抑えられている。このため、温度による素子劣化を抑制可能であり、高密度光集積回路が実現可能である。また高出力レーザーへの応用も期待されることから、新たな光集積回路プラットフォームとして期待される。本成果も当初は想定していなかったが、研究の過程で排熱の問題に気が付き、考案するに至った。

以上のように、本研究を通じて、III-V CMOS フォトニクス・プラットフォーム上に能動・受動素子を自在に集積するためのプロセス技術を確立することに成功した。これによりキャリア注入型光変調器等を III-V-OI 基板上で実証することに成功した。また InGaAs MOS トランジスタの一体集積にも世界で初めて成功するなど、光電子集積回路の基盤技術を確立した。また自由キャリア効果を使った光変調器の研究過程で、ハイブリッド MOS 型光変調器構造を考案し、世界最高レベルの光位相変調効率を実現するに至った。III-V on SiC プラットフォームの考案にも繋がるなど、当初の想定以上の成果が得られた。

5. 主な発表論文等

[雑誌論文] (計 14 件)

- [1] J.-K. Park, S. Takagi, and M. Takenaka, “InGaAsP Mach-Zehnder interferometer optical modulator monolithically integrated with InGaAs driver MOSFET on a III-V CMOS photonics platform,” *Optics Express*, vol. 26, no. 4, pp. 4842–4852, 2018. DOI: 10.1364/OE.26.004842
- [2] M. Takenaka and S. Takagi, “InP-based photonic integrated circuit platform on SiC wafer,” *Optics Express*, vol. 25, no. 24, pp. 29993–30000, 2017. DOI: 10.1364/OE.25.029993
- [3] J.-H. Han, F. Boeuf, J. Fujikata, S. Takahashi, S. Takagi, and M. Takenaka, “Efficient low-loss InGaAsP/Si hybrid MOS optical modulator,” *Nat. Photonics*, vol. 11, no. 8, pp. 486–490, Jul. 2017. DOI: 10.1038/nphoton.2017.122
- [4] F. Boeuf, J.-H. Han, S. Takagi, and M. Takenaka, “Benchmarking Si, SiGe and III-V/Si hybrid SIS Optical Modulators for Datacenter Applications,” *J. Light. Technol.*, vol. 35, no. 18, pp. 4047–4055, 2017. DOI: 10.1109/JLT.2017.2728365
- [5] N. Sekine, J.-H. Han, S. Takagi, and M. Takenaka, “Numerical analysis of carrier-depletion InGaAsP optical modulator with lateral PN junction formed on III-V-on-insulator wafer,” *Jpn. J. Appl. Phys.*, vol. 56, 04CH09, 2017. DOI: 10.7567/JJAP.56.04CH09
- [6] M. Takenaka, Y. Kim, J. Han, J. Kang, Y. Ikku, Y. Cheng, J. Park, M. Yoshida, S. Takashima, and S. Takagi, “Heterogeneous CMOS photonics based on SiGe/Ge and III-V semiconductors integrated on Si Platform,” *IEEE J. Sel. Top. Quantum Electron.*, vol. 23, No. 3, 8200713, 2017 (Invited). DOI: 10.1109/JSTQE.2017.2660884
- [7] S. Takashima, Y. Ikku, M. Takenaka, and S. Takagi, “Effect of III-V on insulator structure on quantum well intermixing,” *Jpn. J. Appl. Phys.*, vol. 55, 04EH13, 2016. DOI: 10.7567/JJAP.55.04EH13

[学会発表] (計 59 件)

- [1] M. Takenaka, J.-H. Han, J.-K. Park, F. Boeuf, J. Fujikata, S. Takahashi, and S. Takagi, “High-efficiency, low-loss optical phase modulator based on III-V/Si hybrid MOS capacitor,” *Optical Fiber Communication Conference (OFC2018)*, Tu3K.3, San Diego, 13 March 2018 (invited).
- [2] Q. Li, J.-H. Han, C. Ho, S. Takagi, and M. Takenaka, “Low-crosstalk, low-power Mach-Zehnder interferometer optical switch based on III-V/Si hybrid MOS phase shifter,” *Optical Fiber Communication Conference (OFC2018)*, Th3C.5, San Diego, 15 March

2018.

- [3] J. Han, S. Takagi, and M. Takenaka, “High-Efficiency O-Band Mach-Zehnder modulator based on InGaAsP/Si hybrid MOS capacitor,” *Optical Fiber Communication Conference (OFC2017)*, W3E.2, Los Angeles, 22 March 2017. DOI: 10.1364/OFC.2017.W3E.2
- [4] J. Park, S. Takagi, and M. Takenaka, “Monolithic integration of InGaAsP MZI modulator and InGaAs driver MOSFET using III-V CMOS photonics,” *Optical Fiber Communication Conference (OFC2017)*, W3E.4, Los Angeles, 22 March 2017. DOI: 10.1364/OFC.2017.W3E.4
- [5] J. Han, M. Takenaka, and S. Takagi, “Extremely high modulation efficiency III-V/Si hybrid MOS optical modulator fabricated by direct wafer bonding,” *International Electron Devices Meeting (IEDM'16)*, 25.5, San Francisco, 7 December 2016. DOI: 10.1109/IEDM.2016.7838480
- [6] M. Takenaka, and S. Takagi, “Si/III-V CMOS photonics for low-power electronic-photonic integrated circuits on Si platform,” *Conference on Lasers and Electro-Optics (CLEO2016)*, SF2P.7, San Jose, 10 June 2016 (invited).
- [7] M. Takenaka, Y. Kim, J. Han, J. Kang, Y. Ikku, Y. Cheng, J.-K. Park, S.-H. Kim, and S. Takagi, “CMOS photonics technologies based on heterogeneous integration of SiGe/Ge and III-V on Si,” *International Electron Devices Meeting (IEDM'15)*, 31.5, Washington D.C., 9 December 2015 (invited).

[図書] (計 1 件)

- [1] 竹中充, 「化合物半導体細線光導波路を用いた光電子集積回路」、TELECOM FRONTIER, Vol. 94, 2017.

[産業財産権]

○出願状況 (計 1 件)

名称: MOS 型光変調器及びその製造方法
発明者: 竹中 充、韓 在勲、高木 信一
権利者: 同上
種類: 特許
番号: 特願 2016-160229
出願年月日: 2016 年 8 月 17 日
国内外の別: 国内・国外

[その他]

高木竹中研究室ホームページ
<http://www.mosfet.k.u-tokyo.ac.jp/>

6. 研究組織

(1) 研究代表者

竹中 充 (TAKENAKA, Mitsuru)
東京大学・大学院工学系研究科・准教授
研究者番号: 20451792