

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 25 年 5 月 20 日現在

機関番号：10101

研究種目：新学術領域研究

研究期間：2008～2012

課題番号：20111004

研究課題名（和文）ゆらぎを積極的に利用するナノ情報処理システムの開拓

 研究課題名（英文） Towards Noise-driven Information Processing Systems for
Nano-scale Molecular and Semiconductor Devices

研究代表者

浅井 哲也（ASAI TETSUYA）

北海道大学・大学院情報科学研究科・准教授

研究者番号：00312380

研究成果の概要（和文）：ナノ集積デバイスにおけるゆらぎの存在を前提として、ゆらぎを利用して基本的な情報処理を行う以下のシステム設計を行った：(i) 確率共鳴による微弱信号検出器，(ii) ゆらぎを利用する A/D 変換器（雑音の力を借りて低周波雑音を抑制），(iii) 高速信号伝送路（雑音の力を借りて超低消費電力回路で高速パルス伝送），(iv) 雑音誘起同期回路（雑音の力を借りて独立した回路群の位相を強制同期），(v) 確率共鳴メモリ（雑音の力を借りて極低電圧・低消費電力メモリを正しく動作させる）。これらのうち、(i)，(iii)，(v) について、A04 班とともに分子ナノデバイス設計を行い、(i)，(iii) についてはデバイス試作と所望の動作確認ができた。残る(ii)，(iv)，(v) については、半導体ナノ集積デバイス上にて評価を行い、想定通りの動作を得ることができた。

研究成果の概要（英文）：Aiming at the development of noise-driven information processing systems on possible nano-scale semiconductor devices, the following systems have been developed: (i) weak-signal detector based on stochastic resonance, (ii) an analog-to-digital converter that utilized noise and fluctuations, (iii) fast signal transmission utilizing mismatches of semiconductor devices, (iv) noise-induced phase synchronization among subthreshold CMOS oscillators, (v) ultra-low-power logic memory cells utilizing noise and fluctuations, and (vi) brain-inspired information processing circuits that utilized noises. Molecular devices for (i), (iii) and (v) have also been developed with group A04, and we could observe expected operations of the molecular devices for (i). For the rest items [(ii), (iv), and (v)], we evaluated the model on nano semiconductor devices, and could observe desired dynamical operations.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2008 年度	10,400,000	3,120,000	13,520,000
2009 年度	11,500,000	3,450,000	14,950,000
2010 年度	9,600,000	2,880,000	12,480,000
2011 年度	10,600,000	3,180,000	13,780,000
2012 年度	9,700,000	2,910,000	12,610,000
総計	51,800,000	15,540,000	67,340,000

研究分野：複合新領域

科研費の分科・細目：ナノ・マイクロ科学，細目：ナノ材料・ナノバイオサイエンス

キーワード：確率共鳴，雑音利用，アナログ CMOS，量子デバイス，生体模倣，電子回路

1. 研究開始当初の背景

(1) 熱雑音やゆらぎの要素は、システム設計において非常に悩ましい存在である。本来高い雑音耐性を有するはずのデジタル演算においても、環境雑音や電源雑音の問題が深刻になっている。雑音やゆらぎの問題は、プロセス技術やシールド技術といったデバイス製造(後)技術の問題とされることが多い。しかし問題はシステムの設計側にもある。実際、ゆらぎの影響を最小限に留めるためのデジタル処理の概念が提唱されて以来、システムの設計側から“デジタル以外の方法で”この問題に取り組み解決できた例はさほど多くない。その結果、ノイマン型アーキテクチャを主体とするデジタル回路が、現在の情報処理システムの中核となっている。

(2) 一方、自然が生み出したアナログ情報処理システムの代表である生物の神経系は、雑音を排除するのではなく活用する方向に進化したと考えられている。たとえば、昆虫(コオロギ)は、熱雑音による擾乱を活用することで触角のセンサ感度を超える微弱な信号を検出する。また、大脳皮質によく見られる構造を模した神経ネットワークは、時空間雑音を活用することで低周波雑音を高周波領域へ押し上げる($\Sigma \Delta$ 型アナログ-デジタル変換におけるノイズシェーピング効果)の性質を持つ。さらに、雑音を加えることで、バーストパルス信号の検出を行う神経ネットワークの出力ダイナミックレンジが大幅に向上することも明らかになった。また、雑音を加えることで、非同期に発火している複数の神経細胞が同期発火するという現象も見つかっている。

2. 研究の目的

(1) 雑音やゆらぎの吸収・利用は、生物の神経系だけでなく自然界のいたるところで行われていると考えられる。本研究は、自然が雑音やゆらぎを吸収・利用する仕組みに学んだ機能システムのアーキテクチャ構築を目的とする。生物の自己組織化や脳の情報処理方法に学び、ゆらぎを積極的に利用する情報処理方式を確立することが本研究の最終目標である。

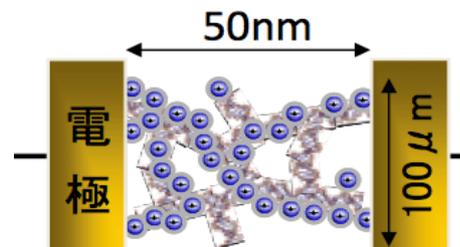
3. 研究の方法

(1) 雑音利用アーキテクチャの構成要素(*1 ナノ計算要素, *2 インターフェース, *3 通信, *4 信号伝送)は、既に計算機シミュレーションにより、その有用性(雑音を利用して所望の演算/機能を達成すること)が示されている。これらの要素回路を実際に半導体集積回路として作製し、評価を行った。

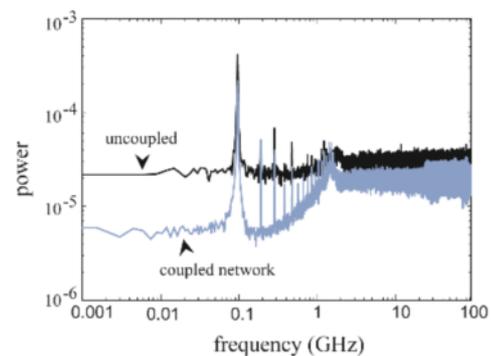
(2) 国内外の連携研究者より、研究代表者だけでは対処できない分子コンピューティング/ナノ半導体デバイスに関する技術協力を得た。また、研究代表者が指導する大学院生の教育を兼ねて、回路/LSI設計、シミュレーション、製作、測定評価などの仕事を大学院生が担当した。

4. 研究成果

(1) 確率共鳴による微弱信号検出器(雑音の力を借りて微弱信号を検出): 単分子素子による分子トンネル接合の巨大ネットワークを構成し、A04 班との共同研究により、下図に示す分子ナノネットワーク(熱雑音に鋭敏な素子)を構成し、そこで起こる確率共鳴現象を確認した。また、下図のモデルから理論的な IV 特性関数を導出し、実験結果との一致を確認した。

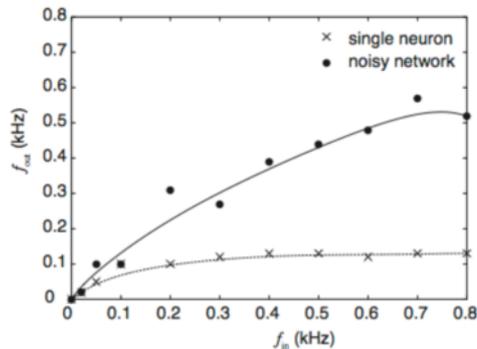


(2) ゆらぎを利用する A/D 変換器(雑音の力を借りて低周波雑音を抑制): 単分子素子向けのパルス密度変調器(1 ビット AD 変換器)を構成した。大規模な単電子回路ネットワークのシミュレーションにより、低周波領域における雑音が、ゆらぎにより抑制される現象を示した(下図: 横軸は周波数, 縦軸はパワー, 黒線は非結合の場合)。

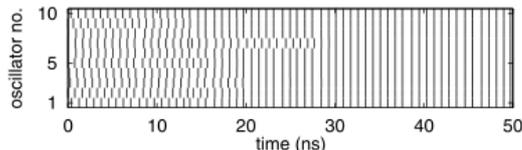


(3) 高速信号伝送路(雑音の力を借りて超低消費電力回路で高速パルス伝送): 単分子デバイス化を想定した超微小電流駆動方式の CMOS 興奮場を構成し、その系におけるパルスの伝搬速度が雑音により増加することを示した。下図にその結果を示す(横軸: 入力パルスの周波数, 縦軸: 出力パルスの周波数)。雑音を加えられた場合(実線)は、そうでない場合と比較して出力が入力に追従するレンジが大幅に広がることがわかった。この要

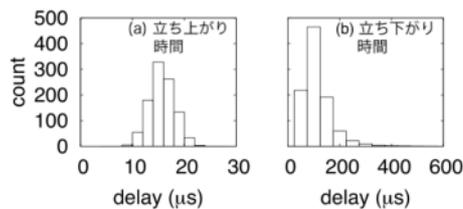
素回路である疑似神経細胞（積分発火型素子）については、A04 班との共同研究により、POM-CWNT 素子においてゆらぎを利用するパルス発生も確認できており、分子ナノ神経細胞素子の具現化への道筋がひらけた。



(4) 雑音誘起同期回路（雑音の力を借りて独立した回路群の位相を強制同期）：超微小電流で駆動された独立した CMOS 発振器が、外部共通雑音により強制的に同期させられることを実験により示した（下図）。



(5) 確率共鳴メモリ（雑音の力を借りて極低電圧・低消費電力メモリを正しく動作させる）：単分子デバイス向けの超微小電流で動作する双安定回路を構成し、シミュレーションにより電力削減量および動作可能周波数の見積もりを行った（下図）。その結果、現在の典型的な CMOS デバイスにおいては、動作周波数 1 kHz において、素子バラツキを許容できることが明らかになった。



(6) 論理回路応用（ゆらぎを前提とした論理演算）：最終年度に、(5)の確率共鳴メモリのラッチ機能を有効利用した論理演算手法を確立した。論理演算にはしきい論理を用いる。確率共鳴メモリをメモリとして用いる代わりにラッチとして用い、論理入力の和をこのラッチに与えることで、論理入力の和の（不要な・過度の）ゆらぎを抑制でき、論理出力が極めて安定する。この状態では、（ラッチにおいて）二重井戸系における確率共鳴が発生しており、それによって、ある最適雑音環境下で論理演算の出力を安定化される。これは確率共鳴の新しい応用であり、その有効性を効果的に示すことができた。

5. 主な発表論文等

（研究代表者、研究分担者及び連携研究者には下線）

〔雑誌論文（全て査読有り）〕（計 28 件）

- [1] Sanada Y., Ohira T., Chikuda S., Igarashi M., Ikebe M., Asai T., and Motomura M., FPGA implementation of single-image super resolution based on frame-bufferless box filtering, *Journal of Signal Processing*, vol. 17, (2013), in press.
<http://www.risp.jp/Product.html>
- [2] Gonzalez-Carabarin L., Asai T., and Motomura M., Impact of noise on spike transmission through serially-connected electrical FitzHugh-Nagumo circuits with subthreshold and suprathreshold interconductances, *Journal of Signal Processing*, vol. 16, no. 6, pp. 503-509 (2012).
<http://www.risp.jp/Product.html>
- [3] Gong X., Asai T., and Motomura M., Excitable reaction-diffusion media with memristors, *Journal of Signal Processing*, vol. 16, no. 4, pp. 283-286 (2012).
<http://www.risp.jp/Product.html>
- [4] Matsuura M., Asai T., and Motomura M., Noise-induced phase synchronization among simple digital counters, *Journal of Signal Processing*, vol. 16, no. 4, pp. 279-282 (2012).
<http://www.risp.jp/Product.html>
- [5] Utagawa A., Asai T., and Amemiya Y., Noise-induced phase synchronization among analog MOS oscillator circuits, *Fluctuation and Noise Letters*, vol. 11, no. 2, pp. 1250007/1-11 (2012).
DOI: 10.1142/S0219477512500071
- [6] Narumi T., Suzuki M., Hidaka Y., Asai T., and Kai S., Active brownian motion in threshold distribution of a Coulomb blockade model, *Physical Review E*, vol. 84, 051137 (2011).
DOI: 10.1103/PhysRevE.84.051137
- [7] Kikombo A.K., Asai T., and Amemiya Y., Neuro-morphic circuit architectures employing temporal noises and device fluctuations to improve signal-to-noise ratio in a single-electron pulse-density modulator, *International Journal of Unconventional Computing*, vol. 7, no. 1-2, pp. 53-64 (2011).
<http://www.oldcitypublishing.com/IJUC/IJUC.html>
- [8] Utagawa A., Asai T., and Amemiya Y., Stochastic resonance in simple analog circuits with a single operational amplifier

- having a double-well potential, *Nonlinear Theory and Its Applications*, vol. 2, no. 4, pp. 409-416 (2011). DOI: 10.1588/nolta.2.409
- [9] Oya T., Schmid A., Asai T., and Utagawa A., Stochastic resonance in a ballanced pair of single-electron boxes, *Fluctuation and Noise Letters*, vol. 10, no. 3, pp. 267-275 (2011). DOI: 10.1142/S0219477511000557
- [10] Asai T. and Motoike I.N., Self-organizing striped and spotted patterns on a discrete reaction-diffusion model, *Nonlinear Theory and Its Applications*, vol. 2, no. 3, pp. 363-371 (2011). DOI: 10.1588/nolta.2.363
- [11] Utagawa A., Asai T., and Amemiya Y., High-fidelity pulse density modulation in neuromorphic electric circuits utilizing natural heterogeneity, *Nonlinear Theory and Its Applications*, vol. 2, no. 2, pp. 218-225 (2011). DOI: 10.1588/nolta.2.218
- [12] Fujita D., Asai T., and Amemiya Y., A neuromorphic MOS circuit imitating jamming avoidance response of *Eigenmannia*, *Nonlinear Theory and Its Applications*, vol. 2, no. 2, pp. 205-217 (2011). DOI: 10.1588/nolta.2.205
- [13] Ueno K., Asai T., and Amemiya Y., Low-power temperature-to-frequency converter consisting of sub-threshold CMOS circuits for integrated smart temperature sensors, *Sensors and Actuators A: Physical*, vol. 165, no. 1, pp. 132-137 (2011). DOI: 10.1016/j.sna.2010.03.030
- [14] Akou N., Asai T., Yanagida T., Kawai T., and Amemiya Y., A behavioral model of unipolar resistive RAMs and its application to HSPICE integration, *IEICE Electronics Express*, vol. 7, no. 19, pp. 1467-1473 (2010). DOI: 10.1587/elex.7.1467
- [15] Asai S., Ueno K., Asai T., and Amemiya Y., High-resistance resistor consisting of a subthreshold CMOS differential pair, *IEICE Transactions on Electronics*, vol. E93-C, no. 6, 741-746 (2010). DOI: 10.1587/transele.E93.C.741
- [16] Tsugita Y., Ueno K., Hirose T., Asai T., and Amemiya Y., An on-chip PVT compensation technique with current monitoring circuit for low-voltage CMOS digital LSIs, *IEICE Transactions on Electronics*, vol. E93-C, no. 6, 835-841 (2010). DOI: 10.1587/transele.E93.C.835
- [17] Hirai T., Asai T., and Amemiya Y., CMOS phase-shift oscillator based on the conduction of heat, *Journal of Circuits, Systems, and Computers*, vol. 19, no. 4, 763-772 (2010). DOI: 10.1142/S0218126610006426
- [18] Ueno K., Hirose T., Asai T., and Amemiya Y., A 1-uW, 600-ppm/ current reference circuit consisting of sub-threshold CMOS circuits, *IEEE Transactions on Circuits and Systems II*, vol. 56, no. 19, pp. 1467-1473 (2010). DOI: 10.1109/TCSII.2010.2056051
- [19] Ueno K., Hirose T., Asai T., and Amemiya Y., Low-voltage process-compensated VCO with on-chip process monitoring and body-biasing circuit techniques, *IEICE Transactions on Fundamentals of Electronics, Communications and Computer*, vol. E92-A, no. 12, 3079-3081 (2009). DOI: 10.1587/transfun.E92.A.3079
- [20] 上野 憲一, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, サブスレッショルド MOSFET を用いた PTAT 電流生成のための微小フローティング電圧源回路, *映像情報メディア学会誌*, vol. 63, no. 12, 1877-1880 (2009). DOI: 10.3169/itej.63.1877
- [21] 次田 祐輔, 廣瀬 哲也, 上野 憲一, 浅井 哲也, 雨宮 好仁, 低電圧 CMOS デジタル回路のプロセスバラツキ補正技術, *映像情報メディア学会誌*, vol. 63, no. 11, 1667-1670 (2009). DOI: 10.3169/itej.63.1667
- [22] Ueno K., Hirose T., Asai T., and Amemiya Y., A 300-nW, 7-ppm/ , 20-ppm/V CMOS voltage reference circuit consisting of subthreshold MOSFETs, *IEEE Journal of Solid-State Circuits*, vol. 44, no. 7, 2047-2054 (2009). DOI: 10.1109/JSSC.2009.2021922
- [23] Utagawa A., Sahashi T., Asai T., and Amemiya Y., Stochastic resonance in an array of locally-coupled McCulloch-Pitts neurons with population heterogeneity, *IEICE Transactions on Fundamentals of Electronics, Communications and Computer*, vol. E92-A, no. 10, 2508-2513 (2009). DOI: 10.1587/transfun.E92.A.2508
- [24] Kikombo A.K., Schmid A., Asai T., Leblebici Y., and Amemiya Y., A bio-inspired image processor for edge detection with single-electron circuits, *Journal of Signal Processing*, vol. 13, no. 2, 133-144 (2009). <http://www.risp.jp/Product.html>
- [25] Hirose T., Hagiwara A., Asai T., and

- Amemiya Y., A highly sensitive thermosensing CMOS circuit based on self-biasing circuit technique, IEEJ Transactions on Electrical and Electronic Engineering, vol. 4, no. 2, 278-286 (2009). DOI: 10.1002/tee.20404
- [26] Kikombo A.K., Asai T., Oya T., Schmid A., Leblebici Y., and Amemiya Y., A neuromorphic single-electron circuit for noise-shaping pulse-density modulation, International Journal of Nanotechnology and Molecular Computation, vol. 1, no. 2, 80-92 (2009). DOI: 10.4018/jnmc.2009040106
- [27] Ogawa T., Hirose T., Asai T., and Amemiya Y., Threshold logic systems consisting of subthreshold CMOS circuits, IEICE Transactions on Fundamentals of Electronics, Communications and Computer, vol. E92-A, no. 2, 436-442 (2009). DOI: 10.1.1.124.4251
- [28] Kikombo A.K., Asai T., and Amemiya Y., An elementary neuro-morphic circuit for visual motion detection with single-electron devices based on correlation neural networks, Journal of Computational and Theoretical Nanoscience, vol. 6, no. 1, 89-95 (2009). DOI: 10.1166/jctn.2009.1101
- [学会発表] (国内学会発表 76 件, 国際会議発表 53 件, 招待・依頼講演 31 件 計 160 件中、代表者が講演した招待講演のみ記載)
- [1] (招待講演) Asai T., "Noise-driven computing for coarse-grained devices," The 2nd Bilateral Italy-Japan Seminar of Silicon Nanoelectronics for Advanced Applications, Du Lac et Du Parc, Riva del Garda, Italy (Apr. 29-30, 2013).
- [2] (招待講演) 浅井 哲也, "国際半導体ロードマップ (ITRS) ~新探求デバイス・アーキテクチャにおける脳型デバイス・コンピュータへの期待," FIRST 合原プロジェクトテーマワークショップ「神経ネットワークの数理モデルとその応用」, 東京大学生産技術研究所, Tokyo, Japan (Apr. 26, 2013).
- [3] (招待講演) Asai T., "Neuromorphic architectures," ITRS Workshop on Fundamental Concepts in Emerging Research Architectures, Hilton San Francisco Union Square, San Francisco, USA (Dec. 8, 2012).
- [4] (招待講演) Asai T., "Logical operations based on stochastic resonance for coarse-grained devices," The 1st RIEC International Symposium on Brain Functions and Brain Computer, 東北大学, Sendai, Japan (Nov. 15-16, 2012).
- [5] (招待講演) 浅井 哲也, "メモリストア〜第4の基本電気素子〜とその応用," 第22回 MIT (Modern Innovative Technology) 研究会, 株式会社ステップワン, Kobe, Japan (Sep. 29, 2012).
- [6] (招待講演) Asai T., "Noise-driven computing for coarse-grained devices and materials," Asia Conference on Nanoscience and Nanotechnology 2012, Crowne Plaza Lijiang Ancient Town, Yunnan, China (Sep. 7-10, 2012).
- [7] (招待講演) Asai T., "Memristor-CMOS-hybrid devices for neuromorphic computing systems," The 2nd International Joint Workshop on New Frontiers in Convergence Science and Technology, Seoul National University, Seoul, Korea (Nov. 18, 2011).
- [8] (招待講演) Asai T., "Memristor-CMOS-hybrid analog circuits for neuromorphic computing," 2011 CMOS Emerging Technologies Workshop, Hilton Whistler Resort and Spa Whistler, Whistler, Canada (Jun. 15-17, 2011).
- [9] (招待講演) Asai T., "More-than-Moore, Bridges to neuromorphic computing," The 7th International Nanotechnology Conference on Communication and Cooperation, College of Nanoscale Science and Engineering (CNSE), New York, USA (May 16-19, 2011).
- [10] (招待講演) 浅井 哲也, "生物の複雑システムに学んだ人工神経ネットワーク LSI~雑音を有効利用する機能電子回路システム~, " 複雑システムのネットワーク科学研究会, 兵庫県立大学, Kobe, Japan (Dec. 7, 2010).
- [11] (依頼講演) Asai T., "Noise-driven neuromorphic computing on analog LSIs," Hokkaido University-Seoul National University Joint Symposium on Frontiers in Convergence Science and Technology, 北海道大学, Sapporo, Japan (Nov. 25-26, 2010).
- [12] (招待講演) 浅井 哲也, "反応拡散チップ:ハードウェア設計の指針とその応用例," 2010年度グローバルCOEプログラム(現象数理学の形成と発展) 明治大学現象数理若手プロジェクト「反応拡散系の自己組織化機構を利用したメッシュ生成手法の開発」セミナー, 明治大学, Kawasaki, Japan (Oct. 16, 2010).
- [13] (招待講演) Asai T., "Reaction-diffusion computers on semiconductors --- A legacy from past adventures," The 1st International Workshop on Computing with

Spatio-Temporal Dynamics (The 9th Internal Conference on Unconventional Computation), 東京大学, Tokyo, Japan (Jun. 21-25, 2010).

- [14] (招待講演) 浅井 哲也, "電子回路で容易に実装可能な二重井戸ポテンシャル系における確率共鳴," 九州大学先端複雑系セミナー「創発現象の世界2」, 九州大学, Fukuoka, Japan (Jun. 11, 2010).
- [15] (招待講演) 浅井 哲也, "雑音とばらつきを有効利用する機能電子回路," 次世代情報処理における揺らぎと確率, 理化学研究所, Saitama, Japan (Mar. 3-4, 2010).
- [16] (招待講演) 浅井 哲也, "雑音と素子ばらつきを有効利用する生体模倣ハードウェア: ゆらぎは敵か味方か?," 電子情報通信学会ニューロコンピューティング研究会, 北海道大学, Sapporo, Japan (Jan. 18-19, 2010).
- [17] (招待講演) 浅井 哲也, "ゆらぎを積極的に利用する生体模倣集積回路," 平成21年度第三回ブレインウェア工学研究会, 東北大学, Sendai, Japan (Dec. 16, 2009).
- [18] (招待講演) Asai T. and Utgawa A., "Noise-driven neural computing on VLSIs," Proceedings of the 18th International Workshop on Post-Binary ULSI Systems, pp. 1-9, Okinawa Industry Support Center, Okinawa, Japan (May 20, 2009).

[図書] (計8件)

- [1] Asai T. and Peper F., "Explorations in Morphic Architectures," Emerging Nanoelectronic Devices, John Wiley & Sons (2013), in press.
- [2] Kikombo A.K., Asai T., and Amemiya Y., "Exploiting temporal noises and device fluctuations in enhancing fidelity of pulse-density modulator consisting of single-electron neural circuits," Neural Information Processing, Leung C.S., Lee M., and Chan J.H., Eds., Lecture Notes in Computer Science, vol. 5864, pp. 384-391, Springer Berlin / Heidelberg (2009).
- [3] 浅井 哲也, "反応拡散チップ," 自己組織化ハンドブック, 国武 豊喜 編, Chapter 9.3.1, pp. 781-783, NTS 出版 (2009).
- [4] Tovar G.M., Asai T., and Amemiya Y., "Noise-tolerant analog circuits for sensory segmentation based on symmetric STDP learning," Advances in Neuro-Information Processing, Koppen M., Kasabov N., and Coghil G, Eds., Lecture Notes in Computer

Science, vol. 5507, pp. 851-858, Springer, Berlin / Heidelberg (2009).

- [5] Asai T. and Oya T., "Nature-inspired single-electron circuits," Artificial Life Models in Hardware, Adamatzky A. and Komosinski M., Eds., pp. 133-160, Springer (2009).
- [6] Asai T., "Novel hardware for unconventional computing," Encyclopedia of Complexity and System Science, Meyers R.A., Ed., pp. 124-129, Springer (2009).
- [7] 元池 N. 育子, 浅井 哲也, "樹状構造の自己組織化と単電子回路への応用," トポロジーデザイン---新しい幾何学からはじめる物質・材料設計---, 有限会社ブッカーズ 編, pp. 397-402, NTS 出版, 東京 (2009).

[産業財産権]

○出願状況 (計0件)

○取得状況 (計0件)

[その他]

ホームページ等

[1] <http://www.souhatsu.sanken.osaka-u.ac.jp/>

[2] <http://lalsie.ist.hokudai.ac.jp/~asai/>

6. 研究組織

(1) 研究代表者

浅井 哲也 (ASAI TETSUYA)

北海道大学・大学院情報科学研究科・准教授

研究者番号: 00312380

(2) 研究分担者

なし

(3) 連携研究者

大矢 剛嗣 (OYA TAKAHIDE)

横浜国立大学・工学研究院・准教授

研究者番号: 30432066

元池 育子 (MOTOIKE IKUKO)

東北大学・大学院情報科学研究科・助教

研究者番号: 70347178

(4) 研究協力者

Andrew Adamatzky

University of the West of England, CEMS, Professor

Alexndre Schmid

EPFL, LSM, Research Associate