

令和元年5月31日現在

機関番号：82118

研究種目：新学術領域研究(研究領域提案型)

研究期間：2013～2017

課題番号：25109002

研究課題名(和文)SOI 3次元ピクセルプロセスの研究

研究課題名(英文)Research on SOI 3D pixel process

研究代表者

新井 康夫(Arai, Yasuo)

大学共同利用機関法人高エネルギー加速器研究機構・素粒子原子核研究所・特別教授

研究者番号：90167990

交付決定額(研究期間全体)：(直接経費) 239,360,000円

研究成果の概要(和文)：Silicon-On-Insulator (SOI)基板を用いセンサーと回路を一体化させた3次元ピクセルプロセスを完成させた。ここで問題となるセンサー部と回路部との相互干渉、放射線耐性、電荷収集効率等を改善する為、新たにSOI層を2層にしたDouble SOI技術を開発した。また、センサー部のリーク電流を削減する為、BOX酸化膜の下にPinning層を設けたPinned Depleted Diode (PDD)構造も創出した。さらに、これまでにない急峻なVg-Id特性を持ったSuper-Steep Transistorを開発し、超低消費電力回路の実現に道を開いた。

研究成果の学術的意義や社会的意義

量子(電子、陽子、ガンマ、X、荷電粒子等)線イメージセンサーは、医療、材料解析、構造解析、X線検査装置等、科学および社会の様々な場面で今後さらに活用が広がっていくと考えられる。SOIピクセル検出器は、このようなセンサーを高機能化、高分解能化、する上で欠かせない技術であり、同時にセンサーを小型で安価に生産できるという特徴を持つ。

本研究により、既存の検出器の機能・性能に満足出来ない研究者自身が、多様な性能を持ったSOIセンサーを設計・開発する事を容易にし、新たな実験手法の開拓に道を開く事が可能となった。

研究成果の概要(英文)：We have developed 3-dimensional pixel process which combines sensor and circuit in a Silicon-On-Insulator (SOI) wafer. By introducing a new double SOI technology, we could solve the problem of interference between sensor and circuit, radiation tolerance, charge collection efficiency and so on. Furthermore, we succeeded to reduce leakage current of sensors by adding a pinning layer under Buried Oxide (BOX) layer, and we named this a Pinned Depleted Diode (PDD) structure.

We have also developed Super-Steep transistors, which have very steep Id-Vg characteristic. This is very useful to realize very low-power circuit.

研究分野：高エネルギー物理実験

キーワード：半導体 Silicon On Insulator 放射線センサ 先端機能デバイス 微細加工プロセス 量子線イメージング 3次元積層 低消費電力デバイス

様式 C - 19、F - 19 - 1、Z - 19、CK - 19 (共通)

1. 研究開始当初の背景

半導体技術の進歩に伴って、半導体を用いた量子(可視光、赤外線、X線、ガンマ線、電子、陽子、中性子、荷電粒子、等々)を検出する半導体量子検出器の重要性が高まっている。特に2次元検出器として、量子線のイメージング画像を取得する際は、高速読み出しが必要となり、同じく半導体を用いた集積回路と一体化する事が要となる。

しかしながら、通常量子センサ部には高電圧を印加した高純度シリコンを用いる必要があり、集積回路と一体化させる事は難しく、両者は別々に製造され、その後大量の小金属バンプを使って接続されるハイブリッド方式が現在の主流である。

こうしたなかで、高エネルギー加速器研究機構(KEK)では、次世代の放射線イメージングセンサ技術として2枚のシリコン基板を貼り合わせたSilicon-On-Insulator(SOI)基板を用いた検出器開発を推進し、半導体企業とも協力してプロセス開発を行い、世界最先端レベルの結果を示した。SOI Pixel 検出器では、感応領域を非常に薄くしたり厚くしたり出来、また各ピクセル毎に高度な処理回路を搭載出来る事から、生成される電荷量ばかりでなく、個々の反応を量子として取り扱い計数したり、短時間の変化をローカルに記憶したり等々、従来不可能であったような測定を可能に出来る。

この為この技術をさらに発展させ、各種応用研究で必要とされる性能を達成し、新たな検出方法・測定手法を実現するためのプロセスを開発することが必要とされていた(図1)。

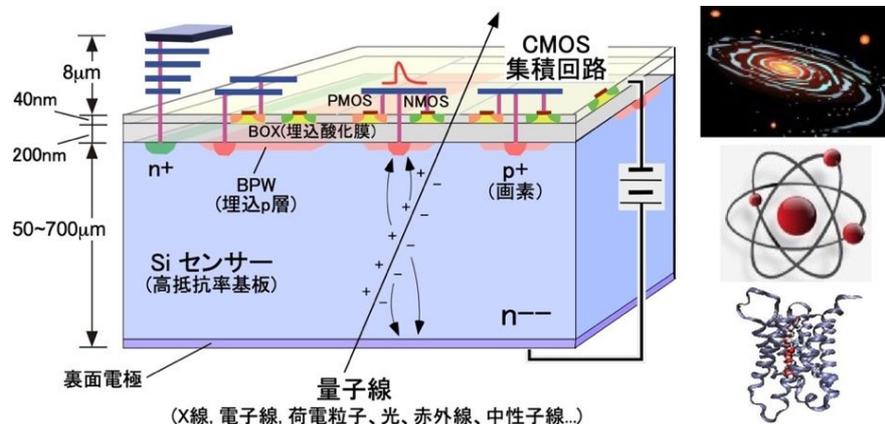


図1. SOI ピクセル量子検出器の概念図。様々な分野の研究に最適化した検出器の開発を行い、新しいサイエンスを切り拓く。

2. 研究の目的

X線・赤外線・荷電粒子線等の量子線を用いた測定では、量子それぞれを可視化する事が重要である。半導体の超微細加工技術を用いた半導体センサと読み出し回路を一体化することで量子線データを高速・大量に取得し、高品質画像として取得する事で予期せぬ構造の発見や知見を得る事が可能となる。

本計画研究は、放射線センサとLSI回路とを3次元的に一体化させた量子イメージングデバイス用プロセス開発を目的としている。本研究班ではSilicon-On-Insulator(SOI)基板を用いKEKで開発した0.2μm CMOS FD-SOI Pixel プロセスを元に、検出器性能を一層向上させる為、高抵抗率基板、放射線耐性強化、リーク電流低減等の性能向上を目指した研究を行う。この為、多くの不純物導入を組み合わせたNested Well 構造や、Si層をさらに増やしたDouble SOI ウエハ・プロセスを実現する。また本プロセスを元に、さらに画期的なイメージングセンサを実現する為、電子増倍(Avalanche)構造や埋め込みダイオード、トランジスタ等の新構造センサ及びデバイスの開発研究も行う事とする。

また同時に、こうして開発したプロセスを他の計画研究班に公開し、多数の設計を載せたMulti Project Wafer(MPW)ランとして安価な試作機会を提供し、各計画研究班の検出器開発を手助けする役目も担う。この為、各計画研究の研究者の意図する検出器を実現する為のアドバイスを行い必要な情報等も提供する。

3. 研究の方法

高度な量子イメージング検出器実現の為に、半導体加工プロセスは様々な要求を満たす必要が有る。この研究班では次のような方法で研究を遂行していく。

- センサーと回路を一体化させた際の問題のひとつは、センサー部と回路部との相互干渉である。両者間のクロストークや、放射線の影響による酸化膜中のホールトラップの影響を削減する為には、新たな導電層を導入し電位を制御する事が有効である。この為、複数の埋め込み層を形成した構造や SOI 層を 2 層にした Double SOI 構造を実現する方法を開発する。
- 放射線検出の高感度化を図る為、ウエハーやプロセスの改良研究を行う。X 線検出では厚いセンサーを必要とする事が多いため、ウエハーの高抵抗率化をはかり、低電圧で厚い空乏層が得られるようにする。これにより高エネルギー X 線に対する検出感度を上げることが出来る。また長時間露光・低ノイズ化の為、センサー及びトランジスタの低リーク電流化の研究を行う。
- SOI 検出器の応用をさらに広める為、新たなセンサー構造の研究を行う。センサー部に電子雪崩増幅構造を持たせる事により、微弱光や低エネルギー X 線検出の感度を上げる。また、シリコンと絶縁層の境界に導電層(Pinning Layer)を儲ける事によりリーク電流の低減を行う。
- 多くの検出器デザインを一つのマスク上に載せプロセスを共有する Multi Project Wafer (MPW)ランを主催し、他の計画研究班が SOI プロセスを使用して安価で効率的に試作・評価が出来るように情報提供・技術サポート等を行う。また参加する初心者の方に、設計講習会や試験方法の指導を行う。

4. 研究成果

本研究班では、基本となる SOI ウエハー・プロセスの改良・開発を行い、同時に各研究班の為に相乗りプロセス MPW ラン(図2)を主導した。MPW ランは 2013 年度から 2016 年度まで毎年 1 回行い、最終年度は 2 回の MPW ランを行った。ラン毎に、プロセス改良を重ね、放射線耐性を従来の 1k Gy(Si)から 100kGy(Si)まで向上させ、構造の工夫で集積度を 2 倍に向上させる等の成果をあげた。

各研究班からは、毎回 20 件程度の設計が集まり、大面積検出器も数種類試作した。またチップの厚さも用途に応じて 75 μm から 500 μm までのものまで各種製作が可能となった。さらに独自開発した SOI 層を 2 重にした Double SOI ウエハー技術の確立も行った。

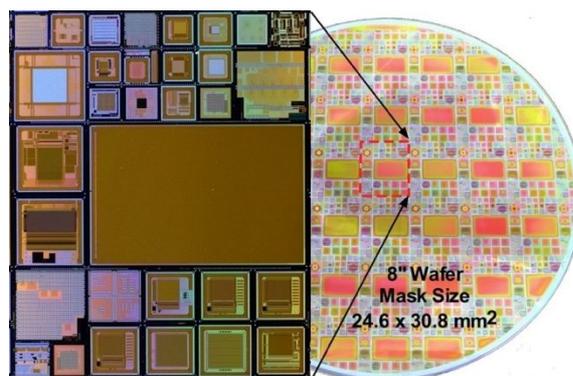


図 2. 大面積チップ及び多くの試験チップを載せた MPW ラン。

- SOI 層を 2 重にした Double SOI ウエハー(図 3)を独自に開発し、放射線耐性の向上やクロストークの削減に効果が得られた。放射線照射試験では、中間 Si 層に適切なバイアスをかけることで 100kGy(Si)の照射後でも、照射前とほぼ同様に動作することが確認された。また、中間 Si 層に高電圧をかける事で、酸化膜中にトラップされたホールを抜き特性の回復が行える事を示した。クロストークに関して中間 Si 層を入れる事で、Single SOI に比べてクロストーク量が 20 分の 1 程度まで減少することが確認された。Double SOI に関しては特許を取得した。
- センサ部構造として、新たに Pinned Depleted Diode (PDD)構造を考案し、リーク電流を 100 分の 1 に低減させ、また電荷収集効率を 100% 近くまで向上させる事が出来た。
- わずかなゲート電圧により電流値が大幅に変化する究極の低消費電力トランジスタ Super Steep Transistor を開発した。これにより、IOT 等への幅広い応用が計画されている。
- 17 μm ピクセルの積分型 SOI 検出器による 3 次元 CT 撮影に成功した(図 4)

この他、学生や若手研究者に対しては、毎年設計講習会を開催し、センサや集積回路の設計の仕方を教えた。これにより、半導体検出器の設計技術を持った多くの若手研究者が育ち、今後の日本の検出器技術を支えて行ってくれる人材を輩出できた。

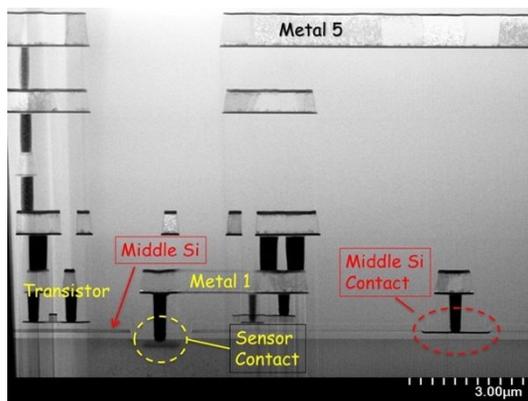


図 3. Double SOI ウエハの断面構造。トランジスタの下に新たに middle Si 層を入れる事に成功した。

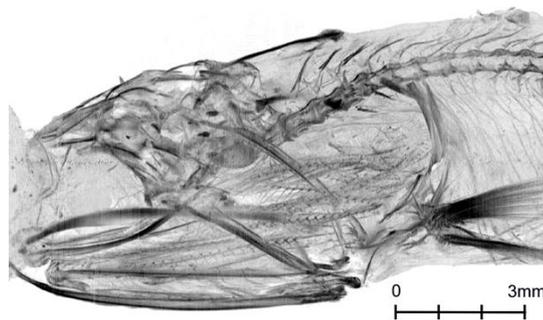


図 4. 積型 SOI ピクセル検出器を用い、放射光 X 線により小魚の 3 次元 CT 像の撮影に成功した。

5 . 主な発表論文等

〔雑誌論文〕(計 20 件)

"Investigation of radiation hardness improvement by applying back-gate bias for FD-SOI MOSFETs", Ikuo Kurachi, Kazuo Kobayashi, Masao Okihara, Hiroki Kasai, Takaki Hatsui, Kazuhiko Hara, Toshinobu Miyoshi, Yasuo Arai, NIM A924(2019)404-408, doi:10.1016/j.nima.2018.05.068.

"A Silicon-on-Insulator-Based Dual-Gain, Charge-Sensitive Pixel Detector for Low-Noise X-ray Imaging for Future Astronomical Satellite Missions", S. Shrestha, S. Kawahito, H. Kamehama, S. Nakanishi, K. Yasutomi, K. Kagawa, N. Teranishi, A. Takeda, T. G. Tsuru, I. Kurachi and Y. Arai, Sensors 2018, 18, 1789; doi:10.3390/s18061789.

"SOI monolithic pixel technology for radiation image sensors", Y. Arai, Jpn. J. Appl. Phys. 57 1002A1(2018), doi:10.7567/JJAP.57.1002A1

"Performance study of double SOI image sensors", T. Miyoshi, Y. Arai, Y. Fujita, R. Hamasaki, K. Hara, Y. Ikegami, I. Kurachi, R. Nishimura, S. Ono, K. Tsuchi, 2018 J. Inst. 13 C02005, DOI:10.1088/1748-0221/13/02/C02005.

"Diode Characteristics of a Super-Steep Subthreshold Slope PN-Body Tied SOI-FET for Energy Harvesting Applications", Takayuki Mori; Jiro Ida; Shun Momose; Kenji Itoh; Koichiro Ishibashi; Yasuo Arai, IEEE Journal of the Electron Devices Society, 2018, Vol. 6, pp. 565 - 570. DOI:10.1109/JEDS.2018.2824344

"Development of monolithic pixel detector with SOI technology for the ILC vertex detector", M. Yamada, S. Ono, T. Tsuboyama, Y. Arai, J. Haba, Y. Ikegami, I. Kurachi, M. Togawa, T. Mori, W. Aoyagi, S. Endo, K. Hara, S. Honda and D. Sekigawa, 2018_JINST_13_C01037. DOI:10.1088/1748-0221/13/01/C01037.

"A Low-Noise X-ray Astronomical Silicon-On-Insulator Pixel Detector Using a Pinned Depleted Diode Structure", Kamehama, S. Kawahito, S. Shrestha, S. Nakanishi, K. Yasutomi, A. Takeda, T. Go Tsuru, Y. Arai, Sensors 2018, 18, 27; DOI:10.3390/s18010027.

"SOI monolithic pixel technology for radiation image sensor", Y. Arai, T. Miyoshi, and I. Kurachi, 2017 IEEE Electron Device Meeting (IEDM17), Invited Talk, Session 16.2, pp. 389-392. Pages: 16.2.1 - 16.2.4. DOI:10.1109/IEDM.2017.8268401.

"Evaluation of a pulse counting type SOI pixel using synchrotron radiation X-ray", R. Hashimoto, Y. Arai, N. Igarashi, R. Kumai, Y. Lu, T. Miyoshi, R. Nishimura, Q. Ouyang, Y. Zhou and S. Kishimoto, 2017 JINST 12 C03061. doi:10.1088/1748-0221/12/03/C03061.

"Performance of the INTPIX6 SOI pixel detector", Y. Arai, Sz. Bugiel, R. Dasgupta, M. Idzik, P. Kapusta, W. Kucewicz, T. Miyoshi and M. Turala, 2017 J. Inst. 12 C01028. doi:10.1088/1748-0221/12/01/C01028.

"Fine-Pixel Detector FPIX Realizing Sub-Micron Spatial Resolution Developed Based on FD-SOI Technology", D. Sekigawa, S. Endo, W. Aoyagi, K. Hara, S. Honda, T. Tsuboyama, M. Yamada, S. Ono, M. Togawa, Y. Ikegami, Y. Arai, I. Kurachi, T. Miyoshi, J. Haba and K. Hanagaki, Proc. of Int'l Conf. on Tech. and Instr. in Particle Physics 2017, DOI:10.1007/978-981-13-1316-5_62.

"Development of a pixel sensor with fine space-time resolution based on SOI technology for the ILC vertex detector", S. Ono, M. Togawa, R. Tsuji, T. Mori, M. Yamada, Y. Arai, T. Tsuboyama, K. Hanagaki, Nucl. Instr. and Meth. A, Vol. 845 (2017), Pages 139-142. DOI:/10.1016/j.nima.2016.04.119

"SOI Monolithic Pixel Detector Technology", Y. Arai, Proceedings of Science, PoS(Vertex 2016)029. DOI:10.22323/1.287.0029

"Tradeoff Between Low-Power Operation and Radiation Hardness of Fully Depleted SOI pMOSFET by Changing LDD Conditions", I. Kurachi, K. Kobayashi, M. Mochizuki, M. Okihara, H. Kasai, T. Hatsui, K. Hara, T. Miyoshi, and Y. Arai, IEEE Trans. on Elec. Dev., Vol. 63, pp. 2293-2298, June 2016. DOI:10.1109/TED.2016.2552486.

"First results of a Double-SOI pixel chip for X-ray imaging", Yunpeng Lu, Qun Ouyang, Yasuo Arai, Yi Liu, Zhigang Wu, Yang Zhou, Nuclear Instruments and Methods in Physics Research A831 (2016), page 44-48, doi:10.1016/j.nima.2016.04.022

"Compensation for radiation damage for SOI pixel detector via tunneling", M. Yamada, Y. Arai, Y. Fujita, R. Hamasaki, Y. Ikegami, I. Kurachi, R. Nishimura, K. Tauchi and T. Tsuboyama, Nucl. Instrum. Meth. A831 (2016), Pages 309-314. doi:10.1016/j.nima.2016.04.110

"3D integration technology for sensor application using less than 5um-pitch gold cone-bump connection", M. Motoyoshi, T. Miyoshi, M. Ikebe and Y. Arai, J. of Instrumentation 10 C03004 (2015), doi:10.1088/1748-0221/10/03/C03004

"Analysis of Effective Gate Length Modulation by X-Ray Irradiation for Fully Depleted SOI p-MOSFETs", Ikuo Kurachi, Kazuo Kobayashi, Masao Okihara, Hiroki Kasai, Takaki Hatsui, Kazuhiko Hara, Toshinobu Miyoshi, and Yasuo Arai. IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 62, NO. 8, 2015. DOI:10.1109/TED.2015.2443797

"Advanced monolithic pixel sensors using SOI technology", T. Miyoshi, Y. Arai, M. Asano, Y. Fujita, R. Hamasaki, K. Hara, S. Honda, Y. Ikegami, I. Kurachi, S. Mitsui, R. Nishimura, K. Tauchi, N. Tobita, T. Tsuboyama, M. Yamada. Nucl. Instr. and Meth. A, Vol. 824, 2016, Pages 439-442, doi:10.1016/j.nima.2015.11.109

"Total Ionization Damage Compensations in Double Silicon-on-Insulator Pixel Sensors", S. HONDA, K. HARA, K. TSUCHIDA, M. ASANO, N. TOBITA, T. MAEDA, Y. ARAI, T. MIYOSHI, T. TSURU, M. OHNO, N. MIURA, H. KASAI, M. OKIHARA, PoS(TIPP2014)039.

[学会発表](計 10 件)

Y. Arai, "SOIPIX: Status & Perspectives, ~ ILC vertex detector & 3D Integration ~", Nov. 13, 2018 @ Inter'l workshop on the high energy Circular Electron-Positron Collider (CEPC), IHEP, Beijing, Invited Talk.

Y. Arai, "Activities on Silicon-On-Insulator Detectors", Sep 25, 2018 @Kyoto Univ. The 1st Workshop on Quantum Beam Imaging, Invited Talk

Y. Arai, "Activities on SOI Monolithic X-Ray Imaging Detectors", July 30, 2018 @Gordon Research Conference, Bates College Diffraction Methods in Structural Biology, Invited Talk.

Y. Arai, "High Resolution SOI Pixel Detector", Dec. 11, 2017, HSTD11 & SOIPIX2017, Okinawa(Japan), Invited Talk.

Y. Arai, "SOI monolithic pixel technology for radiation image sensor", 2017 IEEE Electron Device Meeting (IEDM17), Dec. 4-6, San Francisco(USA), Invited Talk.

Y. Arai, "SOI Monolithic Pixel Detector Technology", The 25th International workshop on vertex detectors, September 26-30, 2016, La Biodola, Isola d'Elba(ITALY), Invited Talk.

Y. Arai, 2015.3.28-31 National Symposium on Particles, Detectors and Instrumentation, Madurai(India). 'Radiation image sensor with Silicon-On-Insulator technology', Invited Talk.

Y. Arai, "Lapis SOI Technology and Activities", Invited Talk, Sep. 17, 2014, Workshop on CMOS Active Pixel Sensors for Particle Tracking (CPIX14), Bonn(Germnany).

Y. Arai, "Past & Future of the Silicon-On-Insulator Pixel Detector", Feb. 25, 2014, Instrumentation for Colliding Beam Physics (INSTR14), Novosibirsk(Russia), Invited Talk.

Y. Arai, 'Progress on Silicon-on-Insulator Monolithic Pixel Process', VERTEX2013 Conf., Sep. 15-20 2013, Lake Starnberg(Germany), Invited Talk.

[図書](計 2 件)

"Analog Electronics for Radiation Detection (Devices,Circuits, and Systems)", Editor Renato Turchetta, Chapter 5 'Time-to-Digital Converter', Y. Arai, ISBN-10: 1498703569, ISBN-13: 978-1498703567, CRC Press (2016), pp. 91-120.

"Radiation Imaging Detectors Using SOI Technology", Y. Arai and I. Kurachi, Synthesis Lectures on Emerging Engineering Technologies, Morgan & Claypool Publisher (2017/2/15), ISBN-13: 978-1627056960. 70 pages.

[産業財産権]

出願状況(計 1 件)

名称: RADIATION-DAMAGE-COMPENSATION-CIRCUIT AND SOI-MOSFET

発明者: 倉知郁生、新井康夫、山田美帆

権利者: 高エネ研

種類: 特許

番号: US 2019/0131965 A1

出願年月日: 2018年4月5日

国内外の別: 国外

取得状況(計 5 件)

名称: 半導体装置

発明者: 新井康夫、葛西大樹、沖原将生

権利者: 高エネ研、ラピスセミコンダクタ(株)

種類: 特許

番号：特許第 6463407 号
取得年月日：2019 年 1 月 11 日
国内外の別： 国内

名称：半導体装置の製造方法
発明者：新井康夫、葛西大樹、沖原将生
権利者：高エネ研、ラピスセミコンダクタ（株）
種類：特許
番号：特許第 6202515 号
取得年月日：2017 年 9 月 8 日
国内外の別： 国内

名称：半導体装置およびその製造方法
発明者：新井康夫、葛西大樹
権利者：高エネ研、ラピスセミコンダクタ（株）
種類：特許
番号：特許第 6108451
取得年月日：2017 年 3 月 17 日
国内外の別： 国内

名称：半導体装置及半導体装置の製造方法
発明者：新井康夫、葛西大樹、沖原将生
権利者：高エネ研、ラピスセミコンダクタ（株）
種類：特許
番号：中国 No.2015062900081170
取得年月日：2015 年 10 月 14 日
国内外の別： 国外

名称：SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE
発明者：Yasuo Arai, Masao Okihara, Hiroki Kasai
権利者：高エネ研、ラピスセミコンダクタ（株）
種類：特許
番号：US 8,963,246 B2
取得年月日：2015 年 2 月 24 日
国内外の別： 国外

〔その他〕

新学術領域ホームページ、<http://soipix.jp/>
SOI 検出器ホームページ、<http://rd.kek.jp/project/soi/>
SOI 量子イメージセンサ・コンソシアム、<http://rd.kek.jp/project/soi/conso/>

6 . 研究組織

(1)研究分担者

研究分担者氏名：倉知 郁生
ローマ字氏名：KURACHI Ikuo
所属研究機関名：高エネルギー加速器研究機構
部局名：先端加速器推進部
職名：特別教授
研究者番号（8桁）：00533944

研究分担者氏名：三好 敏喜
ローマ字氏名：MIYOSHI, Toshinobu
所属研究機関名：高エネルギー加速器研究機構
部局名：素粒子原子核研究所
職名：講師
研究者番号（8桁）：20470015

研究分担者氏名：井田 次郎
ローマ字氏名：IDA Jiro
所属研究機関名：金沢工業大学
部局名：工学部
職名：教授
研究者番号（8桁）：60506450