

令和元年6月5日現在

機関番号：17104

研究種目：基盤研究(A) (一般)

研究期間：2015～2018

課題番号：15H01706

研究課題名(和文) 超並列アナログ脳型LSIに向けたナノ構造メモリ素子とその集積回路化の研究

研究課題名(英文) A study of nanostructure memory devices and their integrated circuits toward massively parallel analog brain-like LSI

研究代表者

森江 隆 (Morie, Takashi)

九州工業大学・大学院生命体工学研究科・教授

研究者番号：20294530

交付決定額(研究期間全体)：(直接経費) 33,400,000円

研究成果の概要(和文)：脳型知能処理を実行する高集積かつ高電力効率ハードウェアの実現のために、時間領域アナログ集積回路方式を考案し、最先端デジタル方式の10倍大きなサイズの製造技術を用いて、30倍高効率(低消費エネルギー)な集積回路(LSI)を開発した。最新技術を用いれば100倍以上の高効率性を実現できる見通しを得た。この集積回路に必要なメモリ素子について、アナログ記憶および高抵抗を実現する抵抗変化型メモリ素子作製技術を開発するとともに、安定アナログ動作のためにMOSFETと結合した多並列構造を考案して機能を実証した。さらに、脳型処理に必要なとされるノイズを生成するナノ構造を試作し、その有効性を評価した。

研究成果の学術的意義や社会的意義

社会に普及が進んでいる人工知能(AI)をさらに高度化し、人の脳の機能に近づけるために、脳型処理モデルとそのハードウェア化の研究が必要である。本研究では、現在のデジタル計算機主体のAIに対して飛躍的に高効率化できる新しい集積回路方式を提案し、それに必要なデバイス、特にアナログメモリ素子とノイズ発生素子についての基盤技術を開発した。この技術を発展させることで、人々に寄り添うAIの開発が進展することが期待できる。

研究成果の概要(英文)：To realize highly integrated and highly power efficient hardware implementing brain-like intelligent processing, we proposed a time-domain analog circuit architecture, and developed a large-scale integrated circuit (LSI) that achieves 30 times higher efficiency (lower energy consumption) using ten times larger fabrication technology compared to state-of-the-art digital LSIs. If the latest fabrication technology is used, more than 100 times higher efficiency can be achieved. As memory devices required to this circuit architecture, we developed fabrication technology for resistance change random access memory (ReRAM) devices that realize analog memory property and high resistance. We also proposed a parallel connected ReRAM-MOSFET device structure for stable analog operation and evaluated its function. We also fabricated nanostructures generating noise, which is required for brain-like processing, and their effectiveness was evaluated.

研究分野：脳型集積システム

キーワード：ソフトコンピューティング 素子 ナノ構造 集積回路 ニューラルネットワーク 脳型人工知能ハードウェア 抵抗変化型メモリ

## 様式 C-19、F-19-1、Z-19、CK-19（共通）

### 1. 研究開始当初の背景

脳型処理専用ハードウェアとして、2014年にIBMから既存CMOSデジタル集積回路技術を用いて100万ニューロン相当の脳型計算を実行するLSIチップ（TrueNorth）が発表された。これは、高速で動作するデジタル・コア回路で多数のニューロン・シナプス動作を計算する「仮想ニューロン」方式であるが、この方式ではスパイク同期等による脳型情報処理を直接扱うことができない。また、脳内で有効に用いられていると考えられているノイズ（ゆらぎ）についても、デジタル方式での実現は極めて非効率である。これに対して、すべてのニューロン・シナプス機能を物理的に実現する「実ニューロン」方式はこれらの問題を解決するが、これを大規模に集積回路化するには、ニューロン・シナプス回路のチップ上の占有面積と消費電力の低減が課題である。既存デジタル方式を用いる限り、ムーアの法則の終焉が予測される中、飛躍的な低消費電力化は難しい。そこで、脳の情報処理様式と同じアナログ動作の回路を用いればそれらの課題の解決が期待できるが、現在に至るまで脳型処理に向けた実用的なアナログメモリ素子がないことが最大の障壁となっていた。

一方、究極的な低消費電力性と高集積性を謳うナノ構造については、研究代表者は分担者・寒川と遠藤との共同研究で、自己組織化的ナノ構造作製術を利用したナノディスクアレイ（NDA）構造を最先端ナノサイズFin型トランジスタ（FinFET）と組合せて、シナプス後電位を生成するニューロン素子の作製に成功した。ここで、FinFETは省電力性と併せて、超低ゲート容量により電子のトンネル移動のランダム性を出現させるために採用した。これによりゆらぎ利用脳型処理素子としての可能性を見いだした。また、長年の課題であったシナプス荷重用アナログメモリ素子として、近年、抵抗変化型メモリ（ReRAM）素子の開発が盛んである。しかし、デジタル応用向けのReRAM素子はアナログ記憶の制御性が不十分で、精度に課題があると共に、抵抗値が数10k $\Omega$ であるために、低消費電力性に課題がある。研究代表者はこの種の新型メモリ素子のためのシナプス学習回路を考案しており、分担者・高橋はReRAM素子の製造法及び特性解明に関して多くの実績がある。実ニューロン方式モデル・回路については、代表者は1990年代から研究を続けており、スパイクタイミング依存シナプス可塑性（STDP）機能を搭載したスパイク駆動型ニューラルネットワークLSIを開発し、スパイクの同期性を利用した連想メモリ動作を初めて実現した。また、科研費・挑戦的萌芽研究において、脳型視覚処理の結合MRFモデルをスパイクタイミングで表現して、世界最高レベルの低消費電力性能を実現するLSIチップを開発した。以上の実績から新しい着想を得て、既存の最先端デジタル脳型LSIの性能を大幅に凌駕するアナログ方式脳型LSIを構築できる可能性を見いだした。

### 2. 研究の目的

時空間情報処理を物理的に実現する実ニューロン方式脳型集積システム構築のために、分子の自己組織化機能によるナノ構造作製技術を駆使して、最大の課題であった制御性の高いアナログ記憶・学習機能素子を開発すると共に、ゆらぎを利用する脳型情報処理素子と回路を新たに開発する。すなわち、これまでの研究実績に基づいて、全く新しいナノ構造抵抗変化型アナログ記憶素子およびゆらぎ（ノイズ）を利用したシナプス素子を開発し、学習機能搭載の脳型情報処理素子と回路・システムの基盤技術を開発する。開発した技術を用いて、確率的脳型情報処理として、ディープ・ラーニング（深層学習）向け制約付きボルツマンマシン（RBM）の機能を実証する。

### 3. 研究の方法

本研究では、以下の①②を並行して実施し、さらに③④を実施した。

- ① 新ナノ構造ReRAM素子の構造・製造法の確立
- ② 実ニューロン方式アナログ脳型システムのアーキテクチャの開発
- ③ アナログ記憶動作のための制御回路の設計
- ④ ゆらぎ演算素子の作製技術の確立

### 4. 研究成果

（1）ナノ構造ReRAM素子の構造・製造法の研究

① 通常構造のReRAM素子について、そのアナログ値書き込み特性を詳細に評価し、材料についてはW<sub>0</sub>x系よりもMo<sub>0</sub>x系の方がアナログ値制御に適していること、Ta<sub>0</sub>x系でアナログ書き込みが可能であることを確認し、負電圧制御で所定の抵抗値に設定できることを確認した。CMOSプロセスとの整合性を考慮して、Al配線にReRAM素子を形成する製造法を考案し、nMOSFETと結合したPt/Cu/Mo<sub>0</sub>x/Al<sub>2</sub>O<sub>3</sub>/Al構造のReRAM素子を作製してアナログ抵抗値制御特性を確認した。

デジタルメモリとして実用化されているTa<sub>0</sub>x系ReRAM素子での絶縁膜形成条件と多値・アナログ特性の実現条件および書き換え耐性の関係を評価し、安定な多値動作の実現には膜厚とスパッタリング時の酸素分圧の特定な組み合わせが重要であることがわかった。また、Ta<sub>0</sub>x系ReRAM素子における動作メカニズムとして、Valence Change Memory（VCM）とElectrochemical Memory（ECM）のうちどちらが支配的かは上部電極により決まると考えられ、その材料としてそれぞれTaおよびCuを用いて、Ta<sub>0</sub>x絶縁膜の形成条件を変えてReRAMを試作して特性を評価した。その結果、ReRAM動作には初期状態が大きく影響することがわかり、時間領域動作のため

の高抵抗化には ECM を選択する可能性もあることがわかった (図 1).

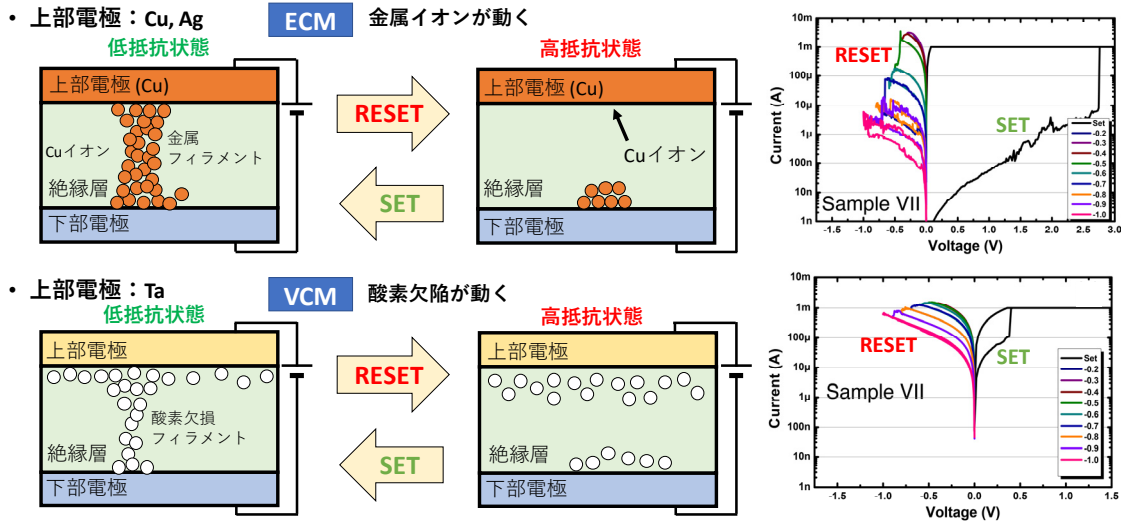


図 1 : ReRAM の動作原理と書き込み特性

② ReRAM 素子のバラツキを積極的に利用してアナログメモリ特性を安定して実現する手法とデバイス構造を考案した. nMOSFET と結合した MoO<sub>x</sub> 系 ReRAM 素子を複数個並列に結合した素子において, アナログ書込特性の制御性向上とバラツキ低減が可能であることを確認し, FinFET との結合によりナノサイズのアナログメモリ素子実現の可能性を見いだした.

Si 基板上に nMOSFET (W/L=6/2 $\mu$ m) を作製し, 平坦化処理した Al 電極開口部の表面に自然形成された Al<sub>2</sub>O<sub>3</sub> を介して, 20 nm 厚の MoO<sub>x</sub> 薄膜を反応性スパッタにより形成し, Cu 上部電極 (30 nm 厚), Pt (100 nm) を成膜し ReRAM 素子を作製した (図 2a). この素子を複数個並列接続した集合素子を作製し, 素子に外付け抵抗 R (10k $\Omega$ ) を直列に接続し, パルス電圧を印加して, ReRAM 素子-R 間ノード電位 (V<sub>re</sub>) を測定した (図 2b). 高抵抗状態の 16 並列接続 ReRAM 素子において, SET 用パルスおよび Read パルスをそれぞれ V<sub>in</sub>, V<sub>g</sub> に印加し, Read パルス印加時間内の V<sub>re</sub> の平均値を求めた (図 2c). 書き込み時に印加する V<sub>g</sub> (=V<sub>g</sub>(w)) を 1V から上昇させた結果, V<sub>g</sub>(w) を高くするにつれて ReRAM 素子の抵抗値が低下し, V<sub>re</sub> が低下した. 変化特性のバラツキはほとんど生じないことが確認できた. 試行回数毎の抵抗値の変化量の違いは, 複数接続した ReRAM 素子内で低抵抗化する素子の個数の違いであることがわかった.

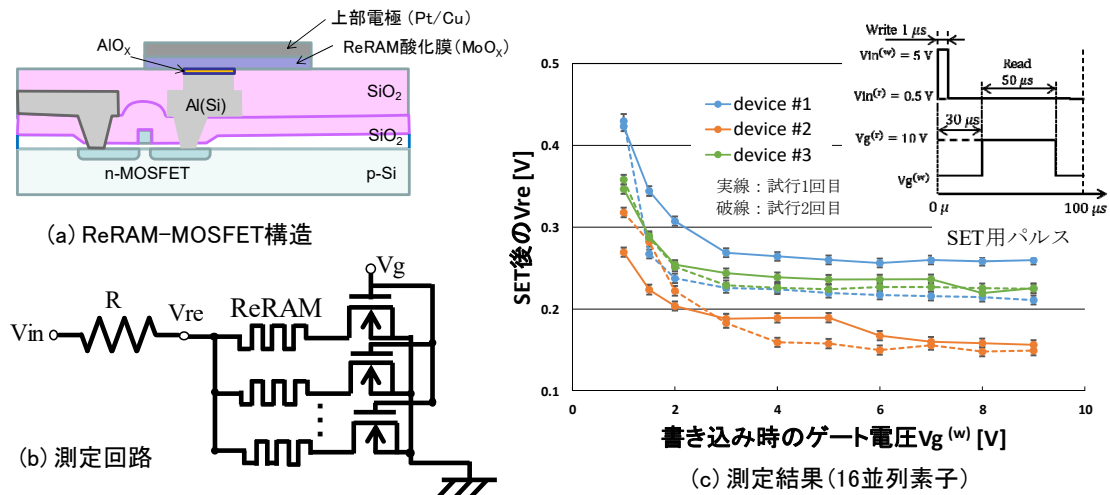


図 2 : 多並列 ReRAM-MOSFET 構造と測定結果

(2) アナログメモリ素子を組み込む集積システムに適用する脳型処理モデルとエミュレーションの研究・脳型時間軸情報処理モデルへの適用

現在広く用いられるようになってきた深層学習ベースの AI および脳型処理モデルの実装に共通の課題として, 積和演算の高効率 (低消費電力) 実行があり, デジタル方式を中心に様々な AI チップが発表されている. 多値 (アナログ値) を含む積和演算で, 演算効率 10 TOPS/W (Tera-operations per second per watt) 程度が現在の最高性能である. 一方, 現在の AI 技

術では2値同士の積和演算（XNOR 演算の総和に相当）でも画像認識などでは有効であることが知られており、その方式ではキャパシタへのアナログ的な電荷加算手法を利用して700 TOPS/Wの高効率チップも報告されている。

研究代表者らは時間領域アナログ演算方式を提案し、極めて高い高効率積和演算を実現できることを見だし、CMOS LSI 技術を用いてその性能を実証した（図3）。これは、パルスタイミングに情報を表現して（図3a）、抵抗と容量で構成される回路の過渡応答でシナプス演算（積和演算）を実行する方式である（図3b）。アナログ抵抗およびスイッチを抵抗変化型メモリ素子で実現することで、実用的かつ高集積・超低消費電力な脳型集積回路を構成できることを示した。

アナログメモリ素子の利用を前提としたシナプス回路を考案し、メモリ素子をMOSFETで模擬した評価用回路および2値を記憶する積和演算回路をTSMC 0.25 $\mu\text{m}$ 技術を用いて設計し、試作チップ測定により300 TOPS/Wの演算エネルギー効率を得た（図3c）。これは1桁微細な製造技術を用いる既存デジタルCMOS方式に比べても1桁以上高効率であり、同程度の微細化技術を用いれば提案方式により最先端デジタル方式に比べて100倍以上の高い電力効率を実現できることを示している。試作チップを測定して、素子バラツキの影響やノイズによるジッタ（時間領域でのノイズゆらぎ）の大きさとその影響、および温度変化の依存性を評価し、実応用に耐える特性を実現できることを示した。この方式は平成28年度に国内出願を行い、平成29年度にJSTの補助を得て外国出願（PCT, 台湾）し、台湾特許は成立した。

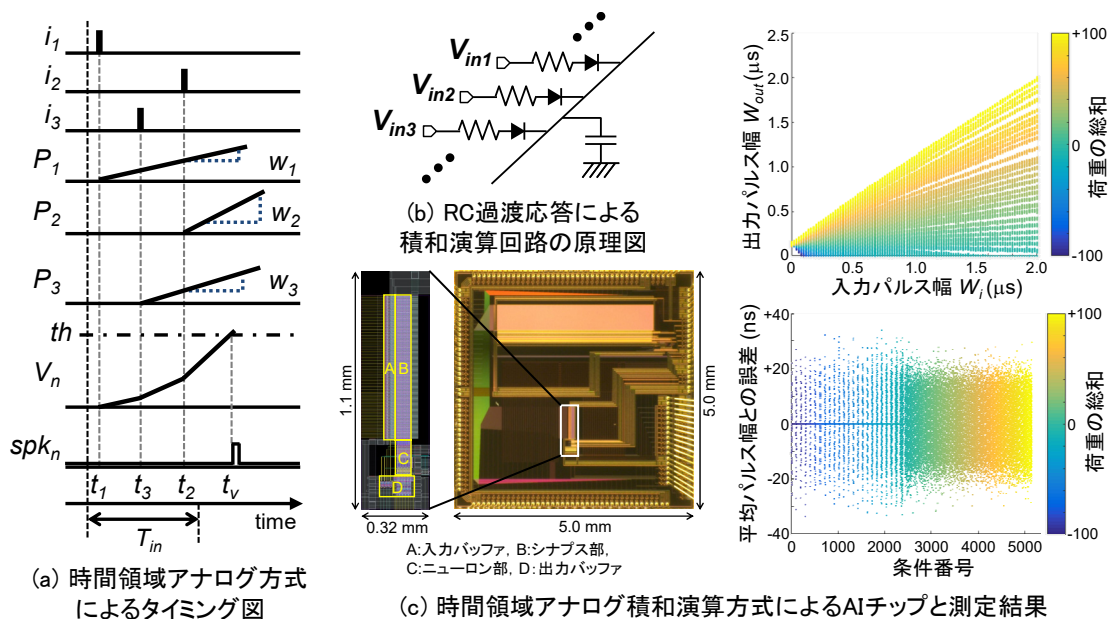


図3：時間領域アナログ集積回路方式とLSIチップ

### (3) アナログ ReRAM のための脳型学習制御回路の研究・ナノ構造メモリ素子とMOS回路との結合設計・試作・評価

前項のReRAM素子では、MOSFETのゲート電圧を制御することでアナログ的な低抵抗化（SET動作）を実現でき、一方で、ReRAMに印加する電圧の印加時間（パルス幅またはパルス数）で高抵抗化（RESET動作）でのアナログ値制御が可能なることを明らかにした。その制御回路を考案・設計し、脳の神経回路網での基本的学習機能であるスパイクタイミング依存シナプス可塑性（STDP）特性を実デバイスにより実現した。また、TSMC 0.25 $\mu\text{m}$ 技術により制御回路の集積回路設計を行った。さらに、STDP特性を集積回路で効率的に実装するために、ニューロン回路内の振動子回路を利用することで、少ない素子数のシナプス回路を設計・試作し、実デバイスによる動作確認を行った。

### (4) ナノ構造ゆらぎ演算素子の構造・製造法の研究とそのエミュレーション

ナノ構造でのゆらぎ現象を確率的情報処理モデルに適用するために、単層Fe-MgF<sub>2</sub>グラニューラ薄膜でのナノドットアレイにおけるトンネルタイミングのゆらぎが利用できる可能性を見だし、ゆらぎによるノイズ生成を室温で観測した（図4）。この素子はCMOS技術とも整合性が良く、単電子素子としてのクーロン振動も低温（7K）で観測されており（図4e）、ナノドット間距離とドットサイズの調整により高い周波数のノイズ生成など、今後の発展が期待される。

また、デジタルシステムによるエミュレータとして、固定ビット長での乗算時の桁あふれビットを乱数として利用する方式を考案し、制限ボルツマンマシン動作を確認した。ゆらぎの実現手法として、確率的動作の代わりにカオス現象を利用するカオスボルツマンマシンをデジタルおよびアナログ集積回路により実装した。デジタル（FPGA）実装では200ニューロン以上の全結合構造を実現し、Nクイーン問題などの最適化問題解法に適用した。アナログ専用

チップでの実装では、14ニューロン全結合ネットワーク回路においてアニーリングによるエネルギー減少を確認するとともに、デジタル方式に比べて高いエネルギー効率を得た。

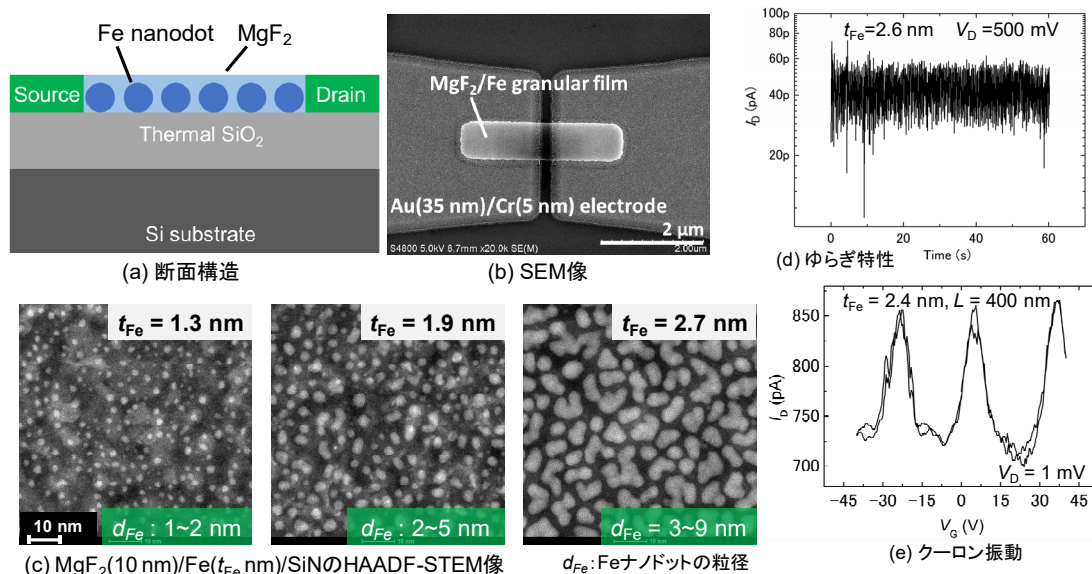


図 4：単層 Fe-MgF<sub>2</sub> グラニューラー薄膜の作製と測定結果

## 5. 主な発表論文等

〔雑誌論文〕(計 4 3 件)

- ① M. Yamaguchi, G. Iwamoto, H. Tamukoh, T. Morie, An Energy-efficient Time-domain Analog VLSI Neural Network Processor Based on a Pulse-width Modulation Approach, arXiv.org, arXiv:1902.07707, 2019. 査読無 <https://arxiv.org/abs/1902.07707>
- ② H. Firdaus, T. Watanabe, M. Hori, D. Moraru, Y. Takahashi, A. Fujiwara, Y. Ono, Detection of single holes generated by impact ionization in silicon, Applied Physics Letters, 113, 163103-1-5 (2018). 査読有 doi: 10.1063/1.5046865
- ③ T. Morie, Analog Memory Devices and Circuits for Future Brain-like AI Processors, Int. Workshop on Dielectric Thin Films for Future Electron Devices: Science and Technology (IWDTF 2017), pp. 6-7, 2017. 査読有
- ④ M. Yamaguchi, H. Tamukoh, H. Suzuki, T. Morie, A CMOS Chaotic Boltzmann Machine Circuit and Three-neuron Network Operation, Proc. Int. Joint Conf. on Neural Networks (IJCNN 2017), pp. 1218-1224, 2017. 査読有

〔学会発表〕(計 9 3 件)

- ① M. Yamaguchi, G. Iwamoto, Y. Abe, Y. Tanaka, Y. Ishida, H. Tamukoh, T. Morie, Live Demonstration: A VLSI Implementation of Time-Domain Analog Weighted-Sum Calculation Model for Intelligent Processing on Robots, Int. Symp. on Circuits and Systems, 2019.
- ② 瘡師 貴幸, 浅井 佑基, 福地 厚, 有田 正志, 高橋 庸夫, 単層 Fe-MgF<sub>2</sub> グラニューラー単電子トランジスタにおける等周期クーロン振動特性の解析, 第 66 回応用物理学会 春季学術講演会, 2019.
- ③ 森江 隆, 立野 勝巳, 高田 健介, 川内 聖士, 下留 諒, 田向 権, 次世代 AI のための脳型記憶処理モデルと新デバイス技術への期待, 第 66 回応用物理学会 春季学術講演会, 2019.
- ④ 森江 隆, 脳型情報処理のための時間領域アナログ演算方式回路とアナログメモリデバイス, JEITA 先端電子材料・デバイス技術フォーラム, 2018.

〔産業財産権〕

○出願状況 (計 1 件)

名称：積和演算装置

発明者：森江 隆, 王 権, 田向 権

権利者：九州工業大学

種類：特許

番号：特願 2016-161182

出願年：2016

国内外の別：国内・PCT

○取得状況 (計 1 件)

名称：積和演算装置  
発明者：森江 隆, 王 権, 田向 権  
権利者：九州工業大学  
種類：特許  
番号：I620118  
取得年：2018  
国内外の別：台湾

〔その他〕

ホームページ等：<http://www.brain.kyutech.ac.jp/~morie/>

## 6. 研究組織

### (1) 研究分担者

研究分担者氏名：高橋 庸夫  
ローマ字氏名：TAKAHASHI, Yasuo  
所属研究機関名：北海道大学  
部局名：情報科学研究科  
職名：教授  
研究者番号 (8 桁)：90374610  
研究分担者氏名：寒川 誠二  
ローマ字氏名：SAMUKAWA, Seiji  
所属研究機関名：東北大学  
部局名：流体科学研究所  
職名：教授  
研究者番号 (8 桁)：30323108  
研究分担者氏名：遠藤 和彦  
ローマ字氏名：ENDO, Kazuhiko  
所属研究機関名：国立研究開発法人産業技術総合研究所  
部局名：エレクトロニクス・製造領域  
職名：研究グループ長  
研究者番号 (8 桁)：60392594

### (2) 研究協力者

研究協力者氏名：田向 権  
ローマ字氏名：TAMUKOH, Hakaru  
研究協力者氏名：大野 武雄  
ローマ字氏名：OHNO, Takeo  
研究協力者氏名：久保田 智広  
ローマ字氏名：KUBOTA, Tomohiro  
研究協力者氏名：東原 敬  
ローマ字氏名：TOHARA, Takashi  
研究協力者氏名：安藤 秀幸  
ローマ字氏名：ANDO, Hideyuki  
研究協力者氏名：富崎 和正  
ローマ字氏名：KAZUMASA TOMIZAKI  
研究協力者氏名：加藤 孝史  
ローマ字氏名：KATO, Takashi  
研究協力者氏名：王 権  
ローマ字氏名：WANG, Quan  
研究協力者氏名：谷村 大志  
ローマ字氏名：TANIMURA, Hiroshi  
研究協力者氏名：山口 正登志  
ローマ字氏名：YAMAGUCHI, Masatoshi  
研究協力者氏名：原田 將敬  
ローマ字氏名：HARADA, Masataka  
研究協力者氏名：岩元 剛毅  
ローマ字氏名：IWAMOTO, Goki  
研究協力者氏名：山下 健弥  
ローマ字氏名：YAMASHITA, Kenya