

平成 30 年 5 月 24 日現在

機関番号：11301

研究種目：基盤研究(A) (一般)

研究期間：2015～2017

課題番号：15H02246

研究課題名(和文) 三次元ヘテロ集積化技術を用いた積層型立体画像センサーLSIの開発

研究課題名(英文) Stereo-Vision Image Sensor LSI Fabricated by 3D Heterogeneous Integration Technology

研究代表者

小柳 光正 (KOYANAGI, MITSUMASA)

東北大学・未来科学技術共同研究センター・名誉教授

研究者番号：6020531

交付決定額(研究期間全体)：(直接経費) 34,600,000円

研究成果の概要(和文)：積層型画素を有するイメージセンサー素子の実現可能性を明らかにするために、吸収スペクトル・分光感度特性を基にSiの光学フィルタとしての特性を評価した。その結果、色再現の際の色の分離、ホワイトバランス向上のためには、積層型画素の積層数をできるだけ増やした方が良かったことが分かった。積層型画素を有するイメージセンサー素子では、反射防止膜の最適化が重要であることも分かった。多層積層型イメージセンサー素子の光学フィルタとしての機能を中心に、3次元積層型イメージセンサーLSIとしての特性を評価するために、多層Siフィルタを搭載した3次元積層型イメージセンサーLSIを試作し、動作させることに成功した。

研究成果の概要(英文)：A new 3D stacked image sensor LSI with multiply stacked photodiode layers has been proposed. In this 3D stacked image sensor LSI, Si photodiode layers act as image sensor and optical filter. Therefore we did not need conventional color filters. It was revealed that a higher quality image can be obtained in this 3D stacked image sensor LSI by increasing the number of Si photodiode layers and carefully designing the anti-reflection layers. A 3D stacked image sensor LSI with Si four-layered optical filter has been fabricated where Si four-layered optical filter was bonded onto a 3D stacked CMOS image sensor. CMOS image sensor chip, analog CDS chip and ADC chip were bonded using non-conductive film in the 3D stacked CMOS image sensor after thinning down to 50um and each layer was electrically connected by TSVs and metal microbumps. We could obtain the color image and infrared image in this 3D stacked image sensor LSI.

研究分野：集積回路工学

キーワード：電子デバイス・機器 先端機能デバイス 半導体物性 システムオンチップ スマートセンサ情報システム

1. 研究開始当初の背景

研究代表者は LSI そのものを三次元積層化する新しい三次元集積化技術を世界に先駆けて提案している。この三次元集積化技術は、Si 貫通配線(TSV)を埋め込んだ LSI ウェハを多層に積層して三次元化する技術である。1999 年に、Si 貫通配線(TSV)を有する三次元積層型イメージセンサーチップの試作に初めて成功した後、2000 年~2002 年にかけて三次元積層型メモリ、三次元積層型人工網膜チップ、三次元積層型マイクロプロセッサの試作に成功している。2005 年頃から、TSV を用いた三次元集積化技術の重要性が認識されるようになって、世界中で研究開発が行われるようになってきている。このような三次元集積化という新しい集積回路技術が開発されたことで、集積回路はより高機能化、高知能化、低電力化へと向かって新しい段階に進みつつある。このような状況の中で、これまでの研究代表者の研究実績をもとにこれまでにない新しい機能を有するイメージセンサーの可能性を目指して研究を開始した。

2. 研究の目的

視覚センサーの高知能化を目指して、従来の平面型構造イメージセンサーでは実現できない新しい機能を有する積層型立体画像センサー LSI を開発する。この積層型立体画像センサー LSI では、従来の可視光による静止画や動画だけでは認識できない事象や物体を認識できるようにするため、高フレーム・レート化や取得スペクトラムの拡大、距離画像や赤外画像の取得を可能とする。この積層型立体画像センサー LSI は多層構造のイメージセンサーと信号処理回路を積層した積層構造となっている。イメージセンサー部分は単結晶 Si の光吸収特性を利用したカラーフィルタなしの積層画素構造となっており、可視光と赤外光を同時に検知できる。赤外光を検知する赤外イメージセンサーは距離画像を取得する距離画像センサーとして働く。このような構成の積層型立体画像センサー LSI を 2 個配置してステレオ画像を取得し、カラー立体画像の生成を可能とする。

3. 研究の方法

ハイブリッド直接接合技術を基盤とした三次元ヘテロ集積化技術を開発して、積層型画素構造を有するイメージセンサーとアナログ回路/ADC 積層チップを積層した積層型立体画像センサー LSI を試作する。本研究で試作する三次元積層型イメージセンサー LSI は図 1 に示すように、赤外センサー層上に、赤色センサー層、緑色センサー層、青色センサー層が積層された構造となっており、赤外センサーウェハ上にセンサーウェハを Face-to-Face で接合し、機械研磨、CMP、プラズマエッチ/ケミカルエッチを用いてセンサーウェハを薄層化することによって作製する。図 2 に示すように、各センサー層の出力は Si 貫通の垂直方向配線である TSV によってアナログ回路層へと伝達される。赤外センサーに関しては Si フォトダイオードと Ge フォトダイオードの 2 種類の赤外センサーダイオードについて検討する。より短い波長の赤外線センサーに Si フォトダイオードを、より長い波長の赤外線センサーに Ge フォトダイオードを用いる。以上のような積層型立体画像センサー LSI を試作するために、ハイブリッド直接接合技術を基盤とした三次元ヘテロ集積化技術を開発する。赤外センサーウェハと赤色センサーウェハを Face-to-Face 接合にはハイブリッド直接接合技術を用い

る。赤色センサーウェハを薄化した後、赤色センサー裏面から Back-Via 方式で TSV を形成し、その上に再配線と金属マイクロバンプ電極を形成する。その後、同様な方法により、赤色センサー層上に緑色センサー層、青色センサー層を積層する。このようにして形成した積層型多層センサーを支持基板に張り合わせて赤外センサーウェハを 30~50 μm にまで裏面から薄化する。薄化した後、裏面

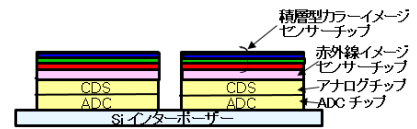


図 1 積層型画素構造を有する三次元積層型イメージセンサーの構成

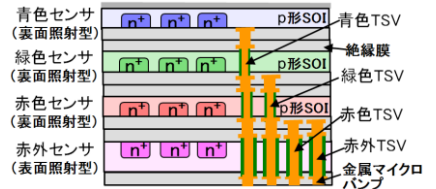


図 2 カラーフィルタ無の積層型画素の構成

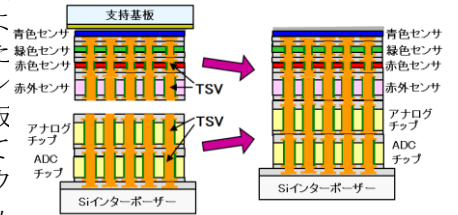


図 3 積層型画素有するイメージセンサーとアナログ回路/ADC 積層チップの積層

から TSV、再配線、金属マイクロバンプ電極を形成して積層型画素有するイメージセンサーを作製する。図 3 に示すように、積層型多層イメージセンサーの下に挿入するアナログ回路層/ADC 回路層からなる積層チップに関しても、三次元集積化技術を用いて作製する。以上のようにして作製した積層型画素有するイメージセンサーとアナログ回路/ADC 積層チップを積層することによって、積層型立体画像センサー LSI を作製する。

4. 研究成果

積層型画素を有するイメージセンサー素子の実現可能性を明らかにするために、単結晶 Si の光透過率や吸収スペクトル・分光感度特性を計算し、Si のカラーフィルタ特性を評価した。その結果、上層の可視光センサー層に近赤外光が無視できない量吸収されることが判明し、色再現の際の色の分離、ホワイトバランス向上のためには、表 1 に示すように、積層型画素の積層数をできるだけ増やした方が良いことが分かった。そこで、本研究では、この結果に基づき、可視光センサー層と赤外センサー層の間に近赤外センサー層を設けることとした。また、図 4 に示すように、積層型画素を有するイメージセンサー素子では、積層界面での反射によって多層膜干渉が発生し、波長特性が乱れるため、反射防止膜を形成する必要があることも分かった。図 5 に示すように、積層型画素の Si 層の表面および裏面に反射防止膜を挿入することで、Si-絶縁膜界面の反射をかなり抑えることができることがわかった。このような多層積層型イメージセンサー LSI を実際に試作するために、それに必要な要素技術の検討を行った。積層型画素を有するイメージセンサー素子を作製するために、可視光と赤外光を検出するための Si フォト

表 1 光源:D65 を用いた色再現の評価結果

	3層積層 イメージセンサ	4層積層 イメージセンサ	6層積層 イメージセンサ
平均色差	6.498818	3.798622	1.809846
色差分散	13.34475	1.482961	1.402656
最大色差	12.28568	5.385206	3.954026

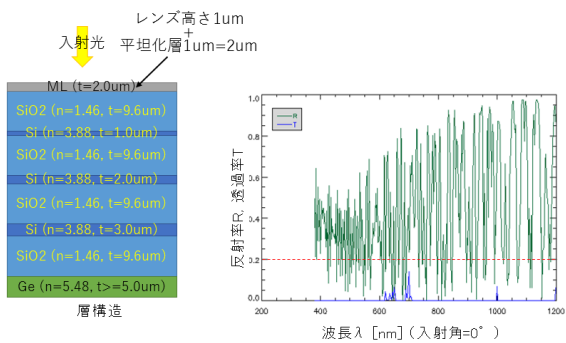


図4 多層積層イメージセンサー(反射防止膜無)の反射・透過特性

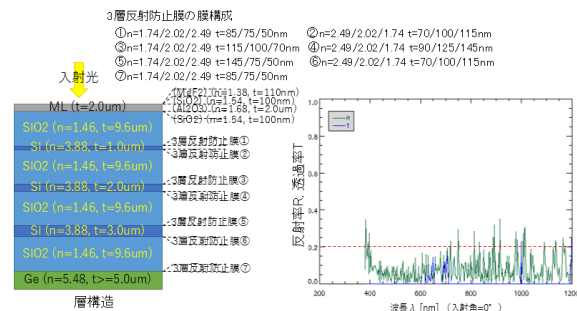


図5 多層積層イメージセンサー(3層反射防止膜有)の反射・透過特性

ダイオードの作製を行った。作製したSi フォトダイオードの光応答スペクトラムを図6に示す。図から明らかのように、波長1um以下であれば、Siは赤外光をもある程度検知できるので、多層積層型イメージセンサー素子の各イメージセンサー素子をすべてSiで作製することをまず考えた。長波長側の赤外光に対する感度が不足する場合に備えてGe フォトダイオードの検討も行った。Ge フォトダイオードを使用する場合でも、Ge フォトダイオードはSi上に搭載する必要があるため、マイクロボンディング技術を使って寸法10um×20umのGe フォトダイオードをSi上に搭載することに成功した。このようなGe フォトダイオードで比較的良好な赤外応答特性が得られたが、Ge フォトダイオードの厚さを50um以下に薄くすることが難しかったため、多層積層型イメージセンサー素子の赤外光センサーとして用いることはできなかった。そこで、多層積層型イメージセンサー素子を全てSiフォトダイオ

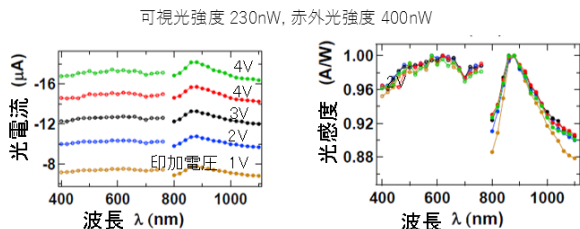


図6 試作したフォトダイオードの光応答スペクトラム

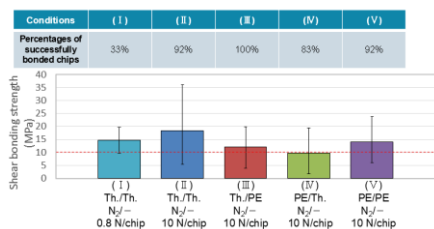


図7 直接接合したチップ間の結合強度の評価

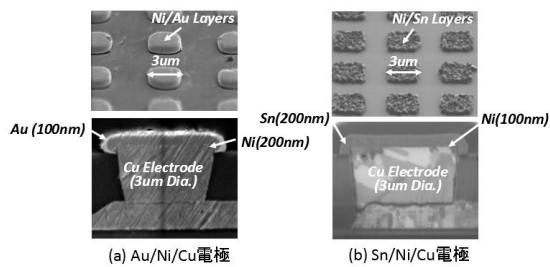


図8 無電解メッキ微細金属電極を用いたハイブリッドボンディング

ードで実現することを考えて、フォトダイオードアレイを形成したウェハを直接接合するための接合技術と、接合したウェハを20um以下にまで薄化する薄化技術(CMP)の検討を行った。接合技術としては、SiチップまたはウェハをSi酸化膜を介して直接接合し、そのあとTSVを形成する方式と、絶縁膜と微細電極を同時に接合するハイブリッド接合方式の両方を検討した。直接接合に関しては、図7に示すように、熱酸化膜(Th.)に比べて膜質が劣るプラズマ酸化膜(PE)を用いても、N2プラズマによる表面活性化処理とH2処理により大きな結合強度を達成できることが分かった。また、回路を搭載したイメージセンサー層の接合にはハイブリッド接合が必要となるが、図8に示すような無電解メッキ微細金属電極と極薄NCF膜(Non-Conductive Film)を用いたハイブリッド接合により良好に接合できることが分かった。しかし、このようにして接合したイメージセンサーチップを10um以下に薄化すると機械的応力の影響で、フォトダイオードの特性が劣化することが分かった。このような劣化を防ぐためには、機械的な応力がかからないようなSiチップの薄化技術が必要となるが、研究期間内でそのような技術を確認することが難しかったため、薄化Siフォトダイオードから成る多層積層型イメージセンサー素子の作製は断念せざるを得なかった。そこで、視点を変えて、本研究の中では、このような多層積層型イメージセンサー素子をSiを使った多層の光学フィルタとして捉え、このような多層フィルタを搭載した3次元積層型イメージセンサーLSIを作製してその特性を評価することとした。元々の提案である多層積層型イメージセンサー素子を搭載した3次元積層型イメージセンサーLSIでは、多層積層型イメージセンサー素子は光を検出するイメージセンサーの機能と、入射光の波長を選別するフィルタの機能を持っていた。イメージセンサーとしての機能は、Si薄化の際の機械的応力の影響を取り除くことができれば、良好な光応答特性が得られると考えられるが、Siの多層フィルタの機能についてはこれまであまり調べられていない。そこで、本研究では多層積層型イメージセンサー素子の光学フィルタとしての機能を中心に、3次元積層型イメージセンサーLSIとしての特性を評価することを重点として研究を行った。そのための3次元積層型イメージセンサーLSIの構造を図9に示す。Si多層フィルタはSiウェハをガラス支持基板に張り合わせた後、薄化するという工程を繰り返して作製した。Siフィルタは青色カットフィルタ(Si1層)、青色+緑色カットフィルタ(Si2層)、

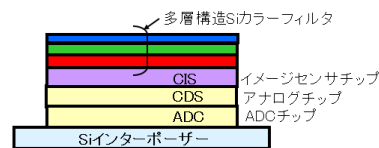


図9 多層構造Siカラーフィルタを搭載した3次元積層型イメージセンサーの断面図



青色+緑色+赤色カットフィルタ (Si 3 層)、青色+緑色+赤色+近赤外カットフィルタ (Si 4 層) の 4 種類作製した。これらのフィルタを通過してきた光信号を 3 次元積層型イメージセンサー LSI の CMOS イメージセンサーで検出し、多層積層型イメージセンサー素子の光学フィルタ特性を評価する。以上のような Si 多層フィルタをチップ状にして CMOS イメージセンサーチップ、アナログ CDS チップ、ADC チップに張り合わせて 3 次元積層型イメージセンサー LSI を作製した。CMOS イメージセンサーチップ、アナログ CDS チップ、ADC チップの簡略化された回路を図 10 に示す。図 11 は実際に作製した CMOS イメージセンサーチップ、アナログ CDS チップ、ADC チップのチップ写真である。このような CMOS イメージセンサーチップ、アナログ CDS チップ、ADC チップをそれぞれ 50 $\mu\text{m}$  まで薄化した後、裏面から TSV を形成してマイクロバンプ電極を介して積層し、3 次元積層型イメージセンサー LSI を作製した。試作した 3 次元積層型イメージセンサー LSI の SEM 断面観察写真を図 12 に示す。上下のチップが TSV、マイクロバンプを介して良好に接合されていることがわかる。このようにして試作した 3 次元積層型イメージセンサー LSI の光応答特性を評価した。図 13(a) は、CMOS イメージセンサーチップ上に間接した青色カットフィルタによる青色カット特性と緑色通過特性を評価した結果である。青色に対しては応答は無視できるほどであったが、波長 560nm の緑色に相当する光信号には敏感に応答して良好な応答特性が得られている。同様に、図 13(b) は、青色+緑色カットフィルタを通過してきた波長 750nm の赤色に相当する光に対する応答特性であるが、良好な応答特性が得られている。更に、青色+緑色+赤色カットフィルタを通過してきた波長 800nm の近赤外光に対する応答特性を図 13(c) に示す。光源の光量が低下していることもあって、

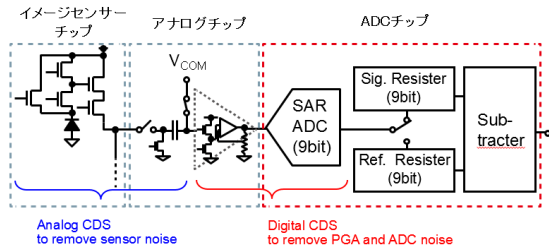


図 10 階層的 2 重化 CDS を有するブロック並列方式の CMOS イメージセンサーの回路ブロック

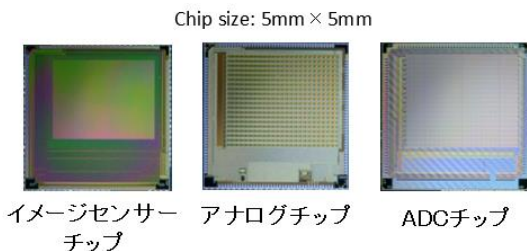


図 11 3 次元積層型イメージセンサー各層のチップ写真

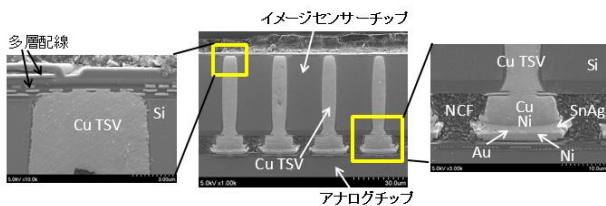


図 12 試作した 3 次元積層型イメージセンサーの SEM 断面観察写真

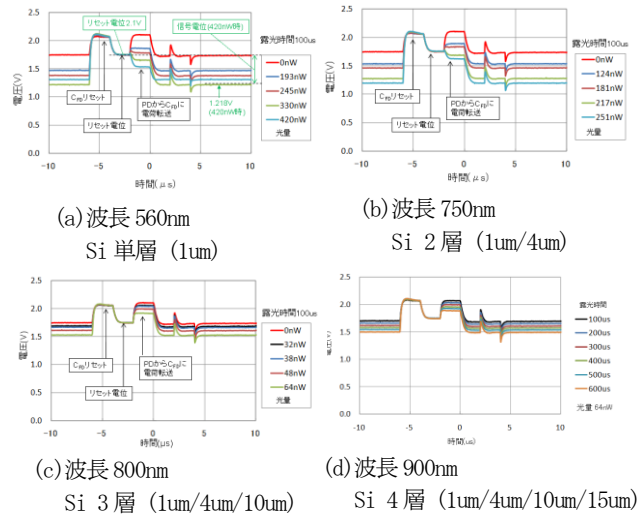


図 13 試作した 3 次元積層型イメージセンサーからの画素出力波形

応答感度が低下しているが、正常な光応答特性が得られている。図 13(d) は、青色+緑色+赤色+近赤外カットフィルタを通過してきた波長 900nm の赤外光に対する応答特性である。光源の光量が低下していることと、多層フィルタを通過してきて光量が落ちていることから、光応答感度が更に低下しているが、露光時間を延ばすことによって良好な光応答特性が得られていることから、赤外センサーとしても十分機能することが確認された。

次に、ToF 型の距離画像センサーの評価を行った。当初は、ToF 型の距離画像センサーの光パルス検出素子としてアバランシェフォトダイオードを使用することを考えていたが、赤外画像用センサーに用いるフォトダイオードと同一のプロセスで作製することが難しかったことから、通常の赤外画像用センサー用フォトダイオードを用いた ToF 型の距離画像センサー・ピクセル回路について検討した。また、ToF 型の距離画像センサーの評価環境が整っていなかったため実チップでの評価に先立って、回路シミュレーションにより評価した。回路シミュレーションにより得られた ToF 型の距離画像センサーの動作波形を図 14 に示す。応答速度が少し遅いので近距離の距離情報は得られにくい、動作波形から ToF 型の距離画像センサーとして動作することが分かった。試作チップによる評価は今回間に合わなかったが、評価環境が整い次第評価したいと考えている。回路シミュレーションにより得られた距離情報を使って、立体画像を出力するソフトウェアも作成した。結果の一例を図 15 に示す。

本研究においては、積層型画素を有するイメージセンサー素子を搭載した 3 次元積層型イメージセンサー LSI を完全動作させることはできなかったが、その基本動作を検証するための 3 次元積層型イメージセンサー LSI の試作には成功し、原理検証は出来たと考えている。

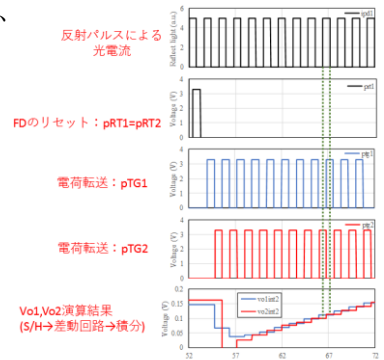


図 14 ToF 型の距離画像センサーの動作波形

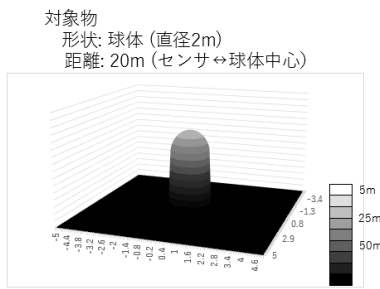


図 15 ToF 型距離画像センサー出力から得られた立体画像

## 5. 主な発表論文等

〔雑誌論文〕(計 8 件)

- ①菅原 陽平, 木野 久志, 福島 誉史, 田中 徹, “マルチウェル構造 TSV を用いた TSV 側壁界面評価方法の開発,” 電子情報通信学会論文誌 C, 査読有, J101-C, No.2, 2018, pp.58-65, DOI: 無
- ②Takafumi Fukushima, Akihiro Noriki, Jichoel Bea, Mariappan Murugesan, Hisashi Kino, Koji Kiyoyama, Kang-Wook Lee, Tetsu Tanaka, and Mitsumasa Koyanagi, "3-D Sidewall Interconnect Formation Climbing Over Self-Assembled KGDs for Large-Area Heterogeneous Integration", 査読有, IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol. 64, 2017, pp.2912 - 2918, DOI: 10.1109/TED.2017.2705562
- ③Hideto Hashiguchi, Takafumi Fukushima, Hiroyuki Hashimoto, Ji-Cheol Bea, Mariappan Murugesan, Hisashi Kino, Tetsu Tanaka, and Mitsumasa Koyanagi, "Self-Assembly and Electrostatic Carrier Technology for Via-Last TSV Formation Using Transfer Stacking-Based Chip-to-Wafer 3-D Integration", IEEE TRANSACTIONS ON ELECTRON DEVICES, 査読有, Vol. 64, 2017, pp.5065 - 5062, DOI: 10.1109/TED.2017.2767598
- ④Takafumi Fukushima, Hideto Hashiguchi, Hiroshi Yonekura, Hisashi Kino, Mariappan Murugesan, Ji-Chel Bea, Kang-Wook Lee, Tetsu Tanaka and Mitsumasa Koyanagi, “Oxide-Oxide Thermo-compression Direct Bonding Technologies with Capillary Self-Assembly for Multichip-to-Wafer Heterogeneous 3D System Integration,” Micromachines, 査読有, vol.7, No.10, 2016, pp.184-1-184-18, DOI:10.3390/mi7100184
- ⑤T. Fukushima, K.W. Lee, T. Tanaka, and M. Koyanagi, “Self-Assembly Based Multichip-to-Wafer Bonding Technologies for 3D/Hetero Integration,” ECS Transactions, 査読有, vol.75, No.9, 2016, pp.285-290, DOI: 10.1149/07509.0285ecst
- ⑥Yuka Ito, Takafumi Fukushima, Kang-Wook Lee, Koji Choki, Tetsu Tanaka, and Mitsumasa Koyanagi, "Impact of Chip-Edge Structures on Alignment Accuracies of Self-Assembled Dies for Microelectronic System Integration", IEEE Journal of Microelectromechanical Systems, 査読有, vol.25, No.1, 2016, pp.91-100, DOI: 10.1109/JMEMS.2015.2480787
- ⑦K-W. Lee, J-C Bea, T. Fukushima, S. Ramalingam, X. Wu, T. Tanaka, M. Koyanagi, "Novel hybrid bonding technology using ultra-high density Cu nano-pillar (CNP) for exascale 2.5D/3D integration," IEEE

Electron Device Letters, 査読有, vol. 37, No.1, 2016, pp. 81-83, DOI: 10.1109/LED.2015.2502584

⑧Mitsumasa Koyanagi, “Recent Progress in 3D Integration Technology”, IEICE Electronics Express, 査読無, vol.12, 2015, pp.1-17, DOI: 10.1587/elex.12.20152001

〔学会発表〕(計 20 件)

①Mitsumasa Koyanagi, “New 2.5/3D Assembly Based on Micro-scale Assembly (招待講演),” 3D Architectures for Heterogeneous Integration and Packaging (3D-ASIP2017), 2017.jpg2017年12月7日, 米国, サンフランシスコ

②Mitsumasa Koyanagi, “Novel 3D/2.5D Heterogeneous Integration Technologies for IoT and AI Era (招待講演),” International Conference on Advanced Materials (IUMRS-ICA 2017), 2017年11月7日, 台湾, 台北

③Mitsumasa Koyanagi, “Challenges and Benefits of 3D Stacked IC Packages (招待講演),” Cooling Technology Workshop (CTW2017), 2017年11月2日, 横浜

④Miao Xiong, Yangyang Yan, Yingtao Ding, Hisashi Kino, Takafumi Fukushima, Tetsu Tanaka, “Characterization of Cu-TSVs Fabricated by a New All-Wet Process,” International Conference on Solid State Devices and Materials (SSDM2017), 2017年9月22日, 仙台

⑤Mitsumasa Koyanagi, “Heterogeneous 3D/2.5D Integration toward IoT and AI era (招待講演),” Symposium in VLSI Technology (Short Course), 2017年6月5日, 京都

⑥M. Murugesan, T. Fukushima and M. Koyanagi, “Temporary Bonding and De-bonding for Multichip-to-Wafer 3D Integration Process Using Spin-on Glass and Hydrogenated Amorphous Si,” Proceedings of Electronic Components and Technology Conference, pp.1237-1242, 2017年6月2日, 米国, オランダ

⑦Tetsu Tanaka, “3D-IC Technology and Reliability Challenges (招待講演),” International Workshop on Junction Technology (IWJT2017), 2017年6月1日, 京都

⑧Hisashi Kino, Takafumi Fukushima, Tetsu Tanaka, “Remarkable Suppression of Local Stress in 3D IC by Manganese Nitride-Based Filler with Large Negative CTE,” Proceedings of Electronic Components and Technology Conference, pp.1523-1528, 2017年5月29日, 米国, オランダ

⑨Hisashi Kino, Masataka Tashiro, Yohei Sugawara, Seiya Tanikawa, Takafumi Fukushima, and Tetsu Tanaka, “Minimized Hysteresis and Low Parasitic Capacitance TSV with PBO (Polybenzoxazole) Liner to Achieve Ultra-High-Speed Data Transmission,” Proceedings IEEE International Interconnect Technology Conference (IITC 2017), 2017年5月16日, 台湾, 新竹

⑩Kangwook. Lee, Ai Nakamura, Jichoel Bea, Takafumi Fukushima, Suresh Ramalingam, Xin Wu, Tanaka Tanaka, and Mitsumasa Koyanagi, “Nano-scale Cu direct bonding using ultra-high

density Cu nano-pillar (CNP) for high yield exascale 2.5/3D integration applications,” Technical Digest of IEEE International 3D System Integration Conference (3DIC), 2016年11月9-11日, 米国, サンフランシスコ.

⑪ Murugesan Mariappan, JiChel Bea, Takafumi Fukushima, Makoto Motoyoshi, Tetsu Tanaka and Mitsumasa Koyanagi, “Improving the Integrity of Ti Barrier Layer in Cu-TSVs Through Self-Formed TiSix for Via-Last TSV Technology,” Technical Digest of IEEE International 3D System Integration Conference (3DIC), 2016年11月9-11日, 米国, サンフランシスコ.

⑫ K.W. Lee, C.Nagai, J.C. Bea, T. Fukushima, R. Suresh, and X. Wu, T. Tanaka, and M. Koyanagi, “Novel W2W/C2W hybrid bonding technology with high stacking yield using ultra-fine size, ultra-high density Cu nano-pillar (CNP) for exascale 2.5D/3D integration,” IEEE 66th Electronic Components and Technology Conference (ECTC), pp. 350-355, 2016年5月31日-6月3日, 米国, ラスベガス

⑬ T. Fukushima, H. Hashiguchi, H. Kino, M. Murugesan, J. Bea, H. Hashimoto, K. Lee, T. Tanaka and M. Koyanagi, “Transfer and Non-Transfer 3D Stacking Technologies Based on Multichip-to-Wafer Self-Assembly and Direct Bonding,” IEEE 66th Electronic Components and Technology Conference (ECTC), pp. 289-294, 2016年5月31日-6月3日, 米国, ラスベガス

⑭ M. Koyanagi, K.W. Lee, T. Fukushima, and T. Tanaka, “New Multichip-to-Wafer 3D Integration Technology Using Self-Assembly and Cu Nano-Pillar Hybrid Bonding (招待講演),” IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT2016), 2016年10月25-28日, 中国, 杭州

⑮ K-W. Lee, J-C Bea, T. Fukushima, S. Ramalingam, X. Wu, T. Tanaka, M. Koyanagi, “Novel reconfigured wafer-to-wafer (W2W) hybrid bonding technology using ultra-high density nano-Cu filaments for exascale 2.5D/3D integration,” IEEE International Electron Devices Meeting (IEDM), pp. 185 - 188, 2015年12月7-9日, 米国, ワシントンD.C.

⑯ Hideto Hashiguchi, Takafumi Fukushima, Mariappan Murugesan, Hisashi Kino, Kang-Wook Lee, Tetsu Tanaka, Mitsumasa Koyanagi, “Plasma Activated Chip-to-Wafer Direct Bonding Technology for Self-Assembly Based 3D Integration,” IEEE 65th Electronic Components and Technology Conference (ECTC), pp.1458 - 1463, 2015年5月26-29日, 米国, サンジェゴ

⑰ 小柳光正, “3次元リコンフィギャラブルLSIによる並列情報処理技術 (招待講演),” 電子情報通信学会ソサイエティ大会, 2015年9月10日, 仙台

⑱ Kangwook Lee, Takafumi Fukushima, Tetsu Tanaka and Mitsumasa Koyanagi, “3D Hetero-integration Technology for Innovative Convergence Systems (招待講演),” IEEE EDAPS (Electrical Design of Advanced Packaging & Systems) Symposium 2015, 2015年12月14-16日, 韓国, ソウル

⑲ M. Koyanagi, “3D-LSI System Module for Future Automatic Driving Vehicle Fabricated by

Heterogeneous 3D Integration Technology (招待講演),” CMOS Emerging Technology Symp. (CMOSETR 2015), 2015年5月21日, カナダ, バンクーバー

⑳ M. Koyanagi, “3D LSI and Nanotechnology for IOT (招待講演),” International Nanotechnology Conference on Communication and Cooperation (INC11), 2015年5月11日, 福岡

[図書] (計3件)

① M. Koyanagi, T. Fukushima, T. Tanaka, CRC Press, 3D Integration in VLSI Circuits, Implementation Technologies and Applications, 2018, 217

② 木野久志, 田中徹, シーエムシー出版, 新材料・新素材シリーズ, 熱膨張制御材料の開発と応用, 2018.1.25, 205 (pp.161-174)

③ Kang-Wook Lee, M. Koyanagi, Springer, Three Dimensional Integration of Semiconductors Processing Materials and Applications, “TSV Characteristics and Reliability: Impact of 3D Integration Processes on Device Reliability,” 2015.12.16, 408 (pp.201-233)

[産業財産権]

○出願状況 (計1件)

名称: 半導体デバイスおよび半導体デバイスの製造方法  
発明者: 小柳光正, 福島 誉史, 田中 徹, 李 康旭  
権利者: 東北大学, (株)富士フイルム  
種類: 特許  
番号: 特願 2015-236591  
出願年月日: 平成27年12月3日  
国内外の別: 国内

○取得状況 (計0件)

[その他]

- ・三次元スーパーチップLSI 試作拠点  
Global Integration Initiative (GINTI)  
ホームページ <http://www.ginti.niche.tohoku.ac.jp>
- ・新聞報道等  
①2015年5月28日: 3次元LSI増産-3年後20倍-自動運転車にらむ (日経産業新聞)

6. 研究組織

(1) 研究代表者  
小柳 光正 (Koyanagi, Mitsumasa)  
東北大学・未来科学技術共同研究センター・名誉教授  
研究者番号: 60205531

(2) 研究分担者

- ・田中 徹 (Tanaka, Testu)  
東北大学・大学院医工学研究科・教授  
研究者番号: 40417382
- ・木野 久志 (Kino Hisashi)  
東北大学・学際科学フロンティア研究所・助教  
研究者番号: 10633406
- ・裴 志哲 (Bea Ji-Chel)  
東北大学・未来科学技術共同研究センター・助教  
研究者番号: 40509874
- ・清山 浩司 (Kiyoyama, Kouji)  
長崎総合科学大学・工学部・准教授  
研究者番号: 60412722
- ・橋本 宏之 (Hashimoto Hiroyuki)  
東北大学・未来科学技術共同研究センター・  
産学官連携研究員  
研究者番号: 80589432