

令和元年6月13日現在

機関番号：62615

研究種目：基盤研究(A) (一般)

研究期間：2015～2017

課題番号：15H02254

研究課題名(和文) 高速シリアル通信機構の超低消費電力化に関する研究

研究課題名(英文) Study on Implementation for Greatly Reducing Power Dissipation of Serial Communication Mechanisms

研究代表者

米田 友洋 (YONEDA, Tomohiro)

国立情報学研究所・アーキテクチャ科学研究系・教授

研究者番号：30182851

交付決定額(研究期間全体)：(直接経費) 32,700,000円

研究成果の概要(和文)：高速シリアル通信機構における通信は部分的に発生することが多いことから、通信部を小刻みに停止させることにより省電力化が期待できる。本研究では、通信が発生した場合のみ起動し、通信が完了したら速やかに停止できるような、細粒度な完全自動電力制御を実現する新たな回路方式を提案し、10Gbps動作可能なシリアル通信機構として実現した。転送するデータにおける、有効データと無効データの割合(有効率)を変化させてSPICEシミュレーションを行い、従来手法と消費電力を比較したところ、提案手法は有効率が下がるにつれ、従来手法に比べて大幅に電力消費を削減できることがわかった。

研究成果の学術的意義や社会的意義

サーバやスーパーコンピュータ等を実現する複数のプロセッサは、互いに通信するためのチップ間高速シリアル通信機構を有している。また、携帯機器でも例えば液晶パネルインタフェースにシリアル通信機構が用いられている。よって、高速シリアル通信機構の低消費電力化を避けては通れないが、現状の電力制御は時間的に荒いレベルで行われているため、頻繁に通信を行っているLSIチップ間やボード間では、電力制御を効果的に行うことは実質的に難しい。提案手法は、他の省電力化手法と組み合わせることで、従来手法で手の届かなかった部分の省電力化が可能であるという意味で、実用上の意義は大きい。

研究成果の概要(英文)：This research project proposes a new serial communication scheme where the power consumption of the transmitter and the receiver are reduced to almost 0 for the period when no valid data is transmitted, unlike the conventional serial communication schemes where the embedded clock is always transmitted and the clock and data recovery circuit is continuously working. Since the proposed power reduction can be applied to every invalid word, it achieves a very fine grain power control. In order to evaluate the effectiveness of the proposed scheme, two 10Gbps serial communication circuits based on the proposed and the conventional schemes have been implemented using the same device technology. The experimental results based on the SPICE simulations of those circuits show that the power dissipation of the proposed scheme is greatly reduced compared to that of the conventional scheme when the ratio of the invalid words increases.

研究分野：情報学

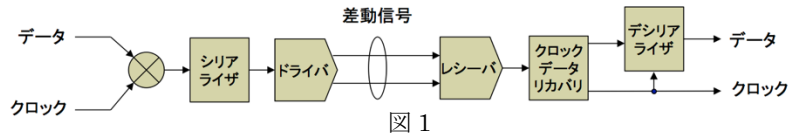
キーワード：高速シリアル通信 細粒度パワーゲーティング 4値レベル信号 PLL/DLLレス 同期/非同期インタフェース

様式 C-19、F-19-1、Z-19、CK-19（共通）

1. 研究開始当初の背景

(1) サーバやスーパーコンピュータ等を実現する複数のプロセッサは、互いに通信するためのチップ間高速シリアル通信機構を有している。また、携帯機器でも例えば液晶パネルインタフェースにシリアル通信機構が用いられている。後者において、省電力化の要求が大きいのは明らかである。前者においても、プロセッサ間通信機構の高速化が必須となっており、それにより当然ながら電力消費は増大する。現時点では、まだプロセッサ本体の電力消費に対する、通信機構の電力消費はそれほど大きくないが、プロセッサの低消費電力化は確実に進められている。よって、高速シリアル通信機構の低消費電力化も避けては通れない。大規模ネットワークの分野では、使用されていない、あるいは使用頻度の低いルータやスイッチを停止させる等の方法で、いろいろな省電力化が検討されているが、これらはいずれも、時間的に非常に荒いレベルでの制御である。頻りに通信を行っている LSI チップ間やボード間では、このレベルでの電力制御を効果的に行うことは、実質的に難しい。

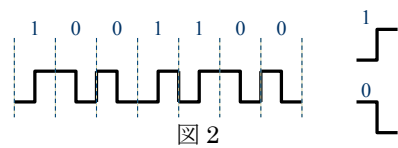
(2) LSI チップ間やボード間での電力制御を考えた場合、パケットや有効なデータが流れていない時間を検出し、その間の電力消費を抑えるといった、非常に細粒度な制御が必要となる。しかし、現在主流となっているシリアル通信機構では、次のような理由で、この細粒度電力制御を行うことは容易ではない。現在の多くのシリアル通信機構では、図1に示すように、送信側でデータにクロックを重畳し、受信側のクロック・データリカバリ回路によりそのクロックを抽出することで、通信路のさまざまな要因により変形した信号からデータを正しく受信することを可能としている。この方式は、送信側クロックを別レーン（もう一組の差動信号線）により送る方式（ソースシンクロナス方式）に比べ、レーン間のスキューの影響を受けない点が優れており、高速通信ではもっぱらこの方式が使われている。ただし、この方式の重要な構成要素であるクロック・データリカバリは、PLL (Phase Locked Loop) 等を用いて受信データのエッジに同期したクロックを生成する必要があるが、これには一定期間のデータ入力が必要で、細粒度な電力制御を難しくしている。また、この部分は、常に入力パルスデータとの位相差を検出しながら電圧制御発振器を制御するという構成を取っており、電力消費も大きい。そこで、クロック・データリカバリを使わず、有効なデータ列を送る期間のみ、送信回路をオンとするような通信機構が必要であると考えるに至った。



2. 研究の目的

(1) 本研究では、送るべき有効データが通信機構に到着した時のみ、送信部・受信部を起動してデータ通信を行い、有効なデータがなくなったら直ちに送信部・受信部を停止し、電力消費を極力抑えるような、非常にきめの細かい電力制御を行える通信機構を開発する。これを実現するために、次のような基本的アイデアを具体化し、詳細なシミュレーションを行うことで評価・測定を行い、提案手法により通信機構の大幅な低消費電力化が実現できることを実証する。

(2) PLL 等に基づくクロック・データリカバリを不要とするために、伝送信号にクロックを陽に重畳する。これには、マンチェスター符号 (図2) のように、1クロックサイクル中に必ず信号が変化するような符号化を行う方法も考案されているが、データ再生にはデータレートとの2倍周期のクロックを必要とし、超高速通信においては実現が難しい。我々はこれを多値信号回路技術により解決する。例えば、データとして(11000110)を送りたいとき、ハーフレートのクロック(01010101)を用い、図3のように4値の電圧レベルを用いて符号化を行う。この場合、各データビットにおいて、図中点線で示した電圧レベルを横切るため、その電圧を閾値とした回路によりクロックの



データ	1	1	0	0	0	1	1	0
クロック	0	1	0	1	0	1	0	1
符号語	2	0	3	1	3	0	2	1

クロック	データ	符号語
0	0	3
	1	2
1	0	1
	1	0

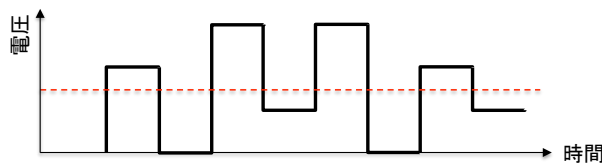


図3

抽出が可能となる。ただし、得られるのはハーフレートのクロックであり、これを用いて安定したデータを取得するためにはアナログ回路的アプローチが必要である。その回路実現も含め、実際に 10Gbps 程度の通信を行うためのチップ開発を行う。

(3) 高速クロックの分配が不要で、低電力化の可能性の大きい、非同期式回路実現が注目されており（例えば、Intel FM6000 イーサネット・スイッチのメインチップはその90%が非同期式回路で構成されている）、特に携帯機器等への応用が見込まれている。報告者らはCREST研究においてNoC(Network-on-Chip)ルータを非同期式実現した経験を有し、チップ内では自然に細粒度の電力制御が可能であることを実証している。一方、チップ間を高速シリアル接続することを考えた場合、クロック埋め込みの従来方式を用いると、有効なデータが存在しない期間でも、クロックを停止することができず、非同期式回路実現のメリットが失われる。そこで、上記提案方法を応用することで、非同期式回路実現のチップ間通信に適した高速シリアル通信が可能となる。ただし、送信側の非同期式回路は、本来クロックを持たないため、有効データが存在する場合のみクロックを発生させる仕組みが必要となる。これは、遅延素子を用いたパルス列発生器をベースとするが、遅延素子の特性ばらつき等により、デューティ比の揃ったきれいなクロックを発生させることは難しい。しかし、提案手法では、上記の方法でクロックを直接取り出すため、大きなジッタに対しても良好に動作するはずである。非同期式回路同士のチップ間シリアル通信についても、その有効性を実証する。

3. 研究の方法

(1) 4値ドライバ開発

この部分は、従来のPAM-4方式[1]で用いられている方式をベースに構成を検討する。上記の符号化を用いる場合、クロック信号により2単位の電圧変化、データ信号により1単位の電圧変化が必要となるので、それらに対応する2単位および1単位の電流源を用い、プルアップ抵抗における電圧降下により、所望の多値レベル出力を得ることができる(図4)。また、通信すべきデータは、それが有効かどうかを示す信号 valid が付加されていると仮定しているので、その信号を用いてPG(Power Gating)信号を制御し、無効データ時には全トランジスタを off とすることで、ドライバでの電力消費を0とする。
[1] T. Toifl, et. al, A 22-Gb/s PAM-4 Receiver in 90-nm CMOS SOI Technology, IEEE Solid-State Circuit Journal, VOL. 41, NO. 4, 2006.

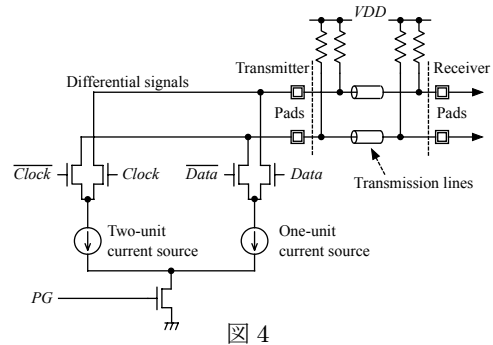


図 4

(2) PG(Power Gating)ディテクタの開発

無効データ時に、送信側ではドライバを off とするが、受信側でもそれを検出し、フロントエンド等のアナログ部の電源を切るためのPGディテクタを開発する。また、このディテクタ自体の無効データ時における待機電力も極力小さくなるような回路構成を検討する。

(3) 受信フロントエンド部開発

4値の値をデコードするために、異なる電圧レベルを部分的に増幅し、CMOS 閾値レベルにシフトするVSA(Voltage Shifting Amp.)を開発する。すなわち、図5のように、小振幅の入力信号(前項のドライバは通常 $V_{DD}/2$ 程度の振幅を出力し、それが伝送路により減衰する)の中央部分(A)、下部分(B)、および上部分(C)を選択的に増幅し、図5のクロック検出用、符号語0検出用、および、符号語3検出用のそれぞれの波形を出力する。3つの異なるVSAを開発する。文献[1]でもVSAを用いているが、非線形性を用いていない。非線形性を用いる本提案手法では、よりノイズマージンを拡大でき、高信頼な通信が行えると考えられる。

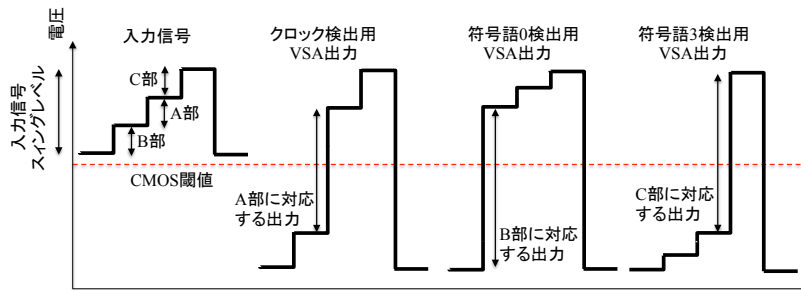


図 5

これらのVSA出力はCMOSゲートで受けることにより、デジタル信号となるが、前述したように得られたクロック信号はハーフレートであり、直ちにデータラッチに用いることはできない。さらに、実際の入力信号波形は鈍っていることから、図6-1において $A > B$, $A > C$ となり、VSA出力をCMOSバッファにより整形した波形は、図6-2に示すように、クロック整形波形(点線波形)よりも符号語0,3整形波形(実線波形)のほうが狭い幅を持つ。すなわち、幅の広い点線波形で幅の狭い実線波形をラッチする必要があり、これもデジタル処理を難しくする。そこで、例

例えば符号語0整形波形を処理する際には、クロックが1の時チャージしておき、クロックが0の期間には、符号語0整形波形の値が0の期間にディスチャージする仕組みを作り、それをトランスペアレントラッチに保持することで、デジタルデータの取得を行えると考えられる。概念図を図7に示す。符号語3整形波形も同様にして取り扱える

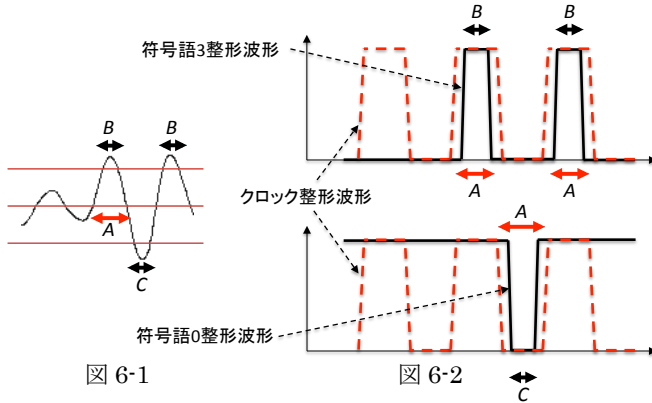


図 6-1

図 6-2

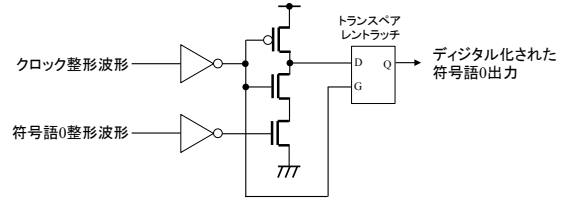


図 7

(4) 非同期式回路用インタフェースの開発

通常の同期式回路用通信機構は前項までの要素技術により構成できる。本研究では、さらにグローバルクロックを一切使用しない非同期式回路用インタフェースを開発する。ここで対象とする非同期式回路は、束データ2サイクルシグナリング方式と呼ばれるもので、前述の非同期式NoC ルータ等で使われている。この方式では、データは req 信号の変化タイミング（すなわち、立ち上がり／立ち下がりエッジ）に同期して与えられる。そこで、この req 信号を起点とした信号からパルス列を作り、それらをタイミング信号として使用するとともに、シリアル化のためのハーフレートクロックを生成する。

4. 研究成果

概ね研究計画通りに提案手法の開発を行ったが、そのなかでも特に工夫と新規アイデアを要した2つの技術項目についてまず示す。

(1) 効率の良い受信側電源制御方式

通信すべきデータは、それが有効かどうかを示す信号 valid が付加されていると仮定しているので、無効データ時には送信側のアナログ部を含む大部分は簡単に電源を off とできる。valid 信号を検出する部分はグローバルクロックを用いないデジタル回路として実現するため、無効データ時の送信側消費電力はほとんど0とできる。一方、受信側では差動信号を用いた伝送ラインが共にハイレベル（図4の送信ドライブ部でPG=0として送信側からドライブされていない状態）を検出して、受信側の電源を off とする。逆に、伝送ラインがドライブされたことを検出することで電源 off から復帰するが、(a)有効データが到着するまでに受信部が復帰すること、および、(b)伝送ラインの監視に要する電力を極力抑える、ことの二つが重要である。

まず、(b)を満足するために、図8に示すようにPMOS FETのみを用いて伝送ラインを監視し、いずれかのラインがドライブされることを検出する。伝送ラインが共にハイレベルとなることを検出するには図9に示すようにコンパレータ出力のANDを取り、図8のPG_RSTを駆動する。図9のコンパレータは常時電力を消費するが、無効データ時には電源を off とすることで(b)を達成することができる。

次に、(a)を満足するために、有効データ送信の前に受信側復帰のための特殊データを挿入する。通常データとの区別を容易にするため、および、図8の検出を高速化するため、差動信号ラインに短い同相信号を送出することでこれらを実現する。同相信号は、差動アンプで受けた場合に同相出力となり自動的にその部分を無視できるため好都合である。これらの方式による差動信号ラインと図8の電源制御信号 (PG_OUT) のポストレイアウトシミュレーション結果を図10に示す。これからわかるように、有効データによる復帰が約810ps、無効データによる電源 off が約320psにて行えている。

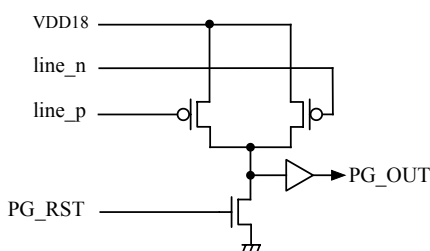


図 8

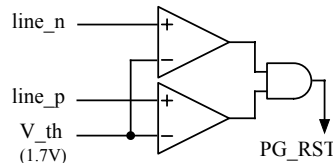


図 9

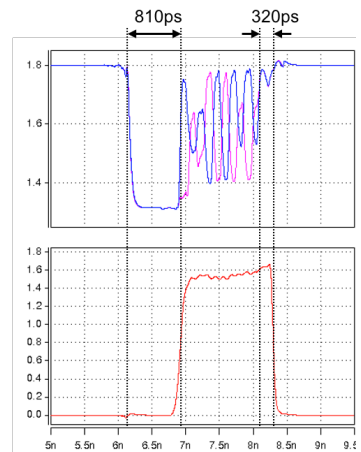
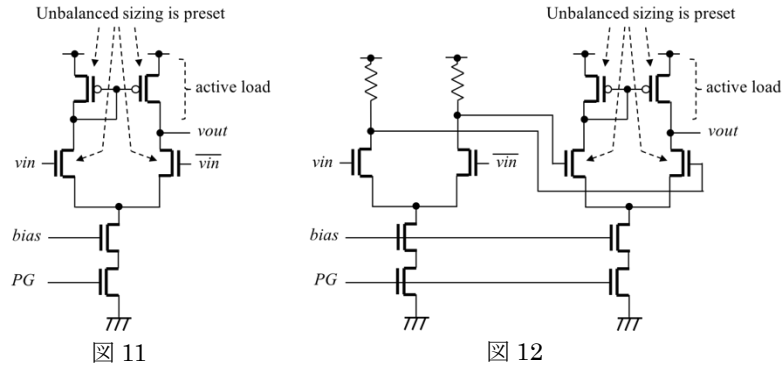


図 10

(2) クロック検出用 VSA における工夫

VSA (Voltage Shifting Amp.) は、基本的には図 11 に示すようにアクティブロード部と入力トランジスタのサイズを調整して、図 4 に示すような出力を得る。符号語 0,3 検出用 VSA はこの構成により良好な出力を得られるが、クロック検出用 VSA は入力振幅の影響を受け、出力クロックのパルス幅が不安定となる傾向があった。そこで、クロック検出用 VSA においては、LA (Limiting Amp.) の考えを用いて、抵抗負荷の差動アンプを図 11 の構成の前段に置く構成 (図 12) を取ったところ良好な結果が得られた。



一方、提案手法を比較・評価するために、同一テクノロジライブラリを用いて、PLL に基づく従来方式のシリアル通信方式を設計した。それぞれにおいて、転送するデータにおける、有効データと無効データの割合 (これをここでは有効率と呼ぶことにする) を変化させて SPICE シミュレーションを行い、各消費電力を比較した。ここでは、有効率 100% (送受信部の停止を一切行わない) シナリオ、有効率 32% (5ns 毎に 8 ビット転送を 2 回行う) type1 シナリオ、(5ns 毎に 16 ビット転送を 1 回行う) type2 シナリオ、および有効率 0% シナリオ等を考えた。なお、8 ビット転送は 10Gbps で 0.8ns 要するので、それを 2 回転送するとき $(0.8 \times 2) / 5.0 \times 100 = 32\%$ の有効率となる。32% type1 と 32% type2 の受信波形の例を図 13 に示す。また、従来方式 (シナリオに関わらず消費電力はほぼ一定) を含めた各シナリオにおける消費電力を図 14 に示す。なお、conv は従来方式、32p_1 等は 32% type1 等を表す。sleep は 0% シナリオである。これからわかるように、提案手法は有効率 100% においては、従来手法より若干多くの電力を消費するが、有効率が下がるにつれ、電力消費は減少する。有効率 0% での待機消費電力はごくわずかである。

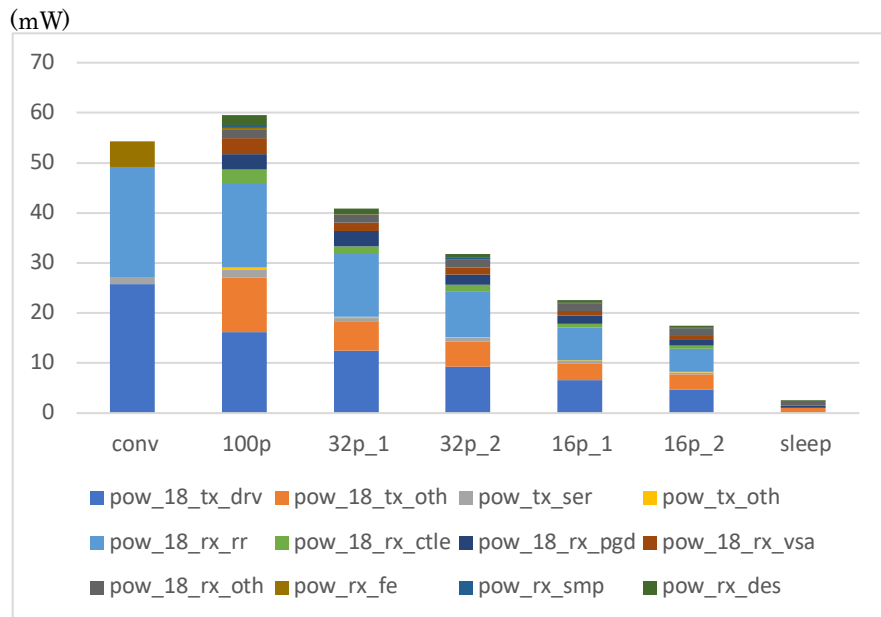
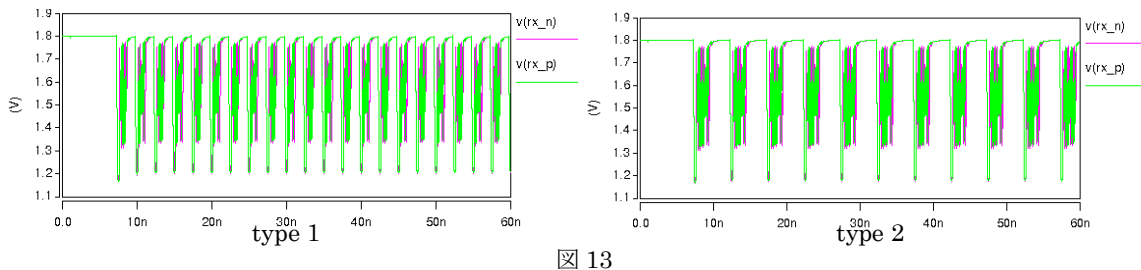


図 14

これらの成果をチップとして配置・配線を行い (図 15), SPICE シミュレーションにおいて所望の動作を確認した。

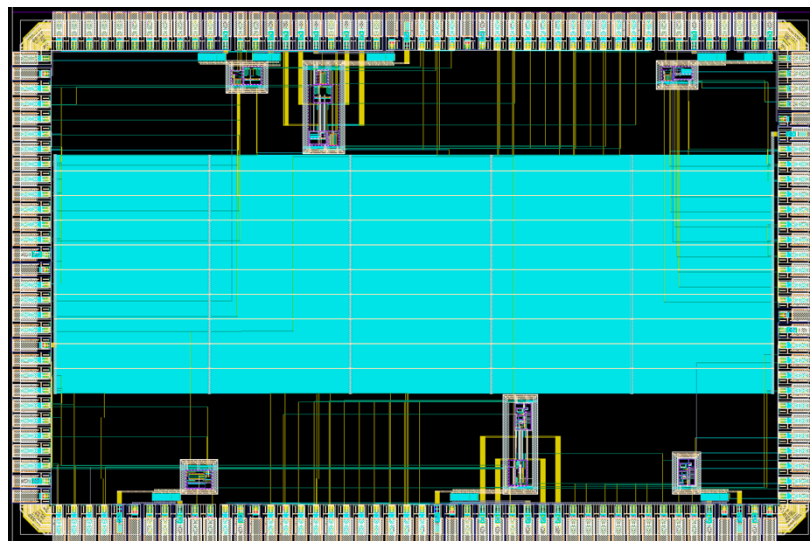


図 15

5. 主な発表論文等

[雑誌論文] (計 1 件)

- ① H. Saito, M. Imai, and T. Yoneda: Task Scheduling based Redundant Task Allocation Method for the Multi-core Systems with the DTTR Scheme, IEICE Trans. Fundamentals, E100-A, (7), pp.1363-1373, 2017 年 7 月.

[学会発表] (計 4 件)

- ① M. Imai, S. Akasaka, T. Yoneda: Novel Delay Elements for Bundled-Data Transfer Circuits Based on Two-Phase Handshaking Protocols, Proc. of ASYNC2018, pp.1-8, 2018 年 5 月.
- ② H.P. Phan, X.T. Tran, T. Yoneda: Power Consumption Estimation using VNOC2.0 Simulator for a Fuzzy-Logic based Low Power Network-on-Chip, Proc. of ICICDT2017, 2017 年 5 月.
- ③ S. Yoowattana, T. Yoneda: Improvement of Line Coding Overhead Targeting Both Run-Length and DC-Balance, Proc. of MCSoc2016, pp.15-22, 2016 年 9 月.
- ④ T. Yoneda, M. Imai: A New Encoding Mechanism for Low Power Inter-Chip Serial Communication in Asynchronous Circuits, Proc. of ICCD2015, pp.424-427, 2015 年 10 月.

6. 研究組織

(1) 研究分担者

研究分担者氏名：羽生 貴弘
ローマ字氏名：(HANYU, Takahiro)
所属研究機関名：東北大学
部局名：電気通信研究所
職名：教授
研究者番号 (8 桁)：40192702

研究分担者氏名：今井 雅
ローマ字氏名：(IMAI, Masashi)
所属研究機関名：弘前大学
部局名：理工学研究科
職名：教授
研究者番号 (8 桁)：70323665

研究分担者氏名：吉瀬 謙二
ローマ字氏名：(KISE, Kenji)
所属研究機関名：東京工業大学
部局名：情報理工学院
職名：准教授
研究者番号 (8 桁)：50323887

研究分担者氏名：齋藤 寛
ローマ字氏名：(SAITO, Hiroshi)
所属研究機関名：会津大学
部局名：コンピュータ理工学部
職名：上級准教授
研究者番号 (8 桁)：50361671

※科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属されます。