

科学研究費助成事業 研究成果報告書

平成 30 年 6 月 13 日現在

機関番号：17104

研究種目：基盤研究(B) (一般)

研究期間：2015～2017

課題番号：15H03965

研究課題名(和文) 高排熱と電磁ノイズ遮蔽を実現するパワーSupply on Chip用基板の研究

研究課題名(英文) Investigation of a substrate with both high heat exhausting and electro magnetic noise shielding layer for power supply on chip applications

研究代表者

松本 聡 (Matsumoto, Satoshi)

九州工業大学・大学院工学研究院・教授

研究者番号：10577282

交付決定額(研究期間全体)：(直接経費) 12,900,000円

研究成果の概要(和文)：電源の研究開発トレンドは小型化であり、電源の究極の小型化が実現出来るパワー Supply on Chip(SoC)が注目を集めている。パワーSoCは電源の究極の小型化が可能である反面、発熱の問題で小型化が限界に達する。また、小型化に伴い、ノイズの抑制や遮蔽が課題となる。本研究では、電源の究極の小型化が可能で高効率化が可能な3次元パワーSoCに排熱構造やノイズ遮蔽層を組み込むプロセスを開発するとともに、これらの効果を明らかにする。

研究成果の概要(英文)：Research and development trend for power supply is how to reduce the volume and power-SoC(Supply on Chip) is attracted attentions because it can ultimate miniaturization of the power supply. On the other hand, reduction in the size of the power supply has a limitation because of self-heating. In addition, it faces the problem electro magnetic noise. In this study, we develop process technology for implementing the heat exhaust structure and electro magnetic noise shielding layer. We also clarify usefulness of these structure and magnetic noise shielding layer.

研究分野：集積システム

キーワード：集積化電源 DC-DCコンバータ POL 小型電源

1. 研究開始当初の背景

低炭素社会実現に向けて、化石燃料を燃やすエネルギーから電気エネルギーへの転換が推進されており、経済産業省から出された超長期エネルギービジョンでは、2050年には2次エネルギーに占める電力の割合(電力化率)を現在の約2倍の50%まで拡大し、かつ40%を省エネする必要があることが示されている[1]。このような状況下、パワーエレクトロニクスはエネルギーの有効利用にかかわるキー技術であり、パワーエレクトロニクスで最も重要な装置の一つが電力変換装置である。電力変換装置は小型化が研究開発のドライビングフォースとなり、15年で1桁程度小型化している[2]。電源の究極の小型化であるPower Supply on Chip(パワーSoC: マイクロプロセッサやロジック回路等のLSI、パワー半導体デバイス、これを駆動制御する回路、受動部品をワンチップに組み込む)が注目を集めている[4]。しかしながら、発熱等の問題により小型化に対して2010年~2020年の間に限界に達することが予測された[2]。電源の究極の小型化であるパワーSoCでは、小型化により発熱密度が上昇するため排熱技術が重要となる。さらに、プロセスの簡略化、近年のLSIの低電源電圧化と大電流化による配線インピーダンスの低減、汎用性の拡大、大面積を占めるパワーデバイスの別チップ化によるチップサイズの縮小、高効率なスイッチング動作が可能なワイドバンドギャップパワーデバイスの混載等の観点からパワーデバイスを直近に配置でき、汎用性が高く、実装効率が高い3次元にチップを積層したパワーSoCへの期待が高まっている(図1.1)。また、DC-DCコンバータ、デジタル回路やアナログ回路を集積するため電磁ノイズの抑制が重要課題となる。一方、ユビキタス通信システムの普及、System in Packageや3次元LSI等の高密度で提案するパワーSoC用基板実装の実用化によりLSIチップやチップ間の相互干渉によるEMC問題が顕著となる。このため、今後、筐体・プリント配線基板レベルからLSIチップレベルへのEMC対策の進化が必要不可欠になる。これにより情報セキュリティの高度化、ユビキタス機器の受信障害へ対策、電子機器の高速・高機能化に伴うチップ内やチップ間のクロストーク抑制も可能となる。

2. 研究の目的

本研究では、電源の究極の小型化であるパワーSoCの高性能化を目的として3次元パワーSoCの効果を明らかにするとともに、3次元パワーSoC実現する一環として、重

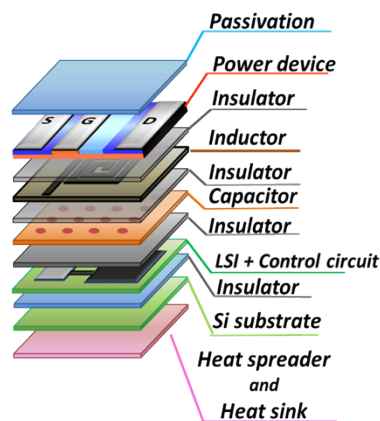


図1.1 3次元パワーSoC

要課題となる発熱の問題を解決しつつ電磁ノイズの抑制が可能なパワーSoC用の基板を実現するためのウエハー貼り合わせ技術や電磁ノイズ遮蔽層を組み込むためのプロセス技術を開発する。具体的には、発熱問題の解決と電磁ノイズ抑制を両立する材料としてグラフェン系炭素膜の可能性を検証する。また、実際に熱マネジメント材料としてデバイスに組み込むことを想定し、グラフェン系材料の基礎的な熱特性明らかにする。さらにグラフェン系材料を組み込んだデバイス基板を実現するための要素技術となるグラフェン系薄膜をウエハーに直接接合する技術を開発する

3. 研究の方法

(1) シミュレーション

熱解析とノイズ遮蔽効果についてはSynopsys社のTCAD[3]、回路シミュレーションはLT-spiceを用いた。DC-DCコンバータはbuckコンバータとし、5V入力、2.5V出力とした。なお、パワー素子はGaN-HEMT(EPC8004)[4]を用いた。

(2) グラフェン系炭素膜

原子層グラフェンの電磁ノイズ抑制の可能性を検証するため、CVD法を用いたノイズ遮蔽用原子層グラフェン合成手法の確立し、KEC法を用いて電磁波遮蔽効果の測定を行う。

実際にデバイスに組み込んで熱マネジメント材料として利用する際には相当の熱量を輸送するため、ある程度の厚膜のグラフェン(グラファイト薄膜)の熱特性(熱拡散率)を検証する。さらにデバイスに組み込むための基礎となるグラフェン系薄膜(グラファイト薄膜)とシリコンウエハーの直接貼り合わせ技術を開発する。

(3) ウエハー接合技術

高排熱基板であるSOD基板を表面活性化法で作製するためシリコンとナノ結晶ダイヤモンドの間に極薄膜のSiO₂を挿入する手法を提案した。この方法を実現するため下記の

技術開発を行った。

- ・表面平坦化技術
- ・表面活性化技術
- ・極薄膜残存エッチング技術

(表面平坦化技術)

ナノ結晶ダイヤモンド上に SiO₂ 膜を堆積した場合、Rq=8nm 程度となる。これを CMP+スパッタエッチングにより強固な接合が可能な Rq=0.5nm 以下まで低減させる。

(表面活性化技術)

酸素、窒素、アルゴンガスを用いスパッタエッチングと同時に表面活性化を行うことで接合の工程数を少なくする技術を開発する。

(極薄膜残存エッチング技術)

均一なプラズマ源を有する ICP-RIE 装置を用い、スパッタリングレートが遅く (10nm/min 程度) かつ、レート長時間にわたり安定している条件で極薄膜 (20nm 以下) を残存させる技術を開発する。

(4) グラフェンを 3 次元パワー SoC に導入するためのプロセス技術

グラフェンはプラズマに曝すとすぐに気化して消失してしまうので、ICP-RIE やスパッタなどのプラズマ雰囲気下に試料を曝すことができない。そのため、プラズマ等からグラフェンを保護するために、グラフェン上に ALD 法により Al₂O₃ 膜を 15nm 堆積させた。グラフェンの保護膜として堆積させた。ALD-Al₂O₃ 膜の TMAH のエッチング耐性を調べるために、GaN 基板を用いて予備実験を行った。この際、ウエットエッチング効果をより効果的に調べるために、GaN 基板は ICP 電力 100W, BIAS 電力 5W の条件下、Cl₂ ガスでドライエッチングを行い、表面形態をある程度粗くした後に TMAH ウエット処理を行った。なお、TMAH の希釈は水で行っている。また、堆積させた Al₂O₃ 膜は TMAH 2.38% の水溶液でウエットエッチングを行った。この際、グラフェンは TMAH に耐性があるか否かは、ラマン分光法により確認した。

4. 研究成果

(1) 排熱構造

半導体層を 2 層有する積層構造基板について放熱構造に対するシミュレーションを行った。図 4.1 にシミュレーションに用いた素子構造を示す。半導体層間の絶縁膜は酸化膜

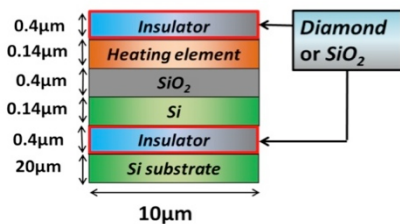


図 4.1 シミュレーションに用いた構造

表 4.1 シミュレーションに用いた主な物理定数

	Specific heat (J kg ⁻¹ K ⁻¹)	Density (kg/cm ³)	Thermal conductivity (W m ⁻¹ K ⁻¹)
Si	700	2330	145
SiO ₂	780	2200	1.4
Diamond	520	3500	20
Air	1000	1.2	0.026

とした。本検討では、Insulator を酸化膜またはナノダイヤとした。シミュレーションに用いた主な物理定数を表 4.1 に示す。なお、SiO₂ を絶縁膜とした場合の発熱層の温度を 673K になるようなパワーを発熱層に与えた。図 4.2 に各発熱層の温度を示す。この時、非発熱層である下層の半導体層の温度は 504K であった。一方、ナノダイヤを Insulator として用いた場合は、発熱層は 593K と約 80K 低温化され、非発熱層である下層の半導体層も 398K と 100K 以上低温化できる。

図 4.3 に Through Silicon Via (TSV) がある場合と無い場合の温度分布を示す。上下の半導体層間は SiO₂ とし、Insulator はナノダイヤとした。TSV の採用により、発熱部の温度が 40K 程度下がり、かつ隣接するセルに対して影響を与えないことを明らかにした。配線に用いる TSV は排熱に対しても有効である。

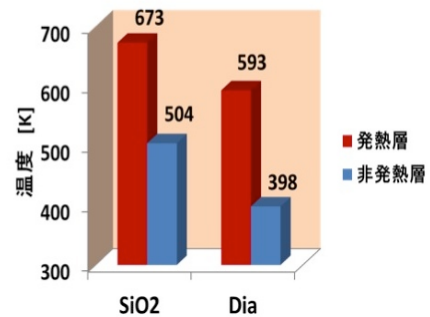


図 4.2 発熱層の温度

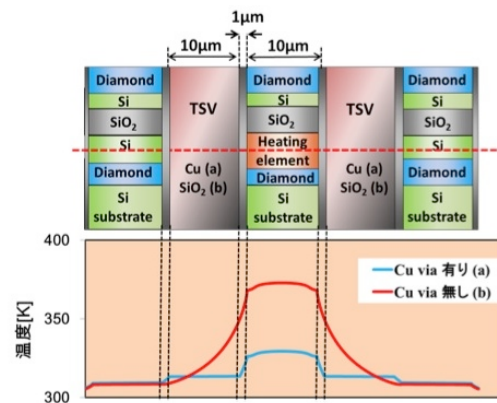


図 4.3 TSV の排熱効果

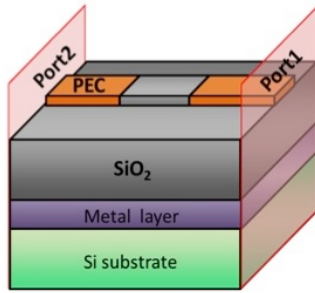


図 4.4 ノイズ遮蔽層のノイズ遮蔽効果を調べる構造

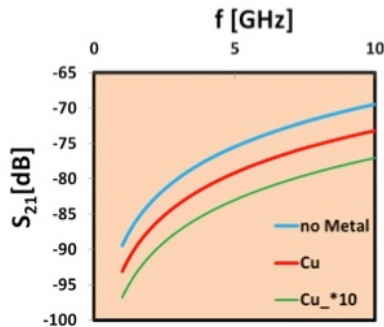


図 4.5 ノイズ遮蔽層の効果

(2) ノイズ遮蔽効果

図 4.4 にノイズ遮蔽層を導入した構造の模式図、図 4.5 にノイズ遮蔽層した構造、及び前者の 1/10 の抵抗率を有するノイズ遮蔽層を挿入した構造とノイズ遮蔽層を挿入しない構造の S_{21} を示す。図 4.5 で金属がノイズ遮蔽層である。ノイズ遮蔽層の挿入により、ノイズ遮蔽効果が現れ、さらにノイズ遮蔽層の抵抗率の低減によりノイズ遮蔽効果が增加する。

(3) グラフェン系炭素膜の特性

図 4.6 は KEC 法で測定した原子層グラフェンの電界遮蔽効果と評価モデルによるフィッティングである。原子層グラフェンは独自開発のプラズマ CVD 法により銅箔上に合成し

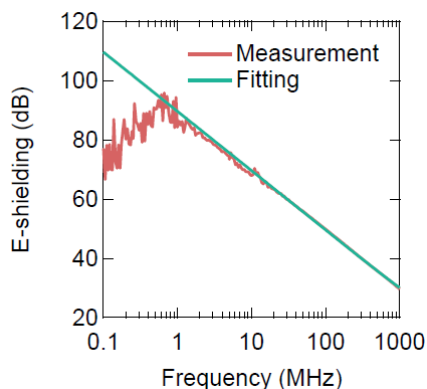


図 4.6 KEC 法で測定した CVD グラフェンの電界遮蔽効果と評価モデルによるフィッティング

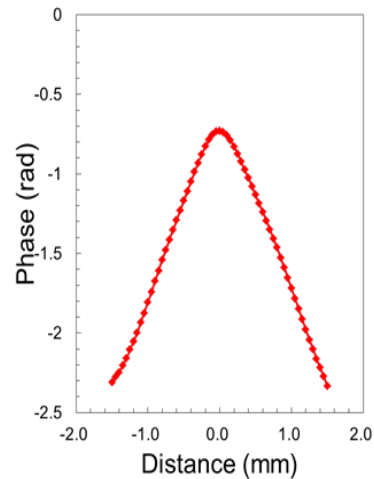


図 4.7 プラズマ CVD で合成した厚さ 200nm 程度の自立グラファイト薄膜の面方向の熱拡散率測定。熱拡散率 $\alpha = 5.1 \times 10^{-4} \text{m}^2/\text{s}$ (熱伝導率およそ $800 \text{W}/\text{m} \cdot \text{K}$)

たものを用いた。このように原子層グラフェンにはノイズ遮蔽特性が期待できることが明らかとなった。

グラフェン系材料の熱特性評価には厚さ数百 nm の自立グラファイト薄膜を用い、周期加熱法による直接測定を実施した。同じく独自開発のプラズマ CVD 法を用い、金属基材を水素とメタンの混合ガスのプラズマで処理することにより、厚さ 200nm 程度のグラファイト薄膜を合成した。このグラファイト薄膜を金属基材から分離し自立膜とした。この自立膜を用いて周期加熱法による測定を実施したところ、面方向の熱拡散率 $\alpha = 5.1 \times 10^{-4} \text{m}^2/\text{s}$ を得た (図 4.7)。グラファイトの比熱と密度から熱伝導率はおよそ $800 \text{W}/\text{m} \cdot \text{K}$ と評価した。このように実際の放熱用途を想定したグラファイト薄膜の熱特性評価を実施し、その高いポテンシャルを確認した。

(4) 表面平坦化技術

ナノ結晶ダイヤモンド上に SiO_2 膜を堆積した場合、 $R_q=8\text{nm}$ 程度であったが、これを CMP での研磨により $R_q=1\text{nm}$ 程度まで低減させ、さらにスパッタエッチングにより $R_q=0.3\text{nm}$ 程度まで低減させた (図 4.8)。

(5) 表面活性化技術

酸素ガスを用いた表面活性化法によりほぼ 90%以上の領域での接合が可能となった

(6) 極薄膜残存エッチング技術

酸素ガスおよびアルゴンガスを用いたスパッタリングを用い $10\text{nm}/\text{min}$ 以下のエッチングレートかつ、長時間にわたりエッチングレートが安定している条件でエッチングを行うことで、極薄膜 (約 15nm) の SiO_2 膜を残存させる技術を開発した。

(7) SOD 基板

これらの技術を用い接合層に極薄膜 (約 15nm) をもつ SOD 基板の作製に成功した (図 4.9)。

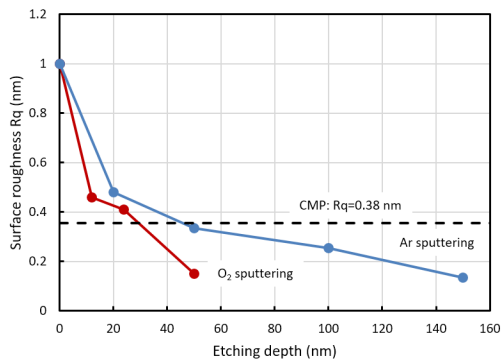


図 4.8 エッチング深さと表面平坦度の関係

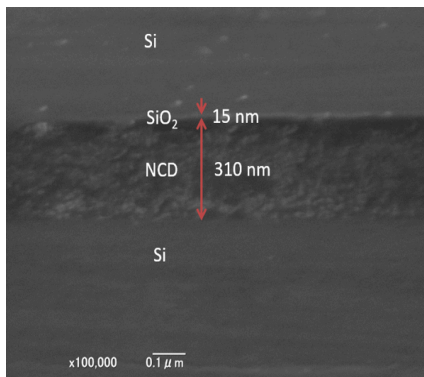


図 4.9 SOD 基

(8) グラフェン系材料の Si 基板への組み込み

グラフェン系材料を組み込んだデバイス基板を実現するためには、グラフェン系薄膜をデバイス基板に組み込む技術が必要である。実デバイスでは相応の熱量を輸送する必要があることから、原子層グラフェンではなくある程度の厚さのあるグラファイト薄膜が必要と考えられる。この場合通常の原子層グラフェンをシリコン基板に転写する手法

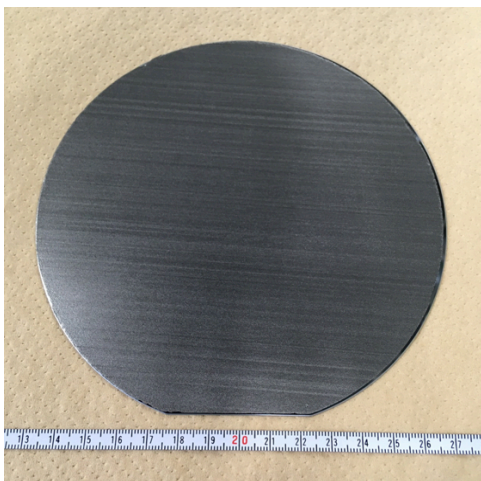


図 4.10 グラファイト薄膜を直接接合したシリコンウェハ (φ150mm)

は使えない。そこで本研究ではグラファイト薄膜とシリコンウェハの直接接合技術の開発を試みた。接合前にグラファイト薄膜を研磨し、中間層や接着層を用いない直接接合を試みた。その結果図 3 に示すように、直径 150mm のシリコンウェハにグラファイト薄膜を直接接合した積層体の形成に成功した (図 4.10)。

(9) グラフェンを 3 次元パワー SoC に導入するためのプロセス技術

グラフェンデバイス構造を作製する際の ICP-RIE ドライエッチングと TMAH ウェット処理の効果を GaN 基板を用いて調べた。得られた結果を図 4.11 に示す。これより、TMAH を水で希釈した溶液に GaN 基板を浸漬させると、濃度が高ければ高いほど、表面粗さを低減させる効果が発揮されることがわかった。また、得られた結果を基に、グラフェン上に堆積させた ALD-Al₂O₃ 膜のエッチング実験を行った。ALD-Al₂O₃ はエッチング速度が速いため、GaN とは異なり、水で希釈した 2.38% の TMAH 水溶液を用いることが適切であることがわかった。作製した ALD-Al₂O₃/グラフェン/SiO₂/Si 構造で、TMAH 2.38% 水溶液を用いて上部 ALD-Al₂O₃ 膜を除去すると、ALD-Al₂O₃ の下地のグラフェンは TMAH 水溶液に影響を受けることなく、残存することがわかった (図 4.11)。また、局所的にグラフェンが残っていない部分が見受けられるが、それはグラフェン転写時の不具合に由来する

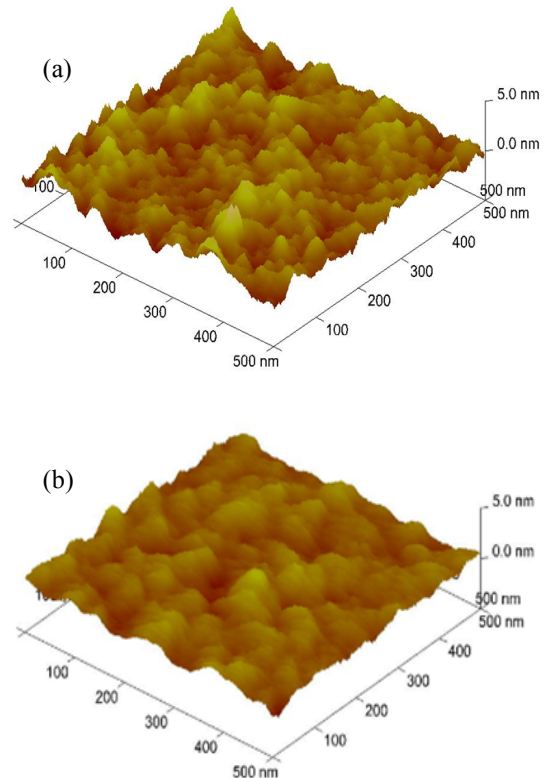


図 4.11 GaN を TMAH に 10min 浸漬させた場合の表面粗さの変化: (a) 2.38% and (b) 20%

ものと思われる。したがって、グラフェンに影響を及ぼさずにグラフェン上部のALD- Al_2O_3 膜を除去する工程を確立したことで、電極形成のために有効なプロセス条件を見出すことができた。

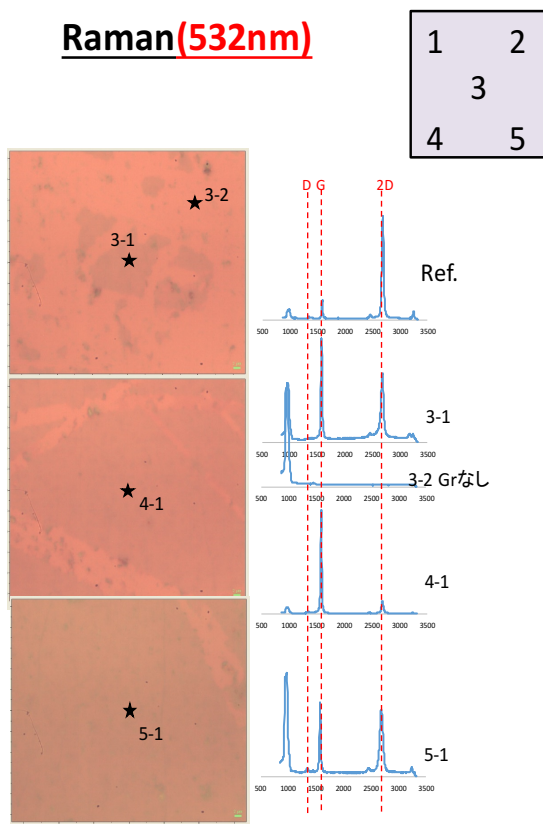


図 4.12 ALD- Al_2O_3 膜を TMAH 2.38%溶液で除去した後のグラフェンの残存状況

参考文献

[1] <http://www.meti.go.jp/committee/materials/downloadfiles/g51013a41j.pdf>.

[2] J. Kolar et al., PCC Nagoya, p.9, 2007.

[3] Sentaurus Technology Template, available from TCAD Sentaurus Version F-2011.09. 23) JEITA ED-4701.

[4] https://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC8004_datasheet.pdf

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 10 件)

① M. Nagata, R. Shirahama, S. Duangchan, and A. Baba, Fabrication of silicon-on-diamond substrate with an ultrathin SiO_2 bonding layer, Japanese Journal of Applied Physics, 査読有, 06HJ08, 2018.

② K. Hiura, Y. Ikeda, Y. Hino, and S. Matsumoto, Impact of the 3D Stacking Power Supply on Chip for High Frequency DC-DC Converter, Japanese Journal of Applied Physics, 査読有, vol.54.No. 4 ,04CR13, 2017.

③ R. Kato, Y. Koga, K. Matsuishi, and M. Hasegawa, Strain analysis of plasma CVD graphene for roll-to-roll production by scanning transmission electron microscopy and Raman spectroscopy, Japanese Journal of Applied Physics, 査読有, 56 (2017), 030307.

④ R. Kato, S. Minami, Y. Koga, M. Hasegawa, High growth rate chemical vapor deposition of graphene under low pressure by RF plasma assistance, Carbon, 査読有 96 (2016) 1008-1013.

[学会発表] (計 31 件)

[図書] (計 0 件)

[産業財産権]

○出願状況 (計 3 件)

○取得状況 (計 0 件)

[その他]

なし

6. 研究組織

(1) 研究代表者

松本 聡 (MATSUMOTO, Satoshi)

九州工業大学・大学院工学研究院・教授

研究者番号：10577282

(2) 研究分担者

馬場昭好 (BABA, Akiyoshi)

九州工業大学・マイクロ化総合技術センター・准教授

研究者番号：80304872

長谷川雅考 (HASEGAWA, Masataka)

産業技術総合研究所・ナノ材料研究部門

研究者番号：20357776

新海聡子 (SHINKAI, Satoko)

九州工業大学・マイクロ化総合技術センター・准教授

研究者番号：90374785