

令和 2 年 7 月 4 日現在

機関番号：12608

研究種目：基盤研究(B) (一般)

研究期間：2015～2019

課題番号：15H03972

研究課題名(和文) 選択成長法を用いたGaN系立体チャネル型トランジスタの研究

研究課題名(英文) GaN Transistors with Three-dimensional Channel Fabricated by Using Selective Area Growth

研究代表者

筒井 一生 (Tsutsui, Kazuo)

東京工業大学・科学技術創成研究院・教授

研究者番号：60188589

交付決定額(研究期間全体)：(直接経費) 12,200,000円

研究成果の概要(和文)：窒化ガリウム(GaN)によるパワーデバイスとして、従来の高移動度トランジスタ(HEMT)より優れた低損失特性が期待できる立体チャネルを持つFinFET(Fin field effect transistor)型トランジスタを、GaNの選択成長法を用いて作製するプロセス技術を検討した。また、合わせて高特性を得るためのデバイス構造をシミュレーションで検討した。実験では、選択成長法で形成したFin型チャネル領域への貫通転移の低減効果を明らかにし、実際にトランジスタの動作実証まで行った。

研究成果の学術的意義や社会的意義

GaNによるFinFETの研究はこれまで限定的に行われてきていたが、Fin構造を選択成長法で形成する提案は新規である。GaNのデバイス技術では結晶欠陥の制御が常に課題であるが、本提案は高性能デバイス実現に大きく貢献できる。また、パワーデバイス応用の観点で低損失特性をどこまで追求できるかの基礎的知見も明らかにできた。これらを通して、更なるGaNパワーデバイスの高性能化への一つの道筋が明らかになれば、社会の省エネルギー化に大きく貢献するデバイス技術になる。

研究成果の概要(英文)：For an application to gallium nitride (GaN) power devices, FinFETs (Fin field effect transistors) having a three-dimensional channel structure, which are expected to exhibit low-loss characteristics superior to conventional high electron mobility transistors (HEMTs), fabricated by using selective area growth technique were investigated. Device structures to obtain higher performance were also studied using device simulations. The experiments revealed suppressions of threading dislocations into the Fin structure channels fabricated by the selective area growth, and transistor operations were demonstrated.

研究分野：半導体デバイス、プロセス技術

キーワード：選択成長 立体チャネル パワーデバイス 窒化ガリウムGaN トランジスタ

1. 研究開始当初の背景

省エネルギー社会の実現は世界的にも大きな目標であり、再生可能エネルギーを含めた電力エネルギーの効率的活用は非常に重要である。その中で、電力の変換や制御を行う基幹デバイスである半導体パワーデバイスの役割は大きく、その高性能化が強く求められている。半導体材料の面では、世の中の実用パワーデバイスの殆どがシリコン(Si)である。Siのデバイス技術の成熟度は高く主流が続くものと考えられる。しかし、Siの物性的限界も明らかであり、それを凌駕し得る広バンドギャップ半導体に分類される炭化シリコン(SiC)や窒化ガリウム(GaN)などの半導体によるパワーデバイス研究が非常に活発で、一部実用化レベルに達するところまで来ていた。

本研究では、そのうち GaN 系パワーデバイスに着目した。GaN 系パワーデバイスの分野では、AlGaN/GaN ヘテロ構造を用いた高電子移動度トランジスタ (HEMT) が実用レベルまで研究開発が進んでいた。しかし、HEMT ではオン抵抗およびオフ時のリーク電流が充分低くなく、閾値の制御性にも課題がある。これを克服して、より低損失の高性能トランジスタとして立体チャネルを利用した FinFET タイプのトランジスタが期待できる(図1)。しかし、GaN 系の FinFET はこれまで限定的な研究に限られ、そのポテンシャルを明らかにする包括的な研究は始まっていなかった。

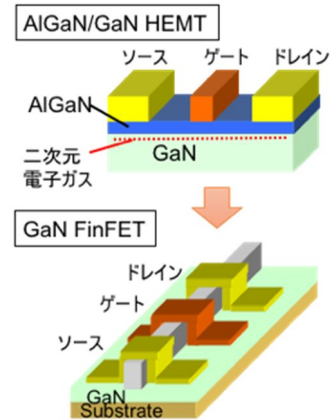


図1 GaN トランジスタ構造。従来の HEMT から新しい FinFET へ。

2. 研究の目的

GaN 系の FinFET について、実験によるデバイス実証と、シミュレーションを併用して高性能の FinFET の性能予測と最適構造の探索を行う事を目的とした。

デバイス作製プロセスでは、立体チャネルの Fin 構造を、従来から行われて来たエッチングで形成する方法に代わり、GaN の選択成長を用いて形成することを新規に提案した。GaN 系デバイスでは、その結晶品質が必ずしも充分高くないことに加えて、エッチング等の加工損傷を受けやすくその回復も困難である。そのため、エッチングで作製する FinFET は結晶品質が高くないために本来の性能が引き出せない可能性が高い。それに対して選択成長法は、基板結晶内の欠陥の混入を抑制し、かつ加工損傷も受けないため、非常に高品質の GaN 結晶をチャネルに利用できる。このメリットを実証することを目的とした。

また、GaN 系の FinFET には、Si の FinFET のように Fin 構造中をバルク状に電気伝導させる形他、HEMT で用いられるヘテロ界面の二次元電子ガスを Fin 構造内に形成してチャネルに用いる形も種々考えられる。本研究では、パワーデバイスとして重要な、オン抵抗とオフ耐圧のトレードオフに特に注目しながら、これらの種々のタイプの利害得失の比較、高特性を得るための構造設計の指針をシミュレーションから明らかにすることも目的とした。

3. 研究の方法

図2に、選択成長による GaN FinFET 作製プロセスの概略を示す。まず、サファイア基板上に高抵抗 GaN を有機気相成長 (MOCVD) 法でエピタキシャル成長した高抵抗 GaN 基板を作製し、その表面に選択成長のマスクとなる SiN あるいは SiO₂ 膜を堆積、そのマスク表面に電子線リソグラフィ法で窓開け加工をした後、再度 MOCVD 法で GaN を選択成長する。その選択成長 GaN (Fin 構造) の各種評価、さらにはデバイスプロセスを経て評価デバイスや FinFET を作製する。この一連の流れで、東工大グループと産総研グループは各プロセスをリレー式に分担して実験を進めた。すなわち、MOCVD による GaN の結晶成長は産総研が担当、それ以外のウエハプロセス、デバイス製作とその評価を東工大が担当した。

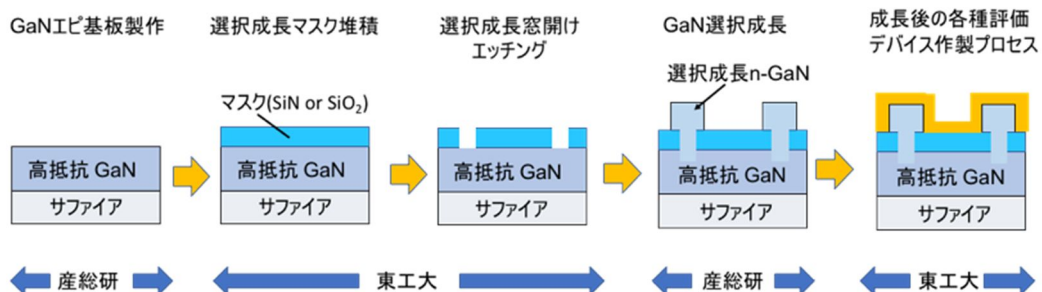


図2 選択成長法による GaN の Fin 構造形成、デバイス試作までのプロセスとその役割分担。

また、シミュレーションによる特性予測は、デバイスシミュレーター (synopsys 社の Sentaurus Device) を用いて、FinFET の平面方向の断面をモデル化した 2 次元シミュレーション

オンを実施した。本研究では、ドーパされた Fin 構造のバルク結晶中を電流が流れるモードの FinFET を主に検討した。

4. 研究成果

(1) 選択成長 Fin 構造の形状制御

選択成長で形成する Fin 構造は、トランジスタのチャネルとなる部分で、基本的には断面が長方形で幅に対する高さの比（アスペクト比）が大きい形状が望まれる。このためには、制御された異方性の強い GaN 結晶成長を実現しなければならない。そのため、基板の面内結晶方位に対する Fin 構造の形成方向、および選択成長時の成長条件について最適化を行った。前者は図 3 に示す選択成長マスクのストライプが(11 $\bar{2}$ 0)面に平行な「横ストライプ」と(10 $\bar{1}$ 0)面に平行な「縦ストライプ」で比較した。後者は GaN の MOCVD 成長時の温度、ガス流量、ガス圧力などの成長パラメータ依存性を調べた。

それらのうち、形状依存性が強く現れたストライプ方向とアンモニア (NH₃) ガス流量について主要な結果を図 4 にまとめて示す。ここでは、他の成長条件として、成長温度：1040 °C、成長圧力：13.3 kPa は一定である。縦ストライプでは常に側壁は(1 $\bar{1}$ 01)のファセット面が現れ断面形状は台形ないし三角形になったが、横ストライプでは(11 $\bar{2}$ 0)ファセット面が現れて垂直な側壁が現れ長方形の断面形状が得られた。また、この形状には NH₃ ガス流量依存性があり、流量を下げることで側壁は垂直化した。一方、更に下げると、側壁の垂直性は維持されるが成長断面のアスペクト比が下がることがわかった。また、Fin 構造の上面には成長面のラフネスが観測されたが、これも NH₃ ガス流量を下げることで低減できることがわかった。以上より、Fin 構造の形成方向は横ストライプとし、NH₃ ガス流量は 1.5 slm を最適条件と決めた。

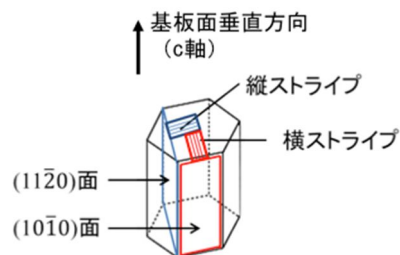


図 3 選択成長 GaN の結晶方位を基準とした Fin 構造形成のマスク開口ストライプの方向。

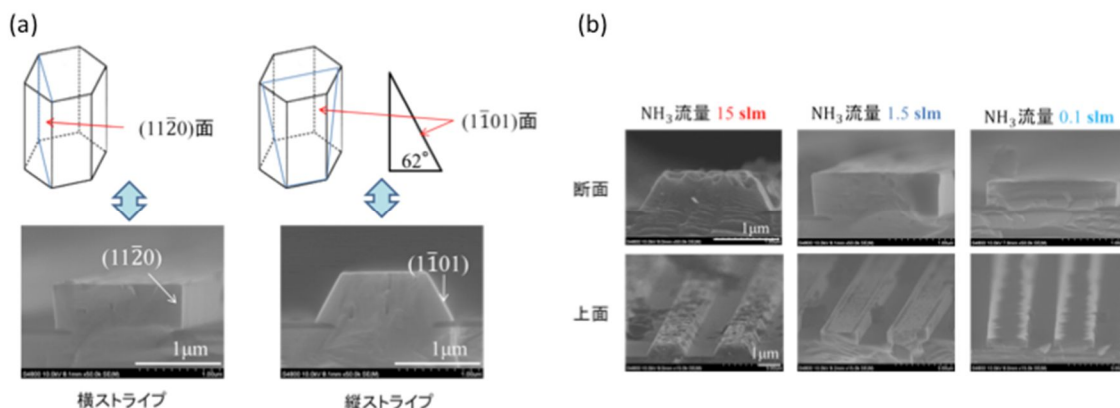


図 4 選択成長した GaN の Fin 構造の断面形状。(a) ストライプ方向異存性。NH₃ 流量：1.5 slm。(b) 横ストライプ方向（図 3 参照）での選択成長中の NH₃ 流量依存性。断面形状および成長上面のモフォロジー比較。

(2) 選択成長 Fin 構造中の結晶欠陥（転位）低減効果

選択成長で形成した GaN の Fin 構造に対して、断面透過電子顕微鏡 (TEM) 観察を行った。図 5 に選択成長のマスク開口幅（ストライプ幅）を 600 nm（同図(a)）および 100 nm（同図(b)）に変化させた場合を比較して示す。SiN の選択成長マスクの下側の GaN 基板結晶内には多くの貫通転位が観測され、開口 600 nm の例では開口領域下の転位が選択成長 GaN の中に侵入している。一方、開口 100 nm の例では、基板内の転位は全てマスクで遮断され、選択成長 GaN の中への侵入が阻止されている。これより、開口幅を狭くすることで、本研究の主要目的のひとつであった Fin 構造内での転位の低減が効果的に得られることが実証された。

また、選択成長 GaN は、マスク上に横方向にも広がって成長している。高アスペクト比を得るためには、横方

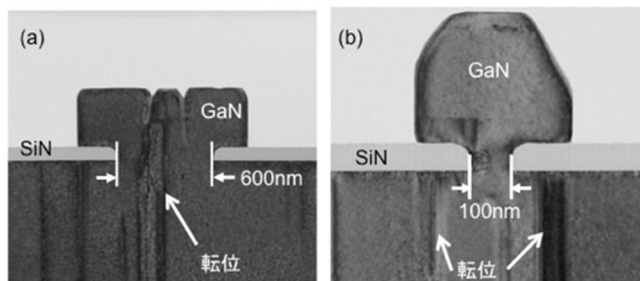


図 5 選択成長 GaN Fin 構造の断面 TEM 像。ストライプ開口幅が、(a) 600 nm、および(b) 100 nm の場合。

向の成長は抑制した方が良いが、このマスク上の横方向成長領域では転位の侵入を排除して高品質の結晶が得られている可能性が高く、この領域をチャネル領域として積極的に利用する考えもある。

(3) 選択成長 Fin 構造を用いた GaN FinFET の試作と動作実証

選択成長で形成した GaN Fin 構造を用いて、実際に GaN FinFET を試作した。トランジスタとしてオフ状態でドレイン電流を止めるためには、Fin 幅を 200 nm 程度以下に細くする必要はある。しかし、デバイス作製を行うための選択成長実験では、GaN の成長条件の関係もあり、これを満たす充分細い Fin 構造が得られなかった。そこで、当初の構想とはやや異なるプロセスと構造で FinFET を作製した。図 6 に Fin 構造作製プロセスを示す。選択成長で形成した幅広 (900 nm) の Fin 構造の中央部をエッチングで除去することにより、一つの成長窓ストライプの両側に 2 つの並行する Fin チャネルを形成した。このエッチングでは、 BCl_3/Ar 系の反応性イオンエッチング (RIE) を行った後に、損傷領域の除去と断面形状制御を目的に tetramethylammonium hydroxide (TMAH) を用いた異方性ウェットエッチングを行った。その結果として、幅 250 nm、高さ 300 nm で、側壁が垂直の(11 $\bar{2}$ 0)面となっている Fin 構造を形成した。なお、この Fin 構造は全体が成長窓部の外側に位置する横方向成長の領域であるため、上述のように基板からの転位の侵入が完全に抑制された高品質結晶になっていることが期待される。

このようにして形成した GaN Fin 構造に対して、Ti/TiN のコンタクト電極をソースおよびドレインとして形成し、ゲート領域は、原子層堆積 (ALD) 法による Al_2O_3 (40 nm 厚) をゲート絶縁膜として形成し TiN をゲート電極とした金属/絶縁膜/半導体 (MIS) 構造ゲートを形成した。作製した GaN FinFET の構造概略を図 7 に示す。ゲート長 33 μm 、ソース-ドレイン間距離 45 μm 、チャネル幅約 250 nm、チャネル高さ約 300 nm の GaN Fin チャネルが 18 本並列に並んでいる。これを一つのデバイスとして評価した。

測定評価したトランジスタ特性の例を図 8 に示す。まず、測定されたドレイン電流 (I_d) - ドレイン電圧 (V_{ds}) 特性を図 8(a) に示す。ゲート電圧 (V_{gs}) により I_d が変調され、トランジスタ動作が確認できた。しかし、同時に I_d には非常に大きなリーク電流成分が存在していた。これは、デバイスプロセス中に下地の高抵抗 GaN 層の一部が低抵抗化し、そこがリーク経路になったことが原因と判明した。そこで、このリーク電流成分を I_d から差し引いてプロットしなおした $I_d - V_{ds}$ 特性および $I_d - V_{gs}$ 特性を図 8(b) および (c) に示す。 $I_d - V_{ds}$ 特性では I_d の飽和特性も認められ、正常なトランジスタ動作を確認できた。また、 $I_d - V_{gs}$ 特性ではしきい値が約 -10

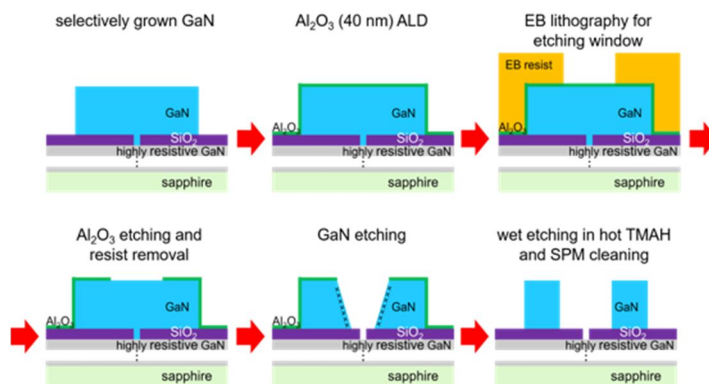


図 6 選択成長 GaN を分割して狭幅 Fin チャネルを形成するプロセス

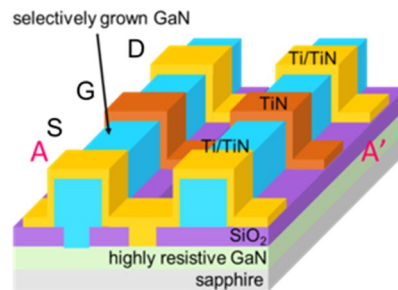


図 7 作製した GaN FinFET の構造概略

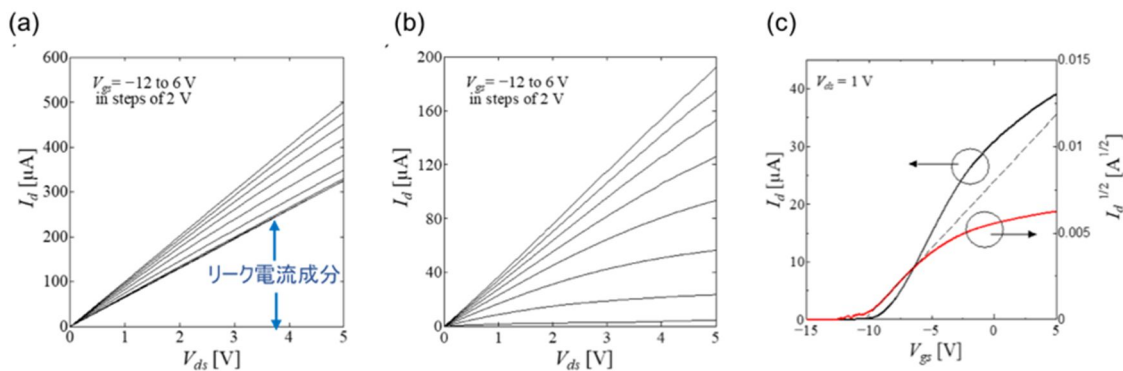


図 8 作製した選択成長 GaN FinFET の特性。(a) $I_d - V_{ds}$ 特性。(b)(c) (a) の特性からリーク電流成分を抽出し、 I_d からそれを差し引いた結果の特性。(b) $I_d - V_{ds}$ 特性。(c) $I_d - V_{gs}$ 特性。

V のノーマリーオン動作を示している。最終的には正のしきい値のノーマリーオフ動作が求められるが、今後、Fin 幅とドーピング濃度の制御を進めることで向上できると考えられる。

今回問題となった大きなリーク電流については、原因が特定でき、本研究課題終了後になったが、マスク形成プロセスの改良により抑制できる見通しまで得られている。

(4) シミュレーションによる GaN FinFET の特性予測

GaN 系 FinFET では、二次元電子ガスチャネルを使う場合を含めると種々の動作モードが考えられるが、本研究ではまず、試作デバイスとの類似性も考慮して、ドーピングされた n 形 GaN の Fin チャネル内を電流が流れるモードのトランジスタを対象とした。

パワーデバイスでは、オン状態での抵抗 (オン抵抗) が低いことと、オフ状態での高い耐電圧が同時に求められるが、これは基本的にトレードオフ関係にある。オン抵抗は、デバイスの実効的な面積で規格化した R_{onA} [cm^2] を指標とし、耐電圧 BV [V] との関係で議論される。本研究のシミュレーションでも、デバイスのこの特性に注目しながらデバイス構造、寸法および不純物濃度について検討した。

シミュレーションでは、図 9 に示すように FinFET の水平断面をモデル化した。Fin チャネルが MIS 形ゲートで挟まれたトランジスタの真性領域の前後にソースとドレインがあり、これでトランジスタは完全に動作するが、耐圧を確保するために真性領域からドレイン電極までの間のチャネルを延長したドリフト領域 (長さ L_d) を設ける。また、Fin チャネルの幅は 100 nm、ゲート長は 800 nm に固定したが、断面図の垂直方向にあたる Fin チャネルの高さは、Fin チャネルの幅に対するアスペクト比として可変した。その他、Fin チャネル内のドナー不純物濃度 N_D もパラメータである。また、図 9 では表現していないが、ゲート端での電界集中を緩和して BV を確保するためゲート絶縁膜をゲート電極端からドレイン方向に延長するフィールドプレート構造も取り入れてある。

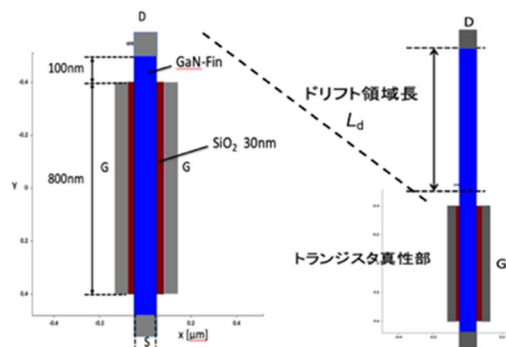


図 9 FinFET のシミュレーションモデル

種々のパラメータを変えながら R_{onA} および BV を計算し、結果を R_{onA} 対 BV のグラフにプロットした。その一例を図 10 に示す。ここでは、GaN の物性限界、GaN 系 HEMT の理論限界の線、また、実際の GaN 系 HEMT での実験報告値が示されている (出典: Ohashi, Proc. 24th ISPSD, p.9, June, 2012.) このグラフ内に、シミュレーション結果を重ねてプロットしてある。まず、 L_d 依存性として、 L_d が長いほど BV は高くなるが、この部分の抵抗が効くため R_{onA} も高くなり、右上がりの傾向が現れる。これがトレードオフ関係である。 BV を確保しながら R_{onA} を下げることが望まれるが、そのためには N_D を高くするのが有効である。しかし、 N_D は高くしすぎると、ドリフト領域内での空乏層の拡張が制限され、 BV が低下する。 $L_d = 6 \mu\text{m}$ で $N_D = 3 \times 10^{16} \text{cm}^{-3}$ の点で BV が下がるのはそのためである。

これらの計算値は、HEMT の実験値とほぼ重なる領域にある。このままでは、HEMT にたいする優位性は見えないが、より R_{onA} を下げる余地が次のように存在する。まず、単純化するとアスペクト比に反比例して R_{onA} は下がるので、ここでの 6 よりも大きな形状

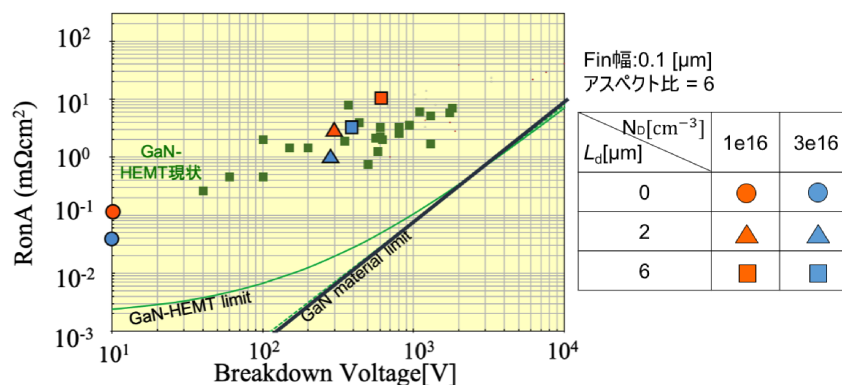


図 10 シミュレーションで算出した GaN FinFET の R_{onA} 対 BV プロット。アスペクト比 6 の場合の L_d および N_D 依存性。

ができれば低抵抗化できる。これは実際にはデバイス製作のプロセスとの関係で議論するところである。また、ドリフト領域の幅を拡張する形状の工夫が考えられる。これについてはシミュレーションで検討し、その有効性は確認できたが、電界集中による BV 低下も起こることがわかり、形状の最適化でこれをどこまで制御できるかは今後の課題となった。今後、これらを取り入れられれば、 R_{onA} は低減でき、従来の HEMT を凌駕する特性 (理論限界に近づく) は充分可能性があるかと結論した。

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計9件（うち招待講演 0件 / うち国際学会 1件）

1. 発表者名	Takuya Hamada, Hayato Mukai, Tokio Takahashi, Toshihide Ide, Mitsuaki Shimizu, Hiroki Kuroiwa, Takuya Hoshii, Kuniyuki Kakushima, Hitoshi Wakabayashi, Hiroshi Iwai, and Kazuo Tsutsui
2. 発表標題	Electrical properties of selectively grown GaN channel for FinFETs
3. 学会等名	Int. Workshop on Nitride Semiconductors (IWN2018) (国際学会)
4. 発表年	2018年

1. 発表者名	濱田拓也, 向井勇人, 高橋言緒, 井手利英, 清水三聡, 星井拓也, 角嶋邦之, 若林整, 岩井洋, 筒井一生
2. 発表標題	FinFET応用に向けた選択成長GaNチャネルの電気特性
3. 学会等名	第82回半導体・集積回路シンポジウム
4. 発表年	2018年

1. 発表者名	高山研, 向井勇人, 濱田拓也, 高橋言緒, 井手利英, 清水三聡, 星井拓也, 角嶋邦之, 若林整, 岩井洋, 筒井一生
2. 発表標題	GaN Fin構造選択成長における低抵抗領域の発生原因の検討
3. 学会等名	第80回応用物理学会秋季学術講演会
4. 発表年	2019年

1. 発表者名	向井勇人, 高山研, 濱田拓也, 高橋言緒, 井手利英, 清水三聡, 星井拓也, 角嶋邦之, 若林整, 岩井洋, 筒井一生
2. 発表標題	選択成長法を用いたGaN FinFETの作製
3. 学会等名	第80回応用物理学会秋季学術講演会
4. 発表年	2019年

1. 発表者名 向井 勇人、濱田 拓也、高橋 言緒、井出 利英、清水 三聡、星井 拓也、角嶋 邦之、若林 整、岩井 洋、筒井 一生
2. 発表標題 立体チャネルトランジスタ応用に向けた選択成長GaNの異方性エッチング
3. 学会等名 第79回応用物理学会秋季学術講演会
4. 発表年 2018年

1. 発表者名 濱田 拓也、向井 勇人、高橋 言緒、井手 利英、清水 三聡、星井 拓也、角嶋 邦之、若林 整、岩井 洋、筒井 一生
2. 発表標題 FinFET応用に向けた選択成長GaNチャネルの電気特性
3. 学会等名 第66回応用物理学会春期学術講演会
4. 発表年 2019年

1. 発表者名 黒岩 宏紀、濱田 拓也、高橋 言緒、井出 利英、清水 三聡、星井 拓也、角嶋 邦之、若林 整、岩井 洋、筒井 一生
2. 発表標題 立体チャネルトランジスタ応用に向けた選択成長GaNの形状制御
3. 学会等名 第78回応用物理学会秋季学術講演会
4. 発表年 2017年

1. 発表者名 濱田 拓也、黒岩 宏紀、高橋 言緒、井手 利英、清水 三聡、星井 拓也、角嶋 邦之、若林 整、岩井 洋、筒井 一生
2. 発表標題 立体チャネルトランジスタ応用に向けた選択成長GaNの貫通転位の低減
3. 学会等名 第65回応用物理学会春季学術講演会
4. 発表年 2018年

1. 発表者名 黒岩 宏紀、武井 優典、高橋 言緒、井手 利英、清水 三聡、筒井 一生、角嶋 邦之、若林 整、岩井 洋
2. 発表標題 立体チャネルトランジスタ応用に向けたGaN選択成長の検討
3. 学会等名 第63回応用物理学会春季学術講演会
4. 発表年 2016年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

<p>東京工業大学 未来産業技術研究所ホームページ http://www.first.iir.titech.ac.jp/member/core2.html#tsutsui 東京工業大学 筒井研究室 http://www.tsutsui.ep.titech.ac.jp</p>

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究分担者	清水 三聡 (Shimizu Mitsuaki) (10357212)	国立研究開発法人産業技術総合研究所・エレクトロニクス・製造領域・ラボ長 (82626)	
研究分担者	星井 拓也 (Hoshii Takuya) (20611049)	東京工業大学・工学院・助教 (12608)	
研究分担者	角嶋 邦之 (Kakushima Kuniyuki) (50401568)	東京工業大学・工学院・准教授 (12608)	

6. 研究組織（つづき）

	氏名 (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究 分 担 者	中島 昭 (Nakajima Akira) (60450657)	国立研究開発法人産業技術総合研究所・エネルギー・環境領 域・主任研究員 (82626)	