

科学研究費助成事業 研究成果報告書

令和元年6月15日現在

機関番号：12608

研究種目：若手研究(A)

研究期間：2015～2018

課題番号：15H05304

研究課題名(和文)次世代電波望遠鏡用周波数解析装置の研究開発

研究課題名(英文)Development of Next Generation Spectrometer for Radio Telescope

研究代表者

中原 啓貴 (NAKAHARA, HIROKI)

東京工業大学・工学院・准教授

研究者番号：20624414

交付決定額(研究期間全体)：(直接経費) 19,000,000円

研究成果の概要(和文)：分光器の演算順序を入換えたアルゴリズムと剰余数系(Residue Number System: RNS)を適用したFFTを既存設備であるROACH2ボードに実装し、CASPERが公開している既存の分光器と比較して、50倍の帯域・16384倍の分解能を持つ分光器を実現した。観測後のデータ分類器をCNN(Convolutional Neural Network)を対象としてハードウェア化した。CNNを低ビット化(Binary)とスパース化(Ternary)し、FPGA実装による実用性を明らかにした。

研究成果の学術的意義や社会的意義

次世代電波望遠鏡用分光器を現行のROACH2 FPGAボード1台で実現できることができる。本研究では、提案回路の応用を電波望遠鏡としているが、ドップラー効果を利用した応用(CTスキャナ、海洋レーダ、気象レーダ等)に転用する事が可能となった。

また、観測後のデータを要(測定対象)/不要に分類するDeep Learningの一種であるConvolutional Neural Network (CNN)のFPGA化に適したハードウェア削減・高速化手法を研究開発できたため、帯域・実装コストの削減が可能となり、監視カメラ・自動運転・ロボット・ドローン等へと適用可能となった。

研究成果の概要(英文)：We implemented an algorithm in which the operation order of spectrometers has been changed and an FFT circuit based on Residue Number System (RNS) is applied to the existing FPGA board (ROACH2 board), which is an existing facility. We compared it with the existing spectrometer released by CASPER (The Collaboration for Astronomy Signal Processing and Electronics Research). A 50 times wider and 2 points resolution spectrometer was realized by our development technologies. The data classifier after observation was realized for a CNN (Convolutional Neural Network). We reduced the size of CNN hardware by binary precision and sparse (Ternary, pruning zero weights) and clarified the practicability of FPGA implementation.

研究分野：Computer System

キーワード：FPGA Radio Telescope Digital Signal Spectrometer FFT RNS Deep Learning CNN

1. 研究開始当初の背景

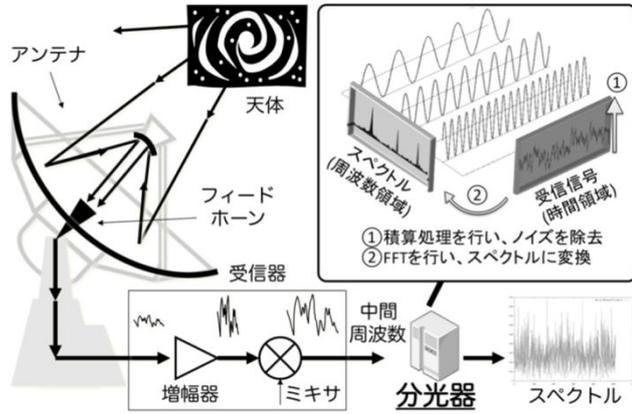


図 1 : 電波望遠鏡

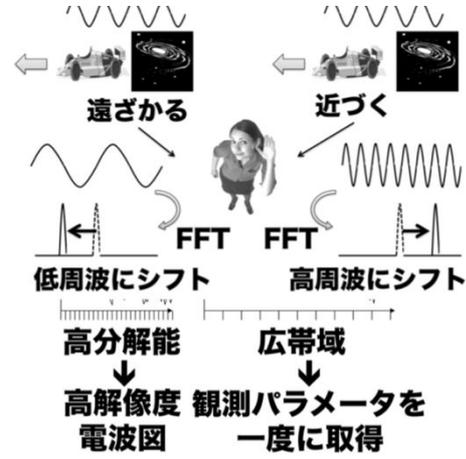


図 2 : 電波観測の原理

電波望遠鏡は宇宙の天体が放射する電波を受信し、観測する装置である。図 1 に電波望遠鏡の構成を示す。まず、天体からの電波をアンテナで受信した後、受信器のミキサとアンプで増幅・中間信号への変換を行う。次に、分光器で FFT(Fast Fourier Transform: 高速フーリエ変換)を行い周波数領域のスペクトルに変換し、解析を行う。図 2 に電波観測の原理を示す。物体が移動するとき、その物体が放射する音波(電波)の観測周波数はその移動距離に比例してシフトする(図 2 上)。電波望遠鏡はドップラー効果を利用して、天体の位置・構成を解析する。従って、

- (1) 周波数分解能を上げることで高解像度な電波天体図を得る事ができる。
- (2) 帯域を広げる事で、様々なパラメータを一度に得る事ができる。

2018 年に国際共同で次世代電波望遠鏡を建築する SKA(Square Kilometer Array)計画が進んでおり、電波天文学界では国際開発共同プロジェクト CASPER(Collaboration for Astronomy Signal Processing and Electronics Research)が立ち上がっている。共同開発プラットフォームとして ROACH(Reconfigurable Open Architecture Computing Hardware) FPGA(Filed Programmable Gate Array, 書換可能な LSI)ボードが開発されている。次世代電波望遠鏡では高分解能(230 点)・広帯域(40 GHz)が要求されている。既存の FFT 回路は分解能に対して指数関数的にメモリ量が増えるため、既存の FFT 回路を用いた場合、分解能は 216 点、帯域は 0.8GHz であり、高分解能・広帯域化が実現できなかった。また、電波望遠鏡では測定データを大量に保存し、それらを後処理して観測する(干渉計など)。従って、大量のデータを長期で保存するとストレージが不足する問題もある。

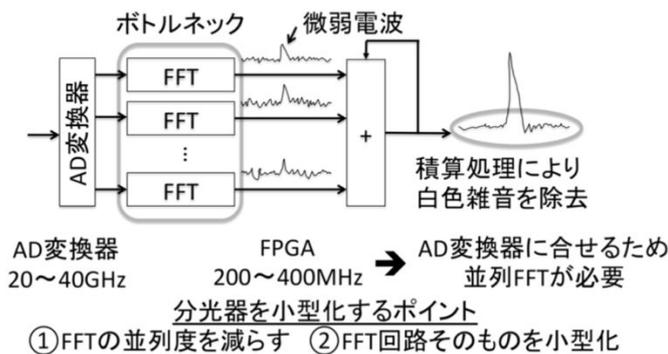


図 3 : 既存の分光器の構成と小型化のポイント

研究着想に至った経緯

図 3 に CASPER で開発中の分光器を示す。まず、AD 変換器を用いて受信信号をデジタル信号に変換する。AD 変換器の処理速度(10~40GHz)が FPGA(100MHz~400MHz)よりも高速であるため、FPGA に FFT 回路を 64~128 並列実装する必要がある。天体からの電波は微弱であるため、積算処理を行って乱数でモデル化できるノイズを除去し、受信信号のスペクトルを得る。これらのことから、次世代分光器に要求される高分解能・広帯域を以下の手法で解決できると着想した。

1 FFT 並列度の削減 計算順序の入換え分光器の面積を解析すると、FFT の面積が支配的である。従って、積算処理を十分な時間をかけて行いノイズを除去する。そして、十分な空き時間を利用して単一の FFT を行う。これにより、FFT の並列度を削減できる。

2 FFT 回路の削減 剰余数系システムの適用剰余数系システム(RNS: Residue Number System)とは N ビットの信号を L 組の整数 $\{m_1, m_2, \dots, m_L\}$ の剰余に分解する手法である。剰余数系システムを用いる事で、FFT 回路を分割できる。FFT を書換え可能 LSI である FPGA で実現した場合、入力数 n ビットの指数関数的オーダ $O(2^n)$ で面積が増加する。従って、入力を RNS を用いて分解する事で FFT 回路の面積を削減できる。

3 機械学習の導入 測定データのストレージ削減機械学習、特に大量のデータを用いて学習する Deep Learning(深層学習)を後処理に導入することで、人力によるデータの選別を効率よく置き換えることが可能である。電波望遠鏡で収集するデータが主に 2 次元画像であり、画像処理の分類に適した Convolutional Neural Network を効率よくハードウェア化できれば、ストレージの問題を解決できる。

2. 研究の目的

2 つの提案手法を適用して各手法の性能を明らかにし、その組合せによる性能を明らかにする。SKA 計画で建築中の次世代電波望遠鏡で要求されているスペック(分解能 230 点、帯域 40 GHz)、すなわち、既存の分光器と比較して分解能で 16384 倍、帯域で 50 倍の分光器を実現する。本研究は周波数解析装置の処理手順を置換し、剰余数系を適用する点が特色である。現在の分光器が大規模 FPGA を数十個用いて実現しているのに対し、提案手法は FFT 回路そのものを小型化させることで性能向上を狙っている点が独創的である。本研究により、次世代電波望遠鏡用分光器を現行の ROACH2 FPGA ボード 1 台で実現できることができる。本研究では、提案回路の応用を電波望遠鏡としているが、ドップラー効果を利用した応用は多々あり、CT スキャナ、海洋レーダ、気象レーダ等、様々な防災・観測に転用する事が可能である。学術的には FFT 回路をアプリケーションに応じた条件を加味しつつシステムが許容する制限を利用すれば小型化できるという点において意義があるといえる。また、観測後のデータを要(測定対象)/不要に分類する Deep Learning の一種である Convolutional Neural Network (CNN) の FPGA 化に適したハードウェア削減・高速化手法を研究開発する。特に、メモリ量を削減できれば FPGA のオンチップメモリで処理できるため、帯域・実装コストの削減が可能となる。また、CNN 回路を監視カメラ・自動運転・ロボット・ドローン等の広範囲のアプリケーションへと適用可能となる。

3. 研究の方法

2 つの手法を用いて次世代電波望遠鏡で要求される分光器を実現する。まず、分光器の演算順序を入換えたアルゴリズムを既存設備である小型 FPGA ボードに実現し、実現可能か確認する。平行して、剰余数系(Residue Number System: RNS)を適用した FFT を既存設備である小型 FPGA ボードに実現し、実現可能か確認する。検討結果を元に、電波天文共同開発プラットフォームである ROACH2 ボードに実装する。実装で得られた知見は次世代プラットフォームの開発を行う CASPER に提言する。各手法をそれぞれ国立野辺山天文台にある電波望遠鏡に適用し、観測に使用する。最後に、2 つの手法を ROACH2 ボードに実装し、CASPER が公開している既存の分光器と比較して、50 倍の帯域・16384 倍の分解能を持つ分光器を実現する。開発後の分光器を次世代電波望遠鏡開発計画である SKA(Square Kilometer Array)に実装し、電波観測を行う。CNN のハードウェア化に関しては低ビット化(Binary)とスパース化(Ternary)を検討する。また、混合精度による削減と回帰問題に適したデータ構造の検討を行い、FPGA 実装による優位性を明らかにする。

4. 研究成果

分光器の計算順序の入換えによる FFT 部の並列度削減

電波望遠鏡で受信する天体からの電波は弱いので、積算処理は数分~数時間行っている。つまり、ノイズを除去する時間が支配的である。まず、積算処理から行いノイズを除去してから FFT を行う。つまり、計算順序を入換えることで、FFT をかける時間を十分確保し、単一の FFT 回路で行うのがポイントである。Xilinx 社の合成ツールである Vivado 2014.3 を用いた計算機上での仮設計の結果、CASPER で公開している分光器と比較して FPGA の組込みメモリ量を 92.3%、LUT 数を 33%削減する事ができた。その結果、帯域を 12.5 倍拡大でき、分解能を 128 倍増やす事ができることを予備実験で確認した。

剰余数システム(Residue Number System: RNS)の適用による FFT 回路の面積削減

RNS とは N ビットの信号を L 組の整数のベクトル $\{m_1, m_2, \dots, m_L\}$ に対する剰余で表現するシ

ステムである。RNS を用いる事により、各桁で独立して加減乗算を行える。即ち、FFT 計算の入力データを L 個に分割することができる。FPGA の LUT で FFT 回路を構成するとき、面積の指標である LUT 数は入力データのビット数 n に対して指数関数オーダー $O(2n)$ に比例する。即ち、入力データを RNS を用いて分割すると指数関数的に LUT 数を削減できる。Xilinx 社の合成ツールである Vivado 2014.3 を用いた計算機上での仮設計の結果、Xilinx 社 FFT IP と比較して FPGA の LUT 数を 42% 削減する事ができ、高分解能な FFT を実装できる事を確認した。

深層学習(Deep Learning)の適用による自動識別装置の実用化

2015 年に剰余数系を発展したネスト式剰余数系に基づく CNN, 2016 年に世界初となる 2 値 CNN, 2017 年にグローバルプリーングを用いた中間フル結合層除去 CNN とフルパイプライン化 CNN による物体認識, 2018 年に混合精度型 CNN の専用ハードウェア化を FPGA 上に実現してきた。これらはカスタム CNN を学習するための専用学習方式を含む。特に、2018 年に FPGA のトップ国際会議である ISFPGA2018 において、深層学習のセッションで日本人初のフルペーパー採録され、国際的に評価された。また、FPGA を対象とした CNN 専用回路のサーベイ論文に日本人で唯一引用され、世界 3 位の電力性能効率を達成した。これらの手法を電波天文観測の識別で用いられている AstroNet-K2 に適用し、Xilinx 社 Virtex7 VC707FPGA ボード上を実現可能なサイズまで削減することに成功した。

5 . 主な発表論文等

{ 雑誌論文 }(計 7 件)

1. Akira Jinguji, Shimpei Sato, Hiroki Nakahara: An FPGA Realization of a Random Forest with k-Means Clustering Using a High-Level Synthesis Design. IEICE Transactions 101-D(2): 354-362 (2018)

2. Tomoya Fujii, Shimpei Sato, Hiroki Nakahara: A Threshold Neuron Pruning for a Binarized Deep Neural Network on an FPGA. IEICE Transactions 101-D(2): 376-386 (2018)

3. Kota Ando, Kodai Ueyoshi, Kentaro Orimo, Haruyoshi Yonekawa, Shimpei Sato, Hiroki Nakahara, Shinya Takamaeda-Yamazaki, Masayuki Ikebe, Tetsuya Asai, Tadahiro Kuroda, Masato Motomura: BRein Memory: A Single-Chip Binary/Ternary Reconfigurable in-Memory Deep Neural Network Accelerator Achieving 1.4 TOPS at 0.6 W. J. Solid-State Circuits 53(4): 983-994 (2018)

4. Hiroki Nakahara, Tsutomu Sasao, Hisashi Iwamoto, Munehiro Matsuura: LUT Cascades Based on Edge-Valued Multi-Valued Decision Diagrams: Application to Packet Classification. IEEE J. Emerg. Sel. Topics Circuits Syst. 6(1): 73-86 (2016)

5. Hiroki Nakahara, Tsutomu Sasao, Munehiro Matsuura, Hisashi Iwamoto: An Update Method for a Low Power Cam Emulator Using an LUT Cascade Based on an EVMDD (k). Multiple-Valued Logic and Soft Computing 26(1-2): 109-123 (2016)

6. Hiroki Nakahara, Hiroyuki Nakanishi, Kazumasa Iwai, Tsutomu Sasao: An FFT Circuit for a Spectrometer of a Radio Telescope using the Nested RNS including the Constant Division. SIGARCH Computer Architecture News 44(4): 44-49 (2016) 2015.

7. Hiroki Nakahara, Tsutomu Sasao, Munehiro Matsuura, Hisashi Iwamoto, Yasuhiro Terao: A Memory-Based IPv6 Lookup Architecture Using Parallel Index Generation Units. IEICE Transactions 98-D(2): 262-271 (2015)

{ 学会発表 }(計 24 件)

1. Masayuki Shimoda, Youki Sada, Hiroki Nakahara: Filter-Wise Pruning Approach to FPGA Implementation of Fully Convolutional Network for Semantic Segmentation. ARC 2019: 371-386, 2019.

2. Hiroki Nakahara, Akira Jinguji, Masayuki Shimoda, Shimpei Sato: An FPGA-based Fine Tuning Accelerator for a Sparse CNN. FPGA 2019: 186, 2019.

3. Hiroki Nakahara, Haruyoshi Yonekawa, Tomoya Fujii, Shimpei Sato: A Lightweight

YOLOv2: A Binarized CNN with A Parallel Support Vector Regression for an FPGA. FPGA 2018: 31-40, 2018.

4. [Hiroki Nakahara](#), Masayuki Shimoda, Shimpei Sato: A Demonstration of FPGA-Based You Only Look Once Version2 (YOLOv2). FPL 2018: 457-458, 2018.

5. Masayuki Shimoda, Shimpei Sato, [Hiroki Nakahara](#): Demonstration of Object Detection for Event-Driven Cameras on FPGAs and GPUs. FPL 2018: 461-462, 2018.

6. Masayuki Shimoda, Shimpei Sato, [Hiroki Nakahara](#): Power Efficient Object Detector with an Event-Driven Camera on an FPGA. HEART 2018: 10:1-10:6, 2018.

7. Haoxuan Cheng, Shimpei Sato, [Hiroki Nakahara](#): A Performance Per Power Efficient Object Detector on an FPGA for Robot Operating System (ROS). HEART 2018: 20:1-20:4, 2018.

8. [Hiroki Nakahara](#), Tsutomu Sasao: A High-speed Low-power Deep Neural Network on an FPGA based on the Nested RNS: Applied to an Object Detector. ISCAS 2018: 1-5, 2018.

9. Haruyoshi Yonekawa, Shimpei Sato, [Hiroki Nakahara](#): A Ternary Weight Binary Input Convolutional Neural Network: Realization on the Embedded Processor. ISMVL 2018: 174-179, 2018.

10. Taro Fujii, Takao Toi, Teruhito Tanaka, Katsumi Togawa, Toshiro Kitaoka, Kengo Nishino, Noritsugu Nakamura, [Hiroki Nakahara](#), Masato Motomura: New Generation Dynamically Reconfigurable Processor Technology for Accelerating Embedded AI Applications. VLSI Circuits 2018: 41-42, 2018.

11. Kentaro Sano, [Hiroki Nakahara](#): Hardware Algorithms. Principles and Structures of FPGAs 2018: 137-177, 2017.

12. Tomoya Fujii, Shimpei Sato, [Hiroki Nakahara](#), Masato Motomura: An FPGA Realization of a Deep Convolutional Neural Network Using a Threshold Neuron Pruning. ARC 2017: 268-280, 2017.

13. [Hiroki Nakahara](#), Haruyoshi Yonekawa, Hisashi Iwamoto, Masato Motomura: A Batch Normalization Free Binarized Convolutional Deep Neural Network on an FPGA (Abstract Only). FPGA 2017: 290, 2017.

14. [Hiroki Nakahara](#), Tomoya Fujii, Shimpei Sato: A fully connected layer elimination for a binarized convolutional neural network on an FPGA. FPL 2017: 1-4, 2017.

15. [Hiroki Nakahara](#), Haruyoshi Yonekawa, Shimpei Sato: An object detector based on multiscale sliding window search using a fully pipelined binarized CNN on an FPGA. ICFPT 2017: 168-175, 2017.

16. Masayuki Shimoda, Shimpei Sato, [Hiroki Nakahara](#): All binarized convolutional neural network and its implementation on an FPGA. ICFPT 2017: 291-294, 2017.

17. Haruyoshi Yonekawa, [Hiroki Nakahara](#): On-Chip Memory Based Binarized Convolutional Deep Neural Network Applying Batch Normalization Free Technique on an FPGA. IPDPS Workshops 2017: 98-105, 2017.

18. [Hiroki Nakahara](#), Akira Jinguji, Shimpei Sato, Tsutomu Sasao: A Random Forest Using a Multi-valued Decision Diagram on an FPGA. ISMVL 2017: 266-271, 2016.

19. [Hiroki Nakahara](#), Haruyoshi Yonekawa, Tsutomu Sasao, Hisashi Iwamoto, Masato Motomura: A memory-based realization of a binarized deep convolutional neural network. FPT 2016: 277-280, 2016.

20. [Hiroki Nakahara](#), Akira Jinguji, Tomonori Fujii, Shimpei Sato: An acceleration of a random forest classification using Altera SDK for OpenCL. FPT 2016: 289-292, 2016.

21. Hiroki Nakahara, Tsutomu Sasao, Hiroyuki Nakanishi, Kazumasa Iwai, Tohru Nagao, NaoyaOgawa:An FFT Circuit Using Nested RNS in a Digital Spectrometer for a Radio Telescope. ISMVL2016: 60-65, 2015.

22. Hiroki Nakahara, Hideki Yoshida, Shin-ich Shioya, Renji Mikami, Tsutomu Sasao:A Dynamically Reconfigurable Mixed Analog-Digital Filter Bank. ARC 2015: 267-279, 2015.

23. Hiroki Nakahara, Tsutomu Sasao:A deep convolutional neural network based on nested residue number system. FPL 2015: 1-6,2015.

24. Hiroki Nakahara, Tsutomu Sasao, Hiroyuki Nakanishi, Kazumasa Iwai:An RNS FFT Circuit Using LUT Cascades Based on a Modulo EVMDD. ISMVL 2015: 97-102, 2015.

{ 図書 }(計 2 件)

1. Hiroki Nakahara et. al :Hardware Algorithms. Principles and Structures of FPGAs 2018: 1-244, 2018.

2. 中原ら:FPGA の原理と構成: オーム社 (2016/4/22), ISBN-10: 4274218643.

6 . 研究組織
なし

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属されます。