

令和元年6月5日現在

機関番号：82626

研究種目：若手研究(A)

研究期間：2015～2018

課題番号：15H05525

研究課題名(和文)脳神経電位の網羅的超多チャンネル計測に向けた次世代アナログ圧縮センシングチップ

研究課題名(英文)Advanced analog compressed sensing chip for massively-arrayed neural recording

研究代表者

秋田 一平(Akita, Ippei)

国立研究開発法人産業技術総合研究所・エレクトロニクス・製造領域・主任研究員

研究者番号：10612385

交付決定額(研究期間全体)：(直接経費) 18,100,000円

研究成果の概要(和文)：本研究期間においては、脳・機械接続技術(Brain machine interface)を実現のための研究開発として生体埋込デバイスの目指しており、主に、フレキシブルデバイス(生体適合パッケージかつセンサ/無線通信・給電用アンテナ)とLSIチップ(アンプ、ADC、無線回路等)の融合プロセス、及び、圧縮センシング理論をLSI化(ハードウェア化)を行った。前者については体内の埋込デバイスへの無線給電を想定したシステムを実現・実証し、後者については脳活動センシングを想定した100chアナログ計測と信号圧縮を同時に行うLSIの試作・実証に成功し、従来比で約80%の低消費電力化に成功している。

研究成果の学術的意義や社会的意義

脳活動計測など、生体内部をセンシングするためには長期的にかつ安定・安全に計測ができるための小型化・生体適合性・低消費電力化・体内への給電等様々な技術的課題を克服する必要がある。本研究で得られた結果から、生体適合性を保ちつつ小型化・高機能化を両立するような実装技術を確立できた。一方で、生体センシングに際しては情報量をより多く得るために多チャンネル化が進んでおり、データ量増大に伴う消費電力増加が問題となりより効率的な情報圧縮手法が要求されている。これを解決する技術として、センシングと情報圧縮を同時に行う新たな計測技術を考案した。これらは、将来の安定・安全な生体センシングに貢献するものと期待できる。

研究成果の概要(英文)：In this study, for realizing brain-machine interfaces (BMIs) two key technologies are mainly proposed; one is an implantable flexible device combining sensors and antennas made of bio-compatible materials with analog/digital signal processing LSIs for amplification, ADC, wireless powering and communication. The fabricated devices demonstrate that wireless power transfer assuming implanted devices, and neural signal sensing with the combination of flexible electrode device and a custom amplifier chip. The another technology is a multi-channel neural activity analog frontend LSI adopting compressed sensing scheme, resulting in more power efficient sensing LSI for multi-channel sensor application. The fabricated prototype chip achieves 100-ch sensing and data compression, simultaneously. The measurement results show that the power efficiency is almost 10x higher than conventional state-of-the-art designs.

研究分野：集積回路設計

キーワード：アナログ・デジタル集積回路 脳活動計測 圧縮センシング フレキシブル

様式 C-19、F-19-1、Z-19、CK-19（共通）

1. 研究開始当初の背景

脳機能の解明やヒトが失った身体機能を取り戻す技術として脳・機械（コンピュータ）接続（Brain-machine interface: BMI, Brain-computer interface: BCI）技術が期待されている。BMI 実現に関して、脳活動計測などの生体内部をセンシングするためには、長期的かつ安定・安全に計測を行う必要があり、特に、小型化・生体適合性・低消費電力化・体内への給電、多チャネル計測及びそのデータ処理・通信等の様々な技術的課題を克服する必要がある。

2. 研究の目的

本研究は、上記のような BMI 実現のために必須な技術である、体内埋込みが可能なセンシングチップのための新規回路技術創出を目的としており、特に、そのようなチップの低消費電力化、計測精度、チャネル数、実装方法等の所望の仕様間にあるトレードオフを緩和するために、アナログ・デジタル集積回路技術やパッケージング技術等を駆使して取り組む。

具体的には、センシングの多チャネル化に伴う電力等増大に関する課題に対しては、その解決手法として圧縮センシング（Compressed sensing / Compressive sensing）の LSI 化（ハードウェア化）というアプローチで、また、小型化・生体適合性・高機能化に関してはフレキシブルデバイスと Si LSI の融合実装プロセス技術を以って設計・試作・実証を通じて有効性を確認する。また、一方でそれぞれのシステムを実現するための各主要回路技術の研究開発にも取り組み、それらが上記システムへと適用されることで、全体での性能向上や低消費電力化実現を研究目的としている。

3. 研究の方法

3.1 圧縮センシングエンコーダ

本研究においては、多チャネル化やそのデータ処理・通信部分における課題や、実際の埋込デバイスとしての小型化や生体適合性実現のための実装技術等に焦点を当てている。脳活動計測などの生体センシングにおいては、その計測されるデータ量に比例して情報量が得られると考えられているため、年々センサ数、つまり、チャネル数は増加する傾向にある。また一方で、各チャネルの信号帯域幅を広くとってセンシングすることで同様の効果を狙うことも可能であるため、結果として時空間的にデータ量は増加し、これらを効率的にかつ実時間内にて処理することが困難になると予測される。

特に、想定する BMI システムはワイヤレス通信によりその得られたデータを外部へと送信することを考えているため、通信に要する帯域もまた増加し低消費電力化をより難しくしてしまう。よって、将来的に要求される多チャネルセンシングという方向性は、センシング回路数増加、デジタル処理量増加、無線送信データ量増加などの観点で、消費電力の大幅な増加を招くことになると予想できる。そのため、現状そのような多チャネルセンシングに際しては、デジタル領域においてセンシングデータの圧縮処理を行った上で無線送信が行われている。ただし、そのような状況においても、圧縮処理までのデータ量は依然多いままであり、センシングにおけるアンプ等のフロントエンド（アナログフロントエンド：AFE）回路や AD 変換回路（ADC）、圧縮処理回路等はチャネル数分だけの信号パスと高速なデータレートのまま処理がなされることになるため、これらに関する消費電力やチップ上の面積は大きいままであるという潜在的な問題がある。

以上より、多チャネルセンシングに関する計測回路においては、よりセンサに近い段階でデータ圧縮がなされるのが望ましく、特に本研究においては、アナログ領域におけるセンシングと、データ圧縮の融合を試みている点が特徴である。つまり、センシングを行いながら圧縮処理を実施することを本研究の着想の起源としており、その手段として圧縮センシングの応用及びハードウェア実装を検討する。圧縮センシングの基本的なエンコーディング処理（つまり圧縮処理）は、図 1a に示すように、 N チャネル分の入力 $v_i(i=1..N)$ を N 次元入力ベクトル \mathbf{v} とした場合、サイズが $M \times N$ の行列 \mathbf{A} との積 $\mathbf{A}\mathbf{v}$ として実行することであり、その結果である M 次元ベクトル \mathbf{c} が圧縮後のデータ系列となる。つまり、 $N > M$ とすることで空間的なデータ圧縮を可能とする。ここで、 \mathbf{A} は観測行列であり、各要素は $-1/+1$ の 2 値をランダムに取る行列である。

以上のような圧縮センシングのエンコーディングを行うための専用センシングチップとして、図 1a の機能をアナログ回路で実現することを考える。アナログ領域でこのような圧縮処理を行うことで、AD 変換を行う以前にデータ量を削減することができるため、ADC の必要チャネル数や要求仕様などを緩和することができ、システム全体としての低消費電力化を可能とする。また、本圧縮エンコーディングの動作をアナログ領域で実現する上で、そのための実装面積や消費電力のオーバーヘッドが増加しないよう留意しなければならない。一般的に、同図のような積和演算を電圧・電流モードのアナログ回路で行うことはオペアンプを多用することになるため低消費電力化を行うことが難しいとされた。本研究においては、これらの課題に対して、センシングした信号量を、時間領域のアナログ量として扱うことで積和演算を実現することを提案している。つまり、神経電極直後において、図 1b に示すとおり、センシング電圧 \mathbf{v} を観測行列 \mathbf{A} の行ベクトルの各要素を係数 \mathbf{a} として乗じた後に、これに比例した遅延量へと変換した後に各チャネルのそれぞれの遅延量を伝搬させることで総遅延量

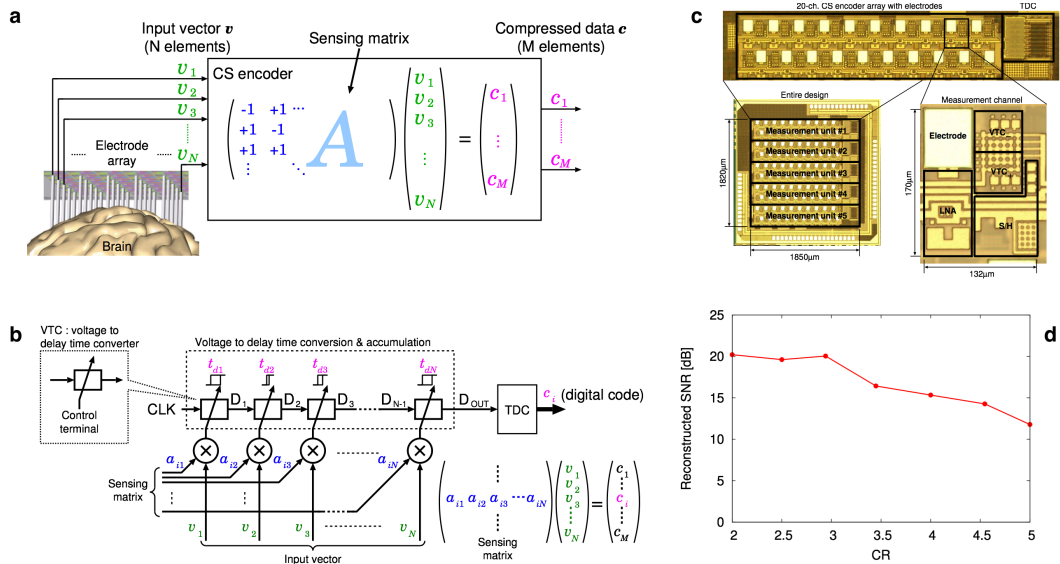


図 1 時間ドメイン圧縮センシングエンコーダ

DOUT を積和演算結果として得る。当該結果 DOUT は時間・デジタル変換器 (TDC) 1つによりデジタル化され、これを圧縮サンプル M 回分オーバーサンプリングすることによりエンコーディングを実現できる。同コンセプトを具体化し、LSI として実現したチップ写真を図 1c に示す。当該チップは 100 チャネル分の入力を持ち、センシングと圧縮処理を同時に行い、また、圧縮率 $CR(=N/M)$ をユーザが任意に設定可能である。同図 d は各 CR に対する理想復元信号と誤差からなる復元 SNR であり、高いほど復元精度が高いことを意味している。同図から分かる通り、4 倍圧縮率において実用範囲である 15dB を達成できていることが確認できる。また、このときの 1 変換当たりのエネルギーは 25pJ であり、同程度の CR や精度下における先行研究との比較より、本エンコーダは 80% の低消費電力化を達成できている。

尚、本研究の範囲ではないが、上記 c の復元としては、 $N>M$ である M 次元ベクトル c から N 次元ベクトル v を推定する不良設定問題を解くことになる。ただし、もし v がある基底 B の領域において疎 (スパース) であるなど、ある一定の条件を満たせば、LASSO より間接的に v を推定 (復元) することができる。今後はこれらを実現するための専用プロセッサの研究開発が必要とされると予想できる。

3.2 フレキシブルデバイスと LSI の融合実装技術

前述の通り、BMI 技術の実用に向けてはデバイスを埋込み留置した状態で計測し続けることが望ましい。そのためには、小型かつ生体適合性を持ったデバイスの実装を実現しなければならず、本研究においては生体内へのワイヤレス給電 (wireless power transfer: WPT) を行うためのデバイスモチーフとして、図 2a に示すとおり、信号処理を行うアクティブ分を LSI で、アンテナ部や配線などのパッシブ素子を Pt や Au で実現し、これらをパリレンを以てフレキシブルデバイスとしてカバーするウエハレベルパッケージ技術を提案している。体内埋込みデバイス・材料としてパリレンが有効である一方、複雑な信号処理は歩留まりが高いシリコン CMOS 集積回路を用いて実現することが、それぞれの特徴を活かすことがかのうである、という考え方が本研究のコンセプトとなっている。

同図 a のプロセスフローの通り、Si ウエハは支持基盤としており、比較的容易なプロセスで同図 b のような小型デバイスを実現している。パリレン基板と信号処理 LSI とのフリップチップボンディングには温度・圧力等の設定上の注意が必要だが、これらの最適化もおこなわれている。同プロセスにより制作したデバイスはアンテナと RF-DC 回路の機能を有しており、脳表面への電力伝送を生理食塩水により模擬した測定系 (同図 c) においてワイヤレス電力伝送のデモに成功している。図 2d は給電電力に対する電力伝送効率を示しており、生理食塩水による吸収等に起因して、低い電力伝送効率となっているものの、同じ応用を想定した他研究の結果と同程度の性能を達成しており、提案している融合実装プロセスに実用性があることを示すことができたと言える。

3.3 要素回路技術の研究開発と確率ドメインアナログ回路

本研究においては、上記、時間ドメイン圧縮センシングエンコーダやフレキシブル・LSI 融合実装プロセス技術の研究開発の他に、それらシステムを実現するための要素技術 (時間領域信号処理のための時間デジタル変換回路 TDC や小型・低消費電力アナログアンプ、デジタル信号処理回路、低消費電力有線通信のための送受信プロトコル等) の創出にも取り組みそれぞれにおいて、消費電力や面積効率の改善を実現した。また、センシングするときにおける微小アナログ量を、0/1 の発生確率へと変換する確率ドメイン回路技術への展開を示

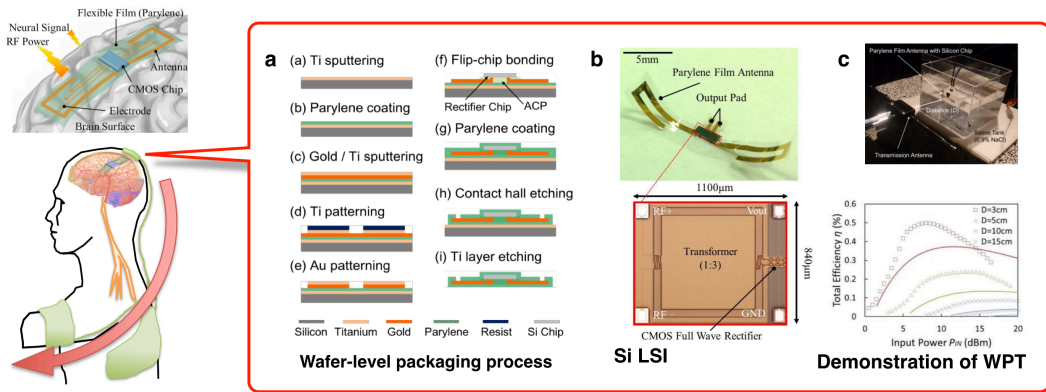


図2 フレキシブル・信号処理 LSI の融合実装プロセスに基づく生体埋込デバイス

唆する回路技術も創出しており、stochastic computing との融合が見込まれる。以上、本研究成果により、センシング・回路・信号処理・情報処理の一連の系を統合的に最適化する新たな展開が期待できる。

4. 研究成果

本研究により、時間ドメイン圧縮センシングエンコーダのアーキテクチャを新規に提案し、試作・検証を通じてその有効性を確認することができた。また、今後の多チャンネルセンシングに向けた「センサ・アナログ回路・データ圧縮」という一連の系を融合し最適化することの意義を示した。一方、フレキシブルデバイスと信号処理 LSI の融合実装プロセス技術により、生体適合性を保ちつつ小型化・高機能化を両立するような実装技術を提案した。また、上記ワイヤレス給電の他、フレキシブルセンサ電極とアンプ回路を同様に実装した小型埋込電極・アンプの実現にも成功しており、パッケージまで含めた小型化や生体適合性に関する方向性を示すことができている。以上の成果は、将来の安定・安全な生体センシングをより小型・低消費電力に提供できる基盤技術となると期待できる。

5. 主な発表論文等

〔雑誌論文〕 (計 5 件)

- [1] Ippei Akita, Hicham Haibi, Makoto Ishida, “A low-noise small-area operational amplifier using split active-feedback compensation technique,” *Analog Integr. Circuits Signal Process.*, vol. 96, no. 3, pp. 555-564, Aug. 2018. (DOI: 10.1007/s10470-018-1184-7)
- [2] Takayuki Okazawa, Ippei Akita, “A dynamic latched comparator using area-efficient stochastic offset voltage detection technique,” *IEICE Trans. Electron.*, vol. E101-C, pp.396-403, May. 2018. (DOI: 10.3390/s18010184)
- [3] Takayuki Okazawa, Ippei Akita, “A time-domain analog spatial compressed sensing encoder for multi-channel neural recording,” *Sensors*, vol. 18, no. 1, 184 (21 pages), Jan. 2018. (DOI: 10.1587/transele.e101.c.396)
- [4] Kenji Okabe, Horagodage Prabhath Jeewan, Shota Yamagiwa, Takeshi Kawano, Mokoto Ishida, Ippei Akita, “Co-design method and wafer-level packaging technique of thinfilm flexible antenna and silicon CMOS rectifier chip for wireless-powered neural interface systems,” *Sensors*, vol. 15, no. 12, pp. 318221-31832, Dec. 2015. (DOI: 10.3390/s151229885)
- [5] Ippei Akita, Makoto Ishida, “A current noise reduction technique in chopper instrumentation amplifier for high-impedance sensors,” *IEICE Electron. Express*, vol.12, no.11, pp.1-5, June 2015. (DOI: 10.1587/elex.12.20150374)

〔学会発表〕 (計 19 件)

- [1] Ippei Akita, Takayuki Okazawa, “Mixed-domain analog frontend circuit design for power-efficient multi-channel sensor systems,” in *Proc. IEEE 2018 Int. Conf. on Advanced Technology for Commutations*, Ho Chi Minh, Vietnam, pp.366-371, Oct. 2018. (invited)
- [2] Ippei Akita, Takayuki Okazawa, Yoshihiko Kurui, Akira Fujimoto, Takashi Asano, “A 181nW 970 μ g/ \sqrt Hz accelerometer analog front-end employing feedforward noise reduction technique,” in *Symposium on VLSI Circuits (VLSIC)*, Dig. Tech. Papers, Hawaii, pp. 161-162, June 2018.
- [3] Ippei Akita, “Inertial sensor systems,” *Solid-State Materials and Devices (SSDM)*, Ramp Session,

- 9/9-9/13, Univ. of Tokyo, Japan, 2018. (invited)
- [4] Takayuki Okazawa, Ippei Akita, “A robust and low-power synchronization technique of coarse-and-fine conversion parts in ring-oscillator-based time-to-digital converters,” in Proc. IEEE Int. Conf. Electronics, Circuits and Systems, Batumi, Georgia, pp. 239-242, Dec. 2017.
 - [5] 秋田一平, “ワイヤレス BMI システム応用に向けた完全埋込みデバイス技術 -フレキシブルデバイス・集積回路・システム・信号処理の融合技術,” 2017 年電子情報通信学会基礎・境界ソサイエティ/NOLTA ソサイエティ大会, AI-1-1, Tokyo, pp.SS-46-47, Sept. 15, 2017. (invited)
 - [6] 岡澤貴之, 秋田一平, “リングオシレータ位相によるカウンタ同期手法を用いた低消費電力 時間デジタル変換回路,” 第 30 回 回路システムワークショップ論文集, A1-2-1, 北九州, pp.132-135, May. 2017.
 - [7] Horagodage Prabhath Jeewan, Kenji Okabe, Hajime Fukumaru, Takeshi Kawano, Makoto Ishida, Ippei Akita, “A low-noise low-power neural recording amplifier on flexible thin film for fully implantable neural interface devices,” in Proc. Asia-Pacific Conference on Transducers and Micro/Nano Technologies, 1a.4, 6/26-6/29, pp. 27-28, Kanazawa, Japan, June 2016.
 - [8] Angela Leong Xian Long, Ippei Akita, Hiroki Makino, Hirohito Sawahata, Makoto Ishida, Takeshi Kawano, “Design of trans impedance amplifier for silicon whisker neuroprobe,” in Proc. Asia-Pacific Conference on Transducers and Micro/Nano Technologies, 5d.5, 6/26-6/29, pp. 209-210, Kanazawa, Japan, June 2016.
 - [9] Ippei Akita, “Sensor interface techniques,” in Symposium on VLSI Circuits, Rump Session, 6/13-6/17, Honolulu HI, June 15th, 2016. (invited)
 - [10] Horagodage Prabhith Jeewan, 岡部謙志, 福丸元, 河野剛士, 石田誠, 秋田一平, “完全埋込み型神経インターフェースに向けた、フレキシブル基板上への低ノイズ・低消費電力 CMOS アンプの実装技術,” 電子情報通信学会 LSI とシステムのワークショップ 2016, 東京大学生産技術研究所, 5/16-5/17, May 2016.
 - [11] 石森健人, 藤澤良太, 石田誠, 秋田一平, “低消費電力神経電位計測 SoC のチップ間通信に向けた低遷移頻度コーディングの提案,” 電子情報通信学会 総合大会, 福岡, C-12-30, p.103, March 2016.
 - [12] 秋田一平, “ワイヤレス BMI に向けた低消費電力アナログ RF 回路・フレキシブルデバイス技術,” ULSI-C, 唐津市, 3/14, 2016. (invited)
 - [13] 秋田一平, “ワイヤレス BMI に向けた低消費電力アナログ RF 回路・フレキシブルデバイス技術,” 2015 Microwave Workshop & Exhibition (MWE), Pacifico Yokohama, MWE2015 TH3B-4, Nov. 28, 2015. (invited)
 - [14] Takayuki Okazawa, Takeshi Kawano, Makoto Ishida, Ippei Akita, “Digitally calibrated dynamic latched comparator with stochastic offset voltage detection technique for lowpower ADCs,” in Proc. Int. Conf. Solid-State Devices and Materials (SSDM), Sapporo, Japan, F-6-3, pp. 846-847, Sept. 2015.
 - [15] Ippei Akita, “Development of low-power analog/RF mixed-signal circuits with flexible thin film devices for wireless BMI systems,” IEEE Int. Symp. Radio-Frequency Technology (RFIT), Sendai, pp.4-6, Aug. 2015. (invited)
 - [16] 秋田一平, 石田誠, “センサ AFE アレイに向けた AB 級アンプの小面積・低消費電力化設計手法,” 第 28 回 回路システムワークショップ論文集, Ba1-1-2, 淡路島, pp.100-104, Aug. 2015.
 - [17] Kenji Okabe, Ippei Akita, Shota Yamagiwa, Takeshi Kawano and Makoto Ishida, “A thin film flexible antenna with CMOS rectifier chip for RF-powered implantable neural interfaces,” in Proc. of Int. Conf. Solid-State Sensors, Actuators, and Microsystems (Transducers), Anchorage, Alaska, pp. 1751-1754, June 2015.
 - [18] 石森健人, 藤澤良太, 石田誠, 秋田一平, “3 進ハフマン符号化圧縮を用いた 64ch 神経電位計測 SoC の提案,” 電子情報通信学会 LSI とシステムのワークショップ 2015, 北九州市, May 2015.
 - [19] 岡澤貴之, 石田誠, 秋田一平, “時間ドメインアナログ信号処理回路を用いた神経電位計測向け圧縮センシングエンコーダ,” 電子情報通信学会 LSI とシステムのワークショップ 2015, 北九州市, May 2015.

[その他]

ホームページ等 <https://staff.aist.go.jp/ippei.akita/>

※科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属されます。