

平成 30 年 5 月 28 日現在

機関番号：12501

研究種目：基盤研究(C) (一般)

研究期間：2015～2017

課題番号：15K00069

研究課題名(和文) PRAMの書き込み時間削減に適した符号

研究課題名(英文) Write time reduction code for PRAM

研究代表者

難波 一輝 (Namba, Kazuteru)

千葉大学・大学院工学研究院・准教授

研究者番号：60359594

交付決定額(研究期間全体)：(直接経費) 3,500,000円

研究成果の概要(和文)：我々の現代社会は情報機器に支えられており、情報機器は計算機システムによって支えられている。メモリシステムは計算機システムを構成する最も重要な部品の1種であり、その性能向上の工業的・産業的重要性は高く、学術的興味も強い。近年、新しい不揮発性メモリとして PRAM が、多くの研究者や技術者から注目を集めている。しかし、PRAM には書き込み時間が遅いという問題点を有する。PRAM の書き込み時間には大きな特徴があり、本研究では、その特徴を利用した、従来法と比べ高速な書き込み時間を実現する手法を提案している。

研究成果の概要(英文)：Our recent society is supported by information system, which is supported by computer system. Memory system is one of the most important parts of the computer system. The improvement of its performance is industrially important. Furthermore academic interest is also strong. In recent years, PRAM has attracted attention from many researchers and engineers as a new non-volatile memory. However, the PRAM has a considerable drawback; its write latency is not good. This work has presented a write latency reduction scheme which is better than the existing schemes.

研究分野：計算機システム

キーワード：メモリシステム PCM 符号 書き込み時間削減

1. 研究開始当初の背景

(1) 我々の現代社会は情報機器に支えられており、情報機器は計算機システムによって支えられている。メモリシステムは計算機システムを構成する最も重要な部品の1種であり、その性能向上の工業的産業的重要性は高く、学術的興味も強い。PRAMは将来有望な不揮発性メモリの1種であり、国内外の多くの研究者や技術者から注目を集めている [Cla13]。(2) PRAMはセット操作とリセット操作(つまり0を書き込む操作と1を書き込む操作)に要する書き込み時間が大きく違うことが分かっている [Son12]。この様な観点からLiらは書き込み方向が不均一になるようにシステム運用したPRAMの書き込み時間削減法を提案している [Li14]。この手法は符号の符号化器・復号器を用いるという画期的な方法を用いることにより、書き込み時間の削減に成功している。しかし、[Li14]で採用されているWOM符号は情報学の観点から見たとき、この手法に適した符号とは言えない。

2. 研究の目的

(1) 以下の4項目について明らかにすることを本研究の目的とする。1) PRAMの書き込み時間削減におけるWOM符号の特性とは? 2) PRAMの書き込み時間削減に適した符号は何か? 3) ECCとの併用は可能か? 4) MLC(多レベルセル)使用型PRAMに適用するには?

3. 研究の方法

(1) 本研究では、PRAMの書き込み時間削減におけるWOM符号の特性を理論的に解析する。また解析結果に基づいてPRAMの書き込み時間削減に適した符号を明らかにする。さらに、シミュレーション実験、試作実験を行うことにより、提案手法の妥当性を検討する。具体的に、現実的なハードウェアでの実現可能性を検討し、面積、消費電力等を見積もる。システムの処理時間短縮を目的とした本研究において正確な時間測定は欠かせない技術であり、時間測定についての手法も必要に応じて検討する。

4. 研究成果

(1) 本研究ではPRAM書き込み時間削減に対しWOM符号より良好な結果を有するWTS符号(Writing time speed-up code)を新規に提案している。図1にWTS符号の例を示す。WTS符号はWOM符号同様、それぞれの情報語に複数の符号語が対応づいている。WOM符号では符号語毎に世代番号が付けられており、番号順に使用する符号語を決定していた。一方、WTS符号では自由にもっとも良好な性能が得られるように、使用する

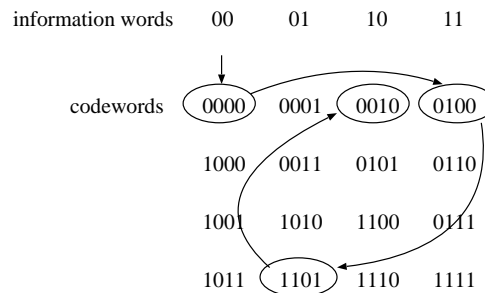


図1. WTS符号の例

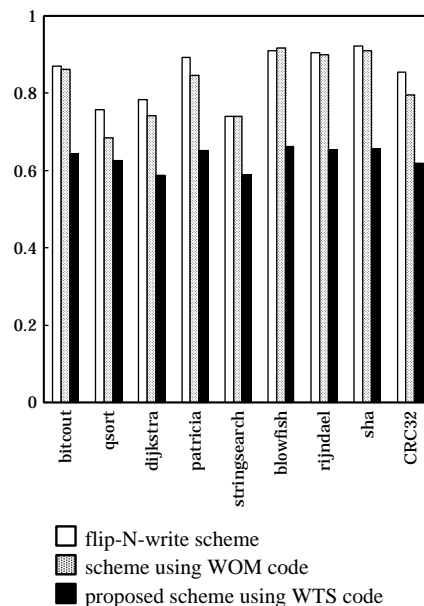


図2. 書き込み時間の比較

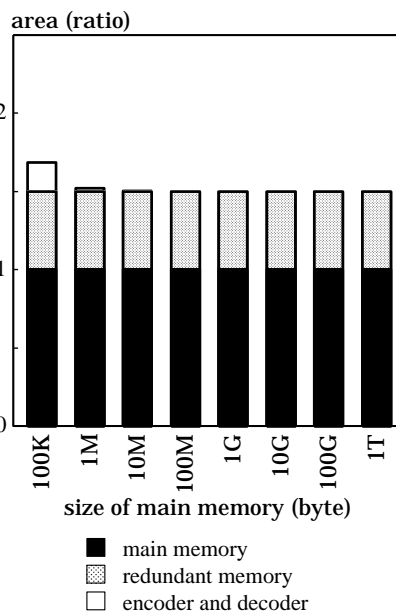


図3. 面積オーバーヘッドの評価

る符号語を選択している。また、情報語と符号語の対応関係にもWOM符号においてはなされていなかった、PRAMの書き込み時間削減手法に用いることを強く意識した工夫がなされている。

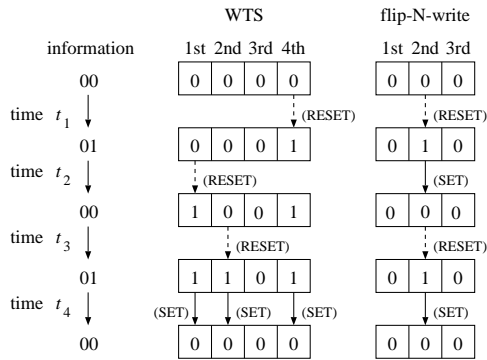


図 4. WTS 符号の特徴

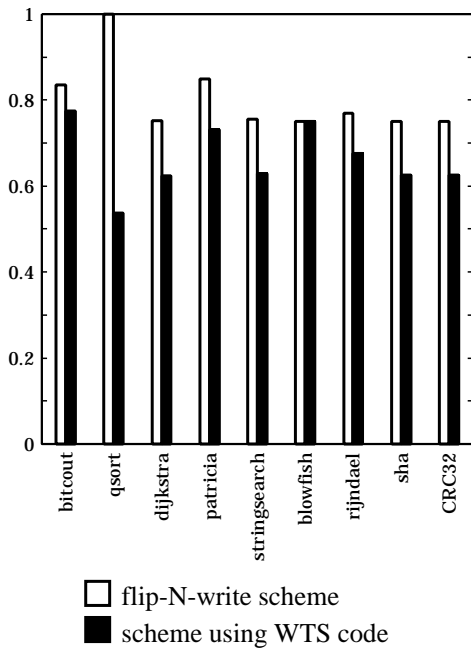
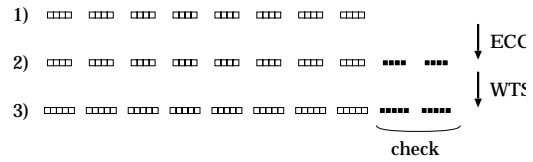


図 5. 各メモリ素子における最大の書き込み回数 (多いと短寿命)

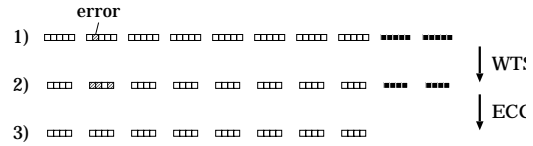
(2) 本手法と、従来手法について FPGA 用ソフトコア CPU を用いてシステムを構築し、クイックソートなどのベンチマークプログラムを動作させる実験を行い、その性能評価を行った。図 2 がその評価結果である。本手法は従来手法より約 23% 高速に動作している。また、本手法を用いたときのオーバーヘッドについて、面積(図 3)、消費電力(図は省略)など様々な方向から評価を行っており、本手法の実用性を確認している。

(3) 図 4 に例示し、図 5 のように実験により定量的に確認されるように、WTS 符号を用いた手法においては 値の書き込みが 1 素子に集中しないという性質があることを明らかにしている。このことは本手法が、不揮発性素子に於いてしばしば問題になるメモリの寿命に対して好影響を与えることを意味する。

(4) 本研究では誤り制御の適用についても議論を行っている。提案手法と誤り制御一般を併用するとき、本手法の効果は失われる。しかし、図 6 に例示するように、誤り制御法に



a) 符号化



b) 復号

図 6. 誤り制御符号の適用

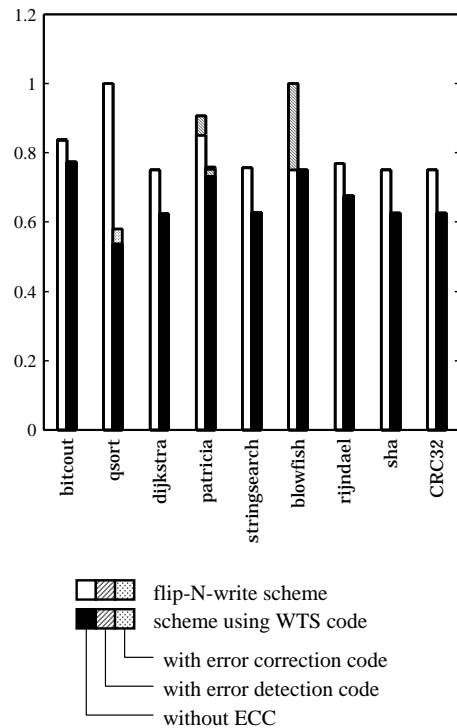


図 7. 誤り制御の書き込み時間への影響

工夫を行えば、図 7 に示される実験結果に裏付けされるように、本手法の効果を失うことなくメモリシステムの信頼性を向上させることができる。

(5) 今まで示した議論はメモリセル 1 個あたりに 1 ビットのデータを格納する SLC PRAM に対する手法であった。1 個あたりに複数ビットのデータを格納する MLC に対する手法としては Cycle-set 符号を提案している。ただ、これはあまり良好な結果を得ていない。具体的に、良好な結果を得るために SLC 並にデータ速度を落とす必要がある。ただし、この解決方法については既に分かっており、近日中に発表の予定である。

(6) 前述の結果により、PRAM を用いた新しいメモリシステムにおいて、材料工学や電気電子工学などの工学的手段だけでは得られ

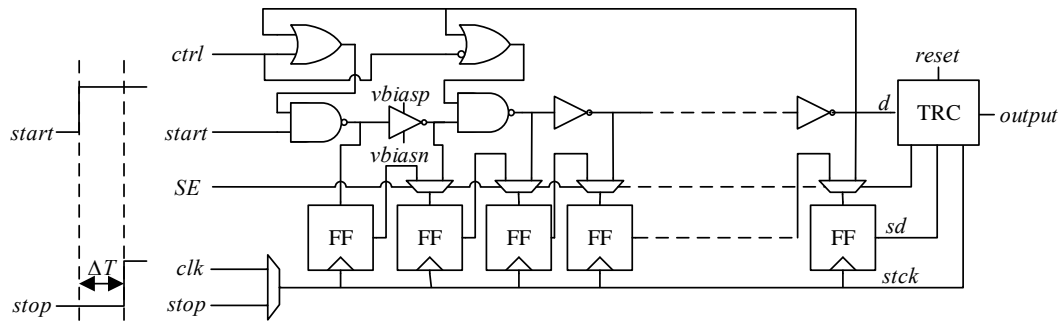


図 8. 提案較正を可能とする遅延測定回路

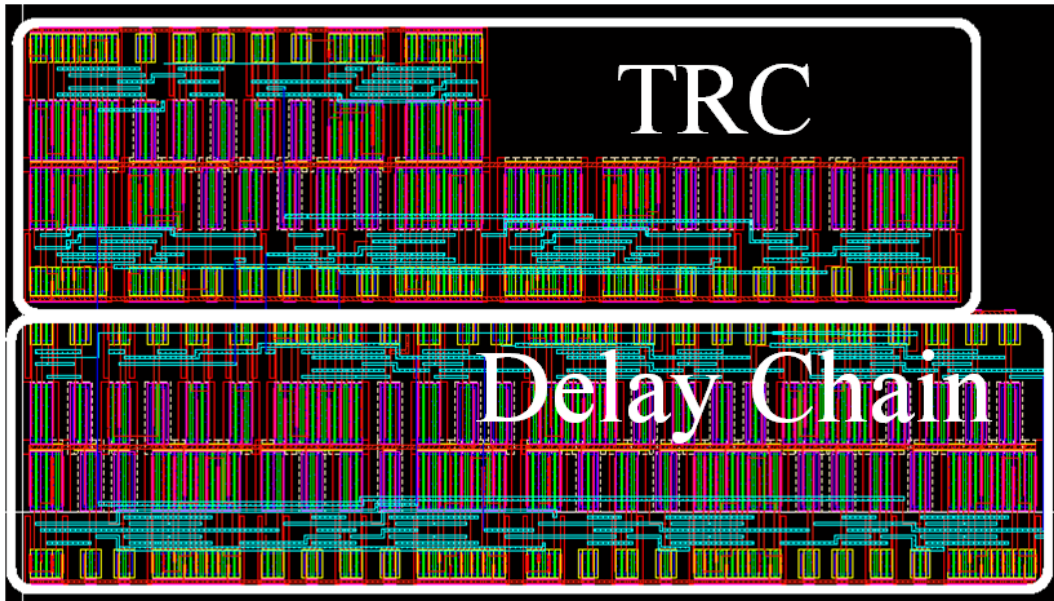


図 9. 提案較正を可能とする遅延測定回路レイアウト

なかったさらなる速度向上をもたらすことができた。その結果は現代社会にも反映されるものであり、その社会的産業的意義がある。(7) 書き込み時間削減を目指す本手法の有用性を示す実験においては時間測定技術が不可欠であった。本技術向上のため、本研究においては時間測定装置の較正法についても議論を行った。具体的に図 8 のような装置を用いることにより、従来手法と比べ 1 桁精度の良い較正が可能となっている。図 9 に本手法適用遅延測定回路のレイアウト図を示す。本成果については JST の支援を受け PCT 出願を行っている。

<引用文献>

[Cla13] P. Clarke, “Billion-dollar business seen for MRAM, PCM,” EE Times, Feb 20, 2013.
 [Son12] I. Song et al., “A 20nm 1.8V 8GB PRAM with 40MB/s program bandwidth,” IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2012.
 [Li14] J. Li and K. Mohanram, “Write-once-memory-code phase change memory,” IEEE Design, Automation and

Test in Europe Conference and Exhibition (DATE), 2014, (doi: 10.7873/DATE.2014.194).

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 3 件)

① Kazuteru Namba and Fabrizio Lombardi, “On coding for endurance enhancement and error control of phase change memories (PCMs) with write latency reduction,” IEEE Trans. Very Large Scale Integr. Syst., Vol.26, No.2, pp.230-238, Feb. 2018. (査読有) DOI: 10.1109/TVLSI.2017.2766362
 ② Kazuteru Namba and Fabrizio Lombardi, “A Coding Scheme for Write Time Improvement of Phase Change Memory (PCM) Systems,” IEEE Trans. Multi-Scale Comput. Syst., Vol.2, No.4, pp.291-296, Sep. 2016. (査読有) DOI: 10.1109/TMSCS.2016.2605098
 ③ Ri Cui and Kazuteru Namba, “A Calibration Technique for DVMC with

Delay Time Controllable Inverter,”
IPJSJ Trans. Syst. LSI Des. Method, Vol. 9,
pp.30-36, Feb. 2016. (査読有) DOI:
10.2197/ipsjtsldm.9.30

〔学会発表〕 (計 2 件)

- ① 陳 星宇, 難波 一輝, “Cycle-Set Code : MLC PCM の書き込み遅延時間削減のための符号,” FTC 研究会, 2017 年 7 月.
- ② 崔 日, 難波 一輝, “可変遅延素子を用いた DVMC の較正技術の分解能評価,” FTC 研究会, 2016 年 1 月.

〔産業財産権〕

○取得状況 (計 1 件)

名称 : 半導体集積回路及び遅延測定回路
発明者 : 崔 日, 難波 一輝
権利者 : 千葉大学
種類 : 特許
番号 : 第 6218297 号
取得年月日 : 平成 29 年 10 月 6 日
国内外の別 : 国内

〔その他〕

“VLSI システムの組み込み遅延測定回路とその較正法,” 千葉エリア産学官連携オープンフォーラム 2016.

“高信頼情報システム実現のためのディペンダブルシステム LSI,” イノベーションジャパン 大学見本市, 2016.

6. 研究組織

(1) 研究代表者

難波 一輝 (NAMBA, Kazuteru)
千葉大学・大学院工学研究院・准教授
研究者番号 : 60359594

(2) 研究分担者

加藤 健太郎 (KATOH, Kentaroh)
鶴岡工業高等専門学校・創造工学科・准教授(当時)
研究者番号 : 10569859
(平成 28 年度の途中まで)