

平成 30 年 6 月 26 日現在

機関番号：13301

研究種目：基盤研究(C) (一般)

研究期間：2015～2017

課題番号：15K00072

研究課題名(和文) ユーザ再構成ハードウェアを内蔵したマイクロコンピュータの研究

研究課題名(英文) Microcomputer with Embedded Field Programmable Device for Peripherals

研究代表者

松田 吉雄 (Matsuda, Yoshio)

金沢大学・電子情報学系・教授

研究者番号：20401896

交付決定額(研究期間全体)：(直接経費) 2,600,000円

研究成果の概要(和文)： Mbクラスの大規模メモリをユニットとする“メモリをベースにしたマイコン周辺回路用再構成デバイス”を考案した。従来はハードウェアとして大規模なスイッチボックスを用いていたが、考案したアーキテクチャでは、少数のレジスタを追加するだけで再構成デバイスを実現した。主たる部分をFPGA上に実装して、種々のマイコン周辺回路を構成し、再構成デバイスとして機能することを、ハードウェア上で確認した。更には、考案したアーキテクチャを、ウィルスチェックなどに用いられるパケットフィルタや通信用バッファメモリへ適用し、基本的な考え方やデバイス構成が、マイコンだけでなく、他のシステムに広く応用できることを確認した。

研究成果の概要(英文)： We have developed a new memory based reconfigurable device for microcomputer peripherals in a unit of megabit class embedded memory adding a few registers to a decoder part of memory. The essential parts of the proposed device were implemented on a FPGA and several microcomputer peripherals, for example, counters, timers, PWMs (Pulse Width Modulation), FIFOs (First In First Out), and etc., were reconfigured on the FPGA. The peripherals functions are verified on the implemented device on the FPGA. The proposed device was applied to a packet filter for virus check or a buffer memory for communications and verified that the device is useful not only for microcomputer peripherals but also for other systems.

研究分野： 計算機システム

キーワード： リコンフィギャラブルシステム

## 1. 研究開始当初の背景

現在、マイクロコンピュータ所謂マイコンは、コンシューマ製品から産業システム機器まで、様々なアプリケーションで幅広く利用されている。顧客やアプリケーションから種々多様な要求があり、それに応える結果、基本的には同じアーキテクチャを有しながら、周辺回路や内蔵されるメモリ容量の違いから、ファミリと呼ばれる膨大な品種が存在している。多いものでは何千品種にも達すると言われている。特に内蔵メモリと周辺回路に対する要求が種々多様で、多品種展開を余儀なくされ、コスト高の主因となっている。更には、IoT 分野はマイコン市場として爆発的に成長すると言われており、ますますマイコンの多品種化が進むことが予想される。このマイコンのファミリ品種数を削減することは極めて重要な課題である。

解決策の一つはプログラマブルなデバイスを内蔵することである。最も直接的な手法として、マイコンにFPGA(Field Programmable Gate Array)を内蔵することが考えられる。しかしながら、FPGAは高い汎用性を目的とするため、細粒度のロジックエレメントを用いており、ロジックあたりの回路規模が大きく、コストを重視するマイコンでは不向きである。一方、DRP(Dynamically Reconfigurable Processor)は、アプリケーションレベルでは高い柔軟を持つが、マイコン周辺回路のような単機能へ適用するには、冗長性が大きすぎ、性能とコストの両立が困難な面がある。

## 2. 研究の目的

既に述べたように、汎用性の高いマイコンには、ファミリと呼ばれる膨大な品種が存在し、品種数の削減は喫急かつ重要な課題である。本研究では、内蔵しているメモリに若干の回路を付加し、マイコン周辺回路をプログラマブルに再構成でき、かつ再構成しない場合は、通常の内蔵メモリとしても利用可能な“ユーザ再構成マイコン”を実現することにより、上記課題を解決することが目的である。

具体的には、1Mb~4Mb程度の大規模メモリを再構成ユニットとする「メモリをベースにしたマイコン周辺回路用フィールドプログラマブルデバイス」の新しい回路アーキテクチャを開発し、主たる部分をFPGA上に実装設計し、その有効性を実証することである。

更には、メモリを用いたプログラマブルデバイスの可能性として、マイコンだけでなく、他のシステムに応用することも目的とする。

## 3. 研究の方法

メモリを含めVLSIアーキテクチャの専門家である金沢大学の松田吉雄教授を代表者

に、これまで先験的な研究を共同で行ってきたマイクロコンピュータの専門家である川村氏が社会人ドクタとして共同して研究を進めた。

また、既にルネサスエレクトロニクスと金沢大学で進めてきた、細粒度のメモリアレイを用いたプログラマブルデバイスFPSM(Field Programmable Sequencer and Memory)をベースに、(1)体系的な「マイクロ命令セット」の構築とハードウェア仕様の検討、(2)C言語による機能モデルの構築と機能評価、(3)RTL設計によるハードウェアモデルの構築とFPGAへの実装及びそれによる機能/性能評価、の順で研究を進めた。

## 4. 研究成果

従来のFPSMでは、基本ユニットであるPMU(Programmable Memory Unit)は4Kbit(16bit×256ワード)の中粒度メモリで構成されている。これらがアレイ状に配置され、スイッチボックス経由で複数のPMUが結線され、マイコンの周辺回路(カウンタ/タイマ、PWM、FIFO等)がプログラマブルに実現できる構成になっていた。

本研究では、1Mb~4Mb程度の大規模メモリを再構成ユニットとする、スイッチボックスの無い「マイコン周辺回路用フィールドプログラマブルデバイス」の新しい回路アーキテクチャを開発した。主たる部分をFPGA上に実装設計し、その有効性を実証した。

更には、メモリを用いたプログラマブルデバイスの可能性の追求として、ウィルスチェックなどに用いられるパケットフィルタや通信用バッファメモリへ適用し、基本的な考え方やデバイス構成は、マイコンだけでなく、他のシステムに広く応用できることを確認した。具体的な成果を以下にまとめる。

### (1) 新FPSMアーキテクチャに関する成果 命令の体系化

マイコンの周辺回路への要求、及び従来のFPSMが持つマイクロ命令がこれらの要求に答えられるか、等を詳細に分析し、新しいアーキテクチャに対応したマイクロ命令と制御回路の体系化を行った。FPSMの基本となるアドレス制御を用いたアーキテクチャ上でのマイクロ命令として、分岐制御、シーケンス制御を行うためのビット配列の定義を8bitで実現する命令体系とした。(雑誌論文[2]、学会発表[1])

### アーキテクチャの考案

従来のFPSMのアドレス制御部に、新たにレジスタ1個を追加することにより、メモリの粗粒度は1MB以上(32ビットワード長×32Kワード以上を想定)で、スイッチボックスの無いプログラマブルデバイスが構成できた。結果、一つの制御回路で、メモリデバイス一個(1面)のみでカウンタ/タイマ、PWM、FIFO機能等が再構成できる。

## C 言語モデル構築

考案アーキテクチャのC言語モデルを構築し、マイコン周辺回路であるカウンタ/タイマ、PWM、FIFO 機能をモデルに組み込み、プログラマブル機能を確認した。

## RTL モデル構築と FPGA 実装

新 FPSM アーキテクチャの回路を RTL レベルで設計し、FPGA 上に実装した。想定した周辺回路の機能を FPGA 上に実装したフィールドプログラマブルデバイス上に構成し、各種の周辺回路の動作を確認した。同一ハードウェア上に複数種類のマイコン周辺回路が再構成できることが実証できた。

## (2) 新 FPSM の応用に関する成果

### パケットフィルタへの応用

体系化した命令 ((1)の 参照) や考案した PMU アーキテクチャを利用し、更にハッシュ探索機能を組合せた一致検出回路を提案し、不一致検出回路と組み合わせることで、高スループットでかつ低消費電力なパケットフィルタ回路を開発した。

40 nm 8 層メタル CMOS プロセスで TEG チップを試作した。実装メモリは一致テーブルが 523 Kbits で、512 bits の一致条件を最大 512 個登録できる。また、64 個不一致テーブルを搭載している。制御部のロジック回路規模は 2 入力 NAND 換算で 11.6 K ゲートであった。コア面積は  $1.040 \text{ mm} \times 1.050 \text{ mm} = 1.092 \text{ mm}^2$ 、電源電圧 1.1 V で動作周波数 100 MHz を確認した。この時の最大スループットは、100 Mpackets/sec (51.2 Gbps) で、消費エネルギーは 0.808 nJ/Search が得られた。以上のように、不一致検出とハッシュ探索による一致検出回路を組み合わせることで、スループットが向上することを確認し、体系化した命令や考案したアーキテクチャの有効性を示した。(雑誌論文[1]、学会発表[2]、[3])

### 自己再構成(自動登録・削除)機能

今回 FPSM 用に開発したシーケンス制御を応用して、(2)の で述べたパケットフィルタに対して、更に検索ルールを自動的に登録・削除する機能を考案した。この機能では、パケットフィルタの一致/不一致検索機能を利用して、検索ルールを入力するだけで、このルールが既に登録されているかどうか自動的に判定される。この判定結果を用いて、入力されたルールが、内部のテーブルに自動的に登録される。また、関連する種々のテーブルが自動的に再構成される。もちろん、入力されたルールが既に登録されている場合であっても、重複は起こらないように構成される。

また、削除したいルールがあれば、それを照合データとして入力する事で自動的に削除される。ルールの登録時と同様に、内蔵されている各種のテーブルは自動的に再構成

される。

これらの機能は動作中であっても、モード選択信号により、通常の検索、ルールの登録・削除が行われる。そのため、ルールの更新のために機器を止める必要がなく、効率的な運用が実現出来る。(雑誌論文[3]、[4]、学会発表[5])

### バッファメモリ制御への応用

今回 FPSM 用に開発したシーケンス制御を通信系の大容量バッファメモリの制御に適用展開した。提案した方式では、キューメモリを単一のメモリ上に効率的に構築できる。更には、バッファメモリでは、様々な長さの packets が分割され効率的に収容される。分割された packets は、物理的には異なったアドレスに格納されるが、論理的には一連のアドレスシーケンスが保たれ、メモリの空を抑えて効率的に格納される。出力先が 4096 の場合、従来の方式に対して、キューメモリを 0.03% に削減することができる。(学会発表[4]、[5])

## 5. 主な発表論文等

[雑誌論文](計4件)

- [1] 川村嘉郁, 今村幸祐, 三浦直樹, 浦野正美, 重松智志, 松村哲哉, 松田吉雄, “不一致検出とハッシュ探索に基づくパケット検索エンジン LSI”, 電子情報通信学会 VLSI 設計技術研究会, 電子情報通信学会技術報告, 査読無 VLD2015-118, pp. 43-48, Mar. 2016.
- [2] Yoshifumi Kawamura, Naoya Okada, Yoshio Matsuda, Tetsuya Matsumura, Hiroshi Makino, and Kazutami Arimoto, “A Field Programmable Sequencer and Memory with Middle Grained Programmability Optimized for MCU Peripherals,” IEICE Trans. Fundamentals, Vol. E99-A No. 5, pp. 917-928, May 2016 査読有.
- [3] Kousuke Imamura, Ryota Honda, Yoshifumi Kawamura, Naoki Miura, Masami Urano, Satoshi Shigematsu, Tetsuya Matsumura, and Yoshio Matsuda, “A 100-MHz 51.2-Gb/s Packet Lookup Engine with Automatic Table Update Function,” IEICE Trans. Fundamentals, Vol. E100-A, No. 10, pp. 2123-2134, Oct. 2017 査読有.
- [4] 川村嘉郁, 今村幸祐, 松村哲哉, 松田吉雄, “検索ルールの自動登録・削除機能を有するパケット検索エンジン LSI”, 電子情報通信学会 VLSI 設計技術研究会, 電子情報通信学会技術報告, 査読無 VLD2017-55, pp. 171-176, Nov. 2017.

[学会発表](計6件)

- [1] 川村嘉郁, 松村哲哉, 今村幸祐, 松田吉雄, “マイコン周辺回路用フィールドブ

- ロケラマブルデバイスの LSI 実装 ” 2015 年電子情報通信学会ソサイエティ大会, 東北大学(宮城県・仙台市), 2015.9.10.
- [2] Yoshifumi Kawamura, Kousuke Imamura, Ryota Honda, Naoki Miura, Masami Urano, Satoshi Shigematsu, and Yoshio Matsuda, “ A 100-MHz 51.2-Gb/s Packet Lookup Engine LSI Based on Mismatch Detection Circuit Combined with Linked-List Hash Table ”, 2015 International Symposium on Intelligent Signal Processing and Communication Systems, Bali (Indonesia), 2015.11.11.
- [3] 川村嘉郁, 今村幸祐, 三浦直樹, 浦野正美, 重松智志, 松田吉雄, “ 不一致検出回路とハッシュ探索に基づくパケット検索エンジン ”, 2016 年電子情報通信学会総合大会, 九州大学(福岡県・福岡市), 2015.3.15.
- [4] 大輝晶子, 川村智明, 佐藤洋一郎, 有本和民, 今村幸祐, 松田吉雄, “ パケットバッファにおけるメモリアドレス管理方法の一検討 ”, 電子情報通信学会総合大会, 九州大学(福岡県・福岡市), 2015.3.18.
- [5] 堂野和徳, 今村幸祐, 松田吉雄, 大輝晶子, 川村智明, “ 複数のアドレスキューを単一メモリに収容するバッファメモリのアドレス制御方式 ”, 平成 27 年度電気関係学会北陸支部連合大会, 金沢工大(石川県・野々市市) 2015.9.12.
- [6] Tetsuya Matsumura, Kousuke Imamura, Yoshifumi Kawamura, and Yoshio Matsuda, “ Automatic Rule Registration and Deletion Function on a Packet Lookup Engine LSI, ” 2016 International Symposium on Intelligent Signal Processing and Communication Systems, Phuket (Thailand), 2016.10.25.

〔その他〕

金沢大学学術情報リポジトリ

<http://dspace.lib.kanazawa-u.ac.jp/dspace/>

6. 研究組織

(1) 研究代表者

松田 吉雄 (MATSUDA, Yoshio)

金沢大学・電子情報学系・教授

研究者番号: 20401896