

令和 2 年 6 月 18 日現在

機関番号：23901

研究種目：基盤研究(C) (一般)

研究期間：2015～2019

課題番号：15K00074

研究課題名(和文)高性能低消費電力ヘテロジニアスマルチプロセッサの自動設計に関する研究

研究課題名(英文) Design automation system of high performance and low energy heterogeneous multiprocessor system

研究代表者

佐々木 敬泰 (Sasaki, Takahiro)

愛知県立大学・情報科学部・准教授

研究者番号：20362361

交付決定額(研究期間全体)：(直接経費) 3,400,000円

研究成果の概要(和文)：性能や特徴の異なる複数のコアを用意し、実行時に最適なコアを選択するヘテロジニアスマルチコアは高性能低消費電力を実現するアーキテクチャとして期待されている。しかしながら、ヘテロジニアスマルチコアは設計開発や性能検証が非常に困難である。本研究課題では、設計労力の低減を実現すべく、高性能低消費電力ヘテロジニアスマルチコアシステムの自動設計環境の実現に欠かせない5つの要素技術を開発した。

研究成果の学術的意義や社会的意義

本研究課題では、高性能低消費電力ヘテロジニアスマルチコアシステムの自動設計環境であるFabHeteroの実現に向けて要素技術を開発した。これらの研究成果により、設計コストの削減や、研究開発期間の短縮を実現できると考えられる。更に、FabHeteroに特化したものではなく、高速検証用フレームワークは多くのコシミュレーション環境に、低消費電力キャッシュシステムは、一般的なマルチコアプロセッサの低消費電力化にも貢献できるものであると考えられる。

研究成果の概要(英文)：Heterogeneous multicore processor, which implements multiple processor cores with different performance and characteristics and assigns the most suitable core at execution time, is expected as an architecture that achieves high performance and low power consumption. However, heterogeneous multicore is difficult to design and takes a long time for verification. In this research, five elemental technologies have been developed to reduce the design effort, that are essential for the automatic design environment of high performance and low power consumption heterogeneous multi-core systems.

研究分野：コンピュータアーキテクチャ

キーワード：ヘテロジニアスマルチコア 自動設計 高性能低消費電力 計算機システム プロセッサアーキテクチャ VLSI

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属されます。

## 様式 C - 19、F - 19 - 1、Z - 19 (共通)

### 1. 研究開始当初の背景

近年、スマートフォン等の携帯端末からパソコン、スーパーコンピュータに至るまで、あらゆるコンピュータのマルチコア化が進んでいる。しかし、最適なコアの構成は実行するプログラムの特徴により異なるため、性能の異なる複数のコアを用意し、実行時に最適なコアを選択するヘテロジニアスマルチコアが広く用いられるようになってきている。しかしながら、単一コアの設計でも非常に困難であるため、種類の異なる様々なコアを必要とするヘテロジニアスマルチコアは、設計開発や性能検証が長期化するという問題がある。そのため、設計労力の低減を実現すべく、高性能低消費電力ヘテロジニアスマルチコアシステムの自動設計環境の開発が求められている。

### 2. 研究の目的

本研究課題では、高性能低消費電力を実現する単一命令セットヘテロジニアスマルチコアシステムの自動設計に関する研究を行う。図1に同種のコアを複数組み合わせた「ホモジニアスマルチコアプロセッサシステム」と異種のコアを複数組み合わせた「ヘテロジニアスマルチコアシステム」の特徴を示す。一般にプログラムの負荷は均一ではなく、OS等は比較的負荷が軽く、CPU実行時間も短い。一方、WEBブラウザ等はページ読み込み直後には負荷が高くなるが、レンダリングが完了すれば多くの場合、負荷は低くなる。また、動画の再生(復号化)やエンコード(符号化)は、常時高負荷状態となる。このようなプログラムをホモジニアスマルチコアで実行した場合、図1左に示すように、各コアの性能や特徴は同一であるため、性能や演算リソースの過不足が発生する。一方、図1右に示すように、ヘテロジニアスマルチコアシステムでは、プログラムの要求する性能やリソースに最適なコア上で実行することにより、計算機資源を有効に活用でき、結果として高性能と低消費電力の両立を目指すことができるため、現在国内外に於いて広く研究されている。

ヘテロジニアスマルチコアシステムは、命令セットの扱いについて以下の二つに分類できる。一つは、異種の命令セットを持つプロセッサを組み合わせたものであり、もう一つは、単一命令セットで性能や構成、特徴の異なる複数のプロセッサを組み合わせたものである。前者は1)既存の様々なプロセッサコアを組み合わせることで容易にヘテロジニアスマルチコアの設計ができる、2)プログラムに最適な命令セットを選択することでより効率的な実行をすることができるという利点があり、国内外を含め現在広く研究されている。しかしながら、1)プログラムを詳細に解析・分割し、最適な命令セットを持つプロセッサコアへ事前に割り付けを行う必要がある、2)命令セットが異なるため、実行時にコアの過不足が生じて、事前に割り当てたコア以外では実行できない、という欠点がある。一方、後者は各コアの命令セットは同一であり、実行時に最適なコアへ割り付けをすることができるため、実行時最適化の自由度が高いという利点がある。また、近年はコンパイラ技術の発達や各プロセッサの命令セットの類似化により、命令セット毎の性能差は小さくなっている。そこで、本研究では動的なタスクマイグレーションの可能な単一命令セットヘテロジニアスマルチコアに焦点を絞る。

最適なヘテロジニアスマルチコアシステムの開発には、様々な構成のコアを設計し、各種の組み合わせ毎に性能検証する必要がある。しかしながら、計算機システム的设计・検証は膨大な作業であり、コアを一つだけでもユニプロセッサシステムの設計でも非常に困難である。ヘテロジニアスマルチコアでは性能や構成の異なる様々な種類のコアを用意する必要があるため、設計開発や性能検証が非常に困難である。更に、電力効率を高めるためには、コアだけでなくキャッシュメモリや相互結合網もアプリケーション毎に最適化する必要がある。これは、アプリケーションによって、ワーキングセットやメモリアクセスパターンが異なるためである。しかしながら、そのような組み合わせをすべて手設計することは非現実的である。そこで、研究代表者らは、高性能低消費電力ヘテロジニアスマルチコアプロセッサの自動設計を目指して、FabHeteroプロジェクトを進めてきた。FabHeteroは、ノースカロライナ州立大学で開発している(現在は研究代表者らも共同研究として参画)スーパースカラプロセッサ自動生成ツールであるFabScalarに、研究代表者らが提案している様々な構成の異なるキャッシュシステムを自動設計するFabCache、様々なバス幅や転送レートのプロセッサコア間を接続するためのFabBusを組み合わせたものである。本研究は、FabHeteroプロジェクトを更に進め、より現実的なヘテロジニアスマルチコアの自動設計環境を開発することを目指す。

### 3. 研究の方法

高性能低消費電力ヘテロジニアスマルチコアシステムの自動設計環境の実現を目指して、本

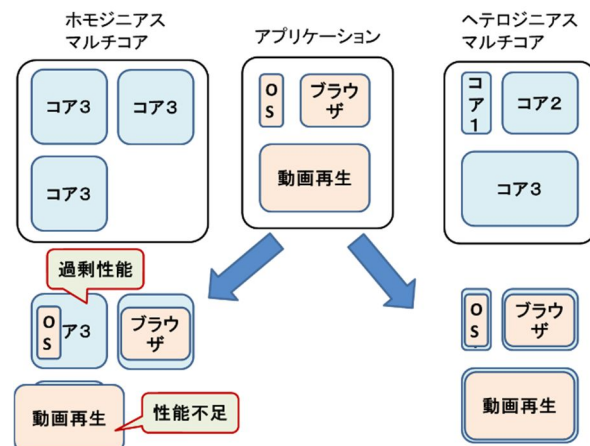


図1: ヘテロジニアスマルチコアの利点

研究ではまず、研究代表者らがこれまでにやってきたヘテロジニアスマルチコアシステムの個々の要素技術の改良を行う。具体的には、(1)FabHetero の実装フレームワークの開発を行う。ヘテロジニアスマルチコアの実装フレームワークの研究開発は少ないが、大規模かつ複雑なヘテロジニアスマルチコアシステム的设计には必要不可欠である。そこで、ヘテロジニアスマルチコアの特徴である、仕様の異なるプロセッサコアやキャッシュ、バス等を組み合わせて利用できるフレームワークを開発する。また、プロセッサコアで利用するレジスタファイルやメモリ管理機構は一般に複雑で、ハードウェアコストが高い。そこで、(2)バンクメモリを用いることで、特殊なメモリジェネレータを利用することなく、小面積でかつ高性能なバンク型レジスタファイル、及び(3)RAM型TLBの開発を行う。更に(4)ヘテロジニアスマルチコアに対応した検証用フレームワークの開発を行う。ヘテロジニアスマルチコアでは、単一プロセッサのようにメモリアクセス順に決定性がないため、動的なプログラム実行を行う検証用シミュレータが必要となるが、コア数の増加に伴い、検証時間が掛かるとい問題がある。そこで、ヘテロジニアスマルチコア向け高速検証用フレームを開発する。また、更なる低消費電力化を目指して、(5)ヘテロジニアスマルチコアに適した高性能低消費電力キャッシュシステムの開発も行う。

#### 4. 研究成果

本研究課題では、高性能低消費電力ヘテロジニアスマルチコアシステムの自動設計環境である FabHetero の実現に向けて、以下の研究成果を得た。すなわち、(1)FabHetero の実装フレームワークの開発、(2)レジスタファイルの自動設計技術の開発、(3)メモリ管理機構の自動設計技術の開発、(4)高速検証用フレームワークの開発、(5)低消費電力キャッシュシステムの実現手法の開発である。

(1) FabHetero の実装フレームワークの開発を行った。自動設計では、抽象度の高い設計データに対してパラメータを与え、論理合成可能な設計データを得るが、本研究課題で対象としているようなヘテロ構成、すなわちパラメータや階層の異なる種々のモジュールが複雑に組み合わさったハードウェアの自動設計技術はこれまであまり研究されてこなかった。そこで、ヘテロジニアスマルチコアの自動設計に向けたフレームワークとして、文献 9、文献 2 にて、効率的かつ抽象度の高いモジュール設計手法を提案した。一般にヘテロジニアスマルチコアプロセッサのキャッシュシステムは、階層や構造が様々である。例えば、L2 キャッシュが共有のシステムや、L2 キャッシュが命令・データ分離で独立、L2 は命令データ統合であるがコア毎に独立等、様々なバリエーションがある。コヒーレンシ処理も様々なため、同階層・異階層のキャッシュシステムの結線は非常に複雑なものになる。更に各キャッシュが様々な構成を持つため、各々のキャッシュシステムを個別に設計すると膨大な組み合わせとなり、設計データが煩雑化する。そこで本研究課題では、キャッシュシステムのモジュールを一旦ばらばらに分解し、必要な機能をモジュールとして接続するだけで様々な構成のキャッシュを実現できる手法を提案した。

(2) 一般にレジスタファイルの実現には多くのチップ面積を必要とする。更に、物理レジスタファイル方式では、命令セットアーキテクチャ上のレジスタファイルの数倍のレジスタ数が必要となる。レジスタファイルは多ポートメモリで実現できるが、物理レジスタファイル方式では、ポート数が非常に多いため、小面積で高性能なプロセッサ実現のためにはレジスタファイルの小面積化が必須である。そこで、文献 8 では、バンクメモリをレジスタファイルに利用することで、小面積化を目指した。しかしながら、一般にバンクメモリは理想的なマルチポートメモリと異なり、ポートの競合が発生するため、性能が大幅に劣化する危険性がある。そこで、本研究では、図 2 のようなアーキテクチャを用いることで、書き込み先を予測した上でバンク競合を削減するような割り当てを行うことで、理想的なマルチポートを用いる場合と比較して、平均 8.3%程度の性能劣化で回路面積を 77.6%削減することに成功した。

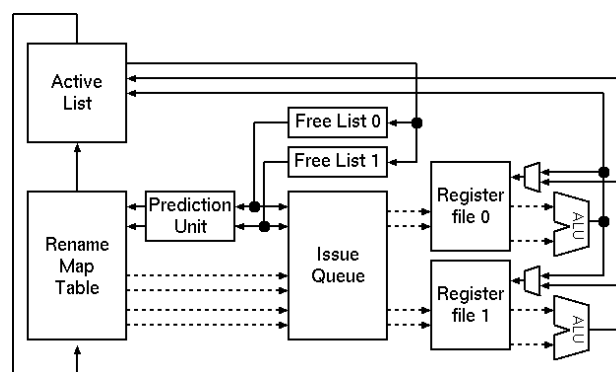


図 2：小面積レジスタファイル

理想的なマルチポートメモリと異なり、ポートの競合が発生するため、性能が大幅に劣化する危険性がある。そこで、本研究では、図 2 のようなアーキテクチャを用いることで、書き込み先を予測した上でバンク競合を削減するような割り当てを行うことで、理想的なマルチポートを用いる場合と比較して、平均 8.3%程度の性能劣化で回路面積を 77.6%削減することに成功した。

- (3) 現実的な応用利用では、仮想メモリが必須である。一般に仮想メモリの実現には、アドレス変換を高速化するための TLB (Translation Lookaside Buffer) を RAM を用いて実現する方式と CAM を用いて実現する方式がある。CAM 方式は RAM 方式と比較して性能が高い反面、実装面積が大きくなるという問題がある。そこで、いくつかのプロセッサは CAM 方式を採用しているが、RAM 方式と CAM 方式ではアクセス方法が全く異なるため、OS やファームウェアの互換性がない。しかしながら、CAM の自動設計は非常に困難であるため、文献 6 では、図 3 に示すような自動設計の容易な RAM を用いた疑似 CAM 型 TLB を提案した。RAM は CAM と比較して実装面積が少ないため、より多くのエントリ数を実現できる。そこで、本研究課題では、単に RAM を用いて TLB を実装するのではなく、RAM を用いることで、より多くの TLB エントリを用意することで、オリジナルの CAM 型 TLB よりも小面積で高い性能を得ることに成功した。

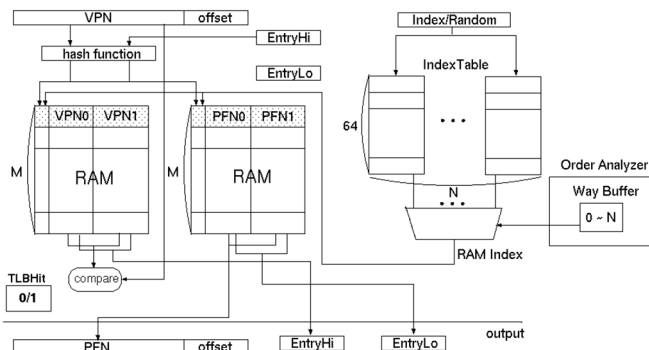


図 3 : 疑似 CAM 型 TLB

図 3 に示すような自動設計の容易な RAM を用いた疑似 CAM 型 TLB を提案した。RAM は CAM と比較して実装面積が少ないため、より多くのエントリ数を実現できる。そこで、本研究課題では、単に RAM を用いて TLB を実装するのではなく、RAM を用いることで、より多くの TLB エントリを用意することで、オリジナルの CAM 型 TLB よりも小面積で高い性能を得ることに成功した。

- (4) 近代的なプロセッサは複雑な構成になっており、シミュレーション検証に膨大な時間が掛かる。そこで、本研究課題では、高速な検証フレームワークの提案も行った。文献 5 では、ヘテロジニアスマルチコアプロセッサの検証用シミュレータを並列化することでシミュレーション時間を平均 77%、最大 96%削減することに成功した。一般にマルチコアプロセッサシミュレータの並列化は、仮想コアを実コアに割り当てることで容易に並列化できる。しかしながら、仮想コアがメモリアクセスを行うタイミングを正しく制御しないと再現性のないシミュレーションになる。例えば、仮想 CPU0 と仮想 CPU1 が同じアドレスに書き込みを行った場合、CPU0 が先に書き込むのか、CPU1 が先に書き込むかによってメモリに残る値が変わる。一般に、正しいプログラムであれば排他制御等を用いることでどのような順番でメモリアクセスが発生しても同じ結果を得られるようにしているため問題はない。しかしながら、プロセッサの検証用シミュレータでは、実行する度に実行過程、すなわちプログラムの出力結果ではなく、プロセッサ内で発生している命令やメモリアクセスの順番が変化してしまうと検証ができないという問題がある。更に一般的なプログラムでは、システムコールが発生するが、これは SystemVerilog 等の HDL シミュレータとのコシミュレーション時には問題となる。具体的には、システムコールは通常 OS 上で実行されるため、HDL シミュレータ上では扱えないという問題である。そこで、それらの問題を解決すべく、メモリを通じたシステムコールのハンドリングを行うことで、HDL シミュレータとのコシミュレーションに対応した検証用フレームワークを開発した。

- (5) 更に本研究では、高性能低消費電力ヘテロジニアスマルチコアシステムの実現に向けて、高性能低消費電力キャッシュの提案を行った。文献 7 では、キャッシュシステムの自動設計ツールを提案した。また、文献 4、文献 3、文献 1 では、低消費電力化を目指して、自動設計に適した低消費電力キャッシュ制御アルゴリズムを提案した。提案手法は、通常のロジックセルやメモリマクロ等を用いる手法であり、自動設計と相性がよい。一般に多くの低消費電力キャッシュは、メモリセル等の電源電圧をコントロールすることで低消費電力化を行うが、電源電圧の動的制御は自動設計化が困難である。そこで、提案手法では、図 4 に示すように、キャッシュメモリをセルと呼ばれる細かい粒度に分割し、メモリを必要とするプログラムやスレッドに分配することでメモリの利用効率を上げる手法である。この手法を用いることで、図 5 に示す通り、キャッシュのヒット率を 2.3 ポイント程度上昇することができた。これによりプログラムの実行時間を短くすることができ、

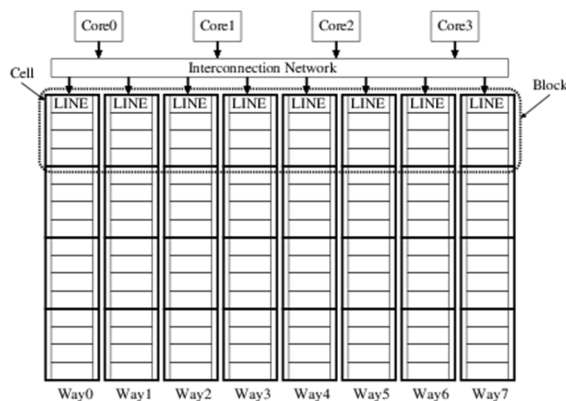


図 4 : セルアロケーションキャッシュ

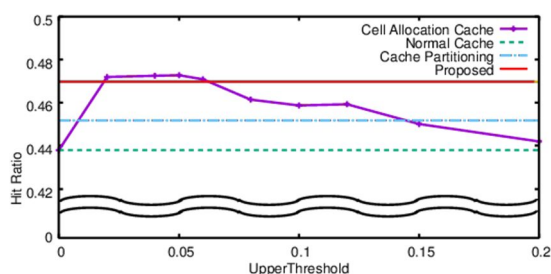


図 5 : キャッシュヒット率

結果的に消費電力の削減を達成できる。  
このように、本研究課題では高性能低消費電力ヘテロジニアスマルチコアプロセッサの自動設計に向けて5つの要素技術を提案し、その有効性を明らかにした。

<引用文献>

Tomoaki Ikari, Takahiro Sasaki: Hardware Design and Evaluation of Cell Allocation Cache, Proc. of the 2019 International Workshop on Networking, Computing, Systems, and Software (NCSS), pp.1-4 (2019/11).

Taiga Yukawa, Takahiro Sasaki: Improvement of Cache System Automatic Design Tool for Heterogeneous Multi-core, Proc. of the 2019 International Workshop on Advances in Networking and Computing (WANC), pp.487-489 (2019/11).

Takahiro Sasaki, Masato Kito: Adaptive Cell Allocation Cache using Phase Detection Technique, International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC2019), pp.23-26 (2019/6).

Masato Kito, Takahiro Sasaki, Kazuhiko Ohno: Performance Evaluation of Dynamic Cell Allocation Cache using Cycle Accurate Simulator, Proceedings of the International Symposium on Computing and Networking, pp.1-3 (2018/11).

Kouki Kayamuro, Takahiro Sasaki, Yuki Fukazawa, Toshio Kondo: A Rapid Verification Framework for Developing Multi-core Processor, Proc. of International Symposium on Computing and Networking (2016/11).

Takahiro SASAKI, Gun MUTO, Yuki FUKAZAWA, Toshio KONDO: High performance and low design cost TLB for MIPS32 processor, Proc. of the 31st International Technical Conference on Circuits/Systems Computers and Communications, pp.141-144 (2016/7).

Takahiro Sasaki, Takaki Okamoto, Seiji Miyoshi, Yuki Fukazawa, Toshio Kondo: Evaluation of Portability and Design Diversity of FabCache, International Journal of Computer and Electrical Engineering (IJCEE), Vol.8, No.3, pp.185-196 (2016/6).

Hiroaki Kawashima, Takahiro Sasaki, Yuki Fukazawa and Toshio Kondo: Register port prediction for a banked register file, Proc. of the Third International Symposium on Computing and Networking, pp.551-555 (2015/12).

Seiji Miyoshi, Takahiro Sasaki, Yuki Fukazawa and Toshio Kondo: An architectural framework of snoop interconnection for heterogeneous cache systems, Proc. of the Third International Symposium on Computing and Networking, pp.561-565 (2015/12).

5. 主な発表論文等

〔雑誌論文〕 計1件（うち査読付論文 1件／うち国際共著 0件／うちオープンアクセス 0件）

1. 著者名 Takahiro Sasaki, Takaki Okamoto, Seiji Miyoshi, Yuki Fukazawa, Toshio Kondo	4. 巻 8
2. 論文標題 Evaluation of Portability and Design Diversity of FabCache	5. 発行年 2016年
3. 雑誌名 International Journal of Computer and Electrical Engineering	6. 最初と最後の頁 185-196
掲載論文のDOI（デジタルオブジェクト識別子） 10.17706/IJCEE.2016.8.3.185-196	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計15件（うち招待講演 0件／うち国際学会 9件）

1. 発表者名 Takahiro Sasaki, Masato Kito
2. 発表標題 Adaptive Cell Allocation Cache using Phase Detection Technique
3. 学会等名 International Technical Conference on Circuits/Systems, Computers and Communications (国際学会)
4. 発表年 2019年

1. 発表者名 Taiga Yukawa, Takahiro Sasaki
2. 発表標題 Improvement of Cache System Automatic Design Tool for Heterogeneous Multi-core
3. 学会等名 International Workshop on Advances in Networking and Computing (国際学会)
4. 発表年 2019年

1. 発表者名 Tomoaki Ikari, Takahiro Sasaki
2. 発表標題 Hardware Design and Evaluation of Cell Allocation Cache
3. 学会等名 International Workshop on Networking, Computing, Systems, and Software (国際学会)
4. 発表年 2019年

1. 発表者名 N. Inagaki, T. Sasaki, Y. Kamiya
2. 発表標題 A New Simple Approach Signal Analysis Suitable for Non-Contact Vital Sensing Using Doppler Sensor
3. 学会等名 International Conference on Biomedical Imaging, Signal Processing (国際学会)
4. 発表年 2019年

1. 発表者名 Masato Kito, Takahiro Sasaki, Kazuhiko Ohno
2. 発表標題 Performance Evaluation of Dynamic Cell Allocation Cache using Cycle Accurate Simulator
3. 学会等名 International Symposium on Computing and Networking (国際学会)
4. 発表年 2018年

1. 発表者名 鬼頭優人, 佐々木敬泰, 深澤祐樹, 近藤利夫
2. 発表標題 Gem5を用いた分割領域動的管理キャッシュの実環境下における性能評価
3. 学会等名 情報処理学会全国大会
4. 発表年 2018年

1. 発表者名 萱室高樹, 佐々木敬泰, 深澤 祐樹, 近藤 利夫
2. 発表標題 マルチコアプロセッサの効率的な設計検証に向けたプロセッサシミュレータの並列化
3. 学会等名 電子情報通信学会研究会
4. 発表年 2017年

1. 発表者名 Takahiro SASAKI, Gun MUTO, Yuki FUKAZAWA, Toshio KONDO
2. 発表標題 High performance and low design cost TLB for MIPS32 processor
3. 学会等名 The 31st International Technical Conference on Circuits/Systems (国際学会)
4. 発表年 2016年

1. 発表者名 Kouki Kayamuro, Takahiro Sasaki, Yuki Fukazawa, Toshio Kondo
2. 発表標題 A Rapid Verification Framework for Developing Multi-core Processor
3. 学会等名 International Symposium on Computing and Networking (国際学会)
4. 発表年 2016年

1. 発表者名 川島弘晃, 佐々木敬泰, 深澤祐樹, 近藤利夫
2. 発表標題 マルチバンク化と書込予測を用いた小面積レジスタファイルの提案
3. 学会等名 情報処理学会研究会
4. 発表年 2015年

1. 発表者名 刀根舞歌, 佐々木敬泰, 深澤祐樹, 近藤利夫
2. 発表標題 可変レベルキャッシュのモード切り換えアルゴリズムの改良
3. 学会等名 情報処理学会研究会
4. 発表年 2015年



1. 発表者名 武藤郡, 佐々木敬泰, 深澤祐樹, 近藤利夫
2. 発表標題 スタンダードセルベース設計用のCAM型TLBの実装手法の提案
3. 学会等名 情報処理学会研究会
4. 発表年 2015年

1. 発表者名 Seiji Miyoshi, Takahiro Sasaki, Yuki Fukazawa and Toshio Kondo
2. 発表標題 An architectural framework of snoopy interconnection for heterogeneous cache systems
3. 学会等名 Third International Symposium on Computing and Networking (国際学会)
4. 発表年 2015年

1. 発表者名 Hiroaki Kawashima, Takahiro Sasaki, Yuki Fukazawa and Toshio Kondo
2. 発表標題 Register port prediction for a banked register file
3. 学会等名 Third International Symposium on Computing and Networking (国際学会)
4. 発表年 2015年

1. 発表者名 武藤郡, 佐々木敬泰, 深澤祐樹, 近藤利夫
2. 発表標題 MIPSベースプロセッサのTLB機構の改良による高性能化
3. 学会等名 電子情報通信学会研究会
4. 発表年 2015年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	---------------------------	-----------------------	----