

科学研究費助成事業 研究成果報告書

令和元年6月4日現在

機関番号：32621

研究種目：基盤研究(C)（一般）

研究期間：2015～2018

課題番号：15K06030

研究課題名（和文）ニューロ非2進アナログ/デジタル変換器の研究

研究課題名（英文）Non-binary analog-to-digital converters based on neural networks

研究代表者

和保 孝夫（Waho, Takao）

上智大学・理工学研究科・教授

研究者番号：90317511

交付決定額（研究期間全体）：（直接経費） 3,800,000円

研究成果の概要（和文）：ニューラルネットワーク（NN）を用いたアナログ/デジタル（A/D）変換器において、デジタル出力層のニューロンに変調器を採用することで、NNの局所解に起因する変換誤差発生を抑制し、高分解能動作を可能とする回路構成法を明らかにした。特に、オーバーサンプリング動作によりノイズシェイピング特性を実現し、20ビット以上の分解能が得られる見通しを得た。また、NNの重み付け係数を工夫することで、非2進A/D変換動作を可能とした。一方、能動受動併用型ダイナミック共通ソース増幅器を搭載した変調器チップ試作実験を行い、NNの積和演算に必要な要素回路の低消費電力動作を実証した。

研究成果の学術的意義や社会的意義

実世界のアナログ情報をデジタル機器に取り込むためにはA/D変換器が必須であり、従来から、さまざまな要求仕様に対応するために多くの変換方式が検討されてきた。最近では、素子微細化に伴い増加する素子バラツキに起因する変換精度劣化を抑制できる校正手法が注目されている。非2進方式もその一つで、本研究によりニューラルネットワーク（NN）を用いたA/D変換器の構成法を明らかにしたことで、NNの学習機能を利用した自己校正A/D変換器実現の見通しが得られた。また、局所解の影響回避に関する本提案は、A/D変換器のみならず、広くNN応用分野にも適用可能な技術と考えられる。

研究成果の概要（英文）：By adopting modulators as neurons in the digital output layer of the neural network (NN), conversion errors due to local minima inherent to NN-based analog-to-digital converters can be reduced, and circuit configurations capable of high-resolution operation have been revealed. Our signal-level simulation showed a possible conversion resolution as high as 20 bits or more by exploiting the oversampling technique. In addition, the non-binary operation is achieved by properly selecting the weighting factors in the NN. Furthermore, an active/passive mixed-mode dynamic-common-source amplifier is designed and fabricated as a critical component required for product-sum operation in the NN, and the low power consumption was confirmed.

研究分野：電気電子工学

キーワード：アナログ/デジタル変換 局所解 ニューラルネットワーク 非2進 変調 オーバーサンプリング 冗長性

1. 研究開始当初の背景

デジタル情報処理の進展に伴い、アナログ量(A)である電気信号をデジタル値(D)に変換する A/D 変換器 (ADC) が重要な役割を果たすようになった。A/D 変換器に対する要求性能は年々高度化し、それに応えるため、逐次近似型、パイプライン型、 $\Delta\Sigma$ 型などの変換方式に基づき、最先端 CMOS 技術を採用した A/D 変換器の研究開発が急速に進展した。しかし、近年、素子微細化は限界に近づきつつあることから、変換方式の新しい組み合わせ(ハイブリッド化)やデジタル支援回路の採用など、新しい視点に立った A/D 変換器開発が模索されていた。

一方、AI (人工知能) や深層学習への期待が高まり、その技術基盤としてのニューラルネットワーク(NN)にも再び関心が集まった。A/D 変換の観点からも、NN における並列性や学習機能は魅力的であり、Hopfield 型 NN を用いた A/D 変換器が一時期検討された[1]。しかし、NN 特有の局所解に起因する大きな A/D 変換誤差のため、従来型 A/D 変換器の性能を凌駕できる見通しは立っていなかった。

我々は、本研究開始当初、粘菌コンピューティングを応用した A/D 変換器の研究に着手しており、その過程で、それが Hopfield 型 NN を用いた A/D 変換器に帰着することが分かった。一方、我々は低消費電力 $\Delta\Sigma$ 型 A/D 変換器に関する研究を進めていた。そこで、これらの二つの方式を融合することで新しい変換方式が提案できると考え、本研究に着手した。

2. 研究の目的

ニューラルネットワーク (NN) を利用した A/D 変換器を対象として、 $\Delta\Sigma$ 型 A/D 変換器の概念を取り入れて、NN の潜在能力を最大限に引き出すための A/D 変換器の基本構成および高性能化指針を明らかにし、自己校正機能を持つ新しい A/D 変換器の実現に資することが本研究の目的である。

3. 研究の方法

- (1) [局所解対策] Hopfield 型 NN を利用した A/D 変換器の出力層ニューロンには、従来、シグモイド特性を持つ比較器 (コンパレータ) が用いられてきた。本研究では、その比較器を $\Delta\Sigma$ 変調器に置き換えることを新たに提案し、NN 系が局所解に陥ることを回避できるか、また、その結果、高分解変換が実現できるか、信号レベルシミュレーションに基づき解析を進めた。サンプリング方法としては次の 2 通りの方法を考察した。

ナイキスト型：ナイキストレートでサンプリングした個々の値に対して NN フィードバックを多数回繰り返し、得られた値を平均化することで各サンプル値に対する出力を決定した。

オーバーサンプリング型：ナイキストレートより高いレートでサンプリングした値に対して 1 回だけ NN フィードバックを行い、一定の期間内に得られた値を平均化することでナイキストレートの出力を決定した。

- (2) [非 2 進構成] 上記の A/D 変換の変換過程を詳細に解析し、任意の基数 ($\neq 2$) を用いて A/D 変換を行うことが可能な NN の重み付け係数を新たに決定し、シミュレーションにより非 2 進動作を確認した。
- (3) [低消費電力回路] NN 系における積和演算に、我々が提案したダイナミック共通ソース増幅器を適用するための回路設計/試作を行い、有効性を確認した。

4. 研究成果

- (1) [局所解対策] 本研究で提案した、出力層ニューロンに $\Delta\Sigma$ 変調器を採用した A/D 変換器の構成

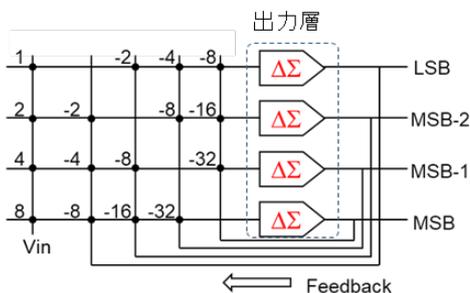


図 1 $\Delta\Sigma$ 変調器を出力層ニューロンに用いた Hopfield 型ニューラルネットワーク A/D 変換器 (NN-ADC1)

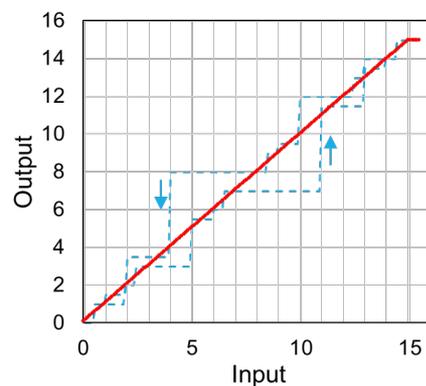


図 2 NN-ADC1 (赤実線) (繰り返し回数: 10^4 回) と従来型 (青破線) の入出力特性比較。

を図 1 に示す。左半面の黒丸は重み付け加算、数字は重み付け係数で、エネルギー関数から決まる従来値をそのまま使用した。上記のナイキスト型で動作させたときの入出力特性のシミュレーション結果を、従来型と比較して図 2 に示す。従来型では、NN 系が局所解に落ち込むため変換誤差が大きく、ヒステリシスも見られたが、本研究で提案した A/D 変換器では直線状でヒステリシスもない、ほぼ理想的な入出力特性が得られた。変調器の出力が短期間ではランダムに変化することを利用して、局所解へのトラップを回避でき、変換精度の大幅な改善に成功した。

さらに、上記のオーバーサンプリング型で動作させたときの出力スペクトルを図 3 に示す。では得られなかった、変調器に特有のノイズシェイピング特性を実現できた。量子化雑音の傾きは、ニューロンとして用いた 2 次変調器に固有の値 (40 dB/dec) であった。さらに、6 個の出力ニューロンを用いた 6 ビット変調器を構成し、20 ビット以上の分解能が得られる可能性を明らかにした。

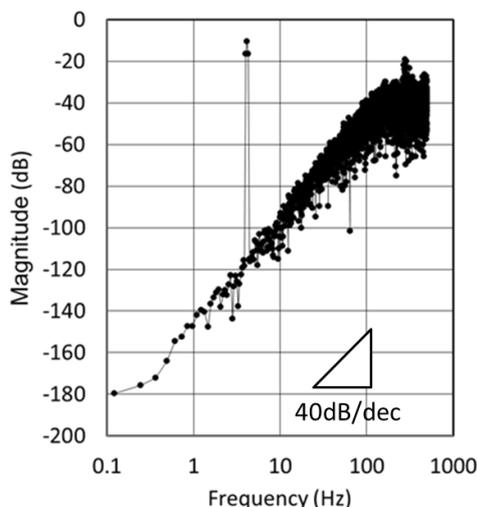


図 3 NN-ADC1 で得られた出力スペクトル

- (2) [非 2 進構成] 上述の Hopfield 型 NN を図 4 で示す非対称 NN に変更することで、任意の基数 α に基づく A/D 変換を実現した。ここでは変調器出力に含まれる高周波雑音を抑止するための平均化フィルタ (図中の丸で囲んだ A) をフィードバック経路に挿入し、高分解能化を図った。 $\alpha = 2$ のときは従来型多ビット変調器と同様の出力特性が得られることをシミュレーションで確認した。従来型多ビット $\Delta\Sigma$ 変調器では、線形性改善のために動的要素マッチング (DEM) 回路が必要であるが、本回路では、本質的に線形である 1 ビット信号をフィードバックするため DEM 回路が不要で、回路構成を簡素化できるという利点がある。

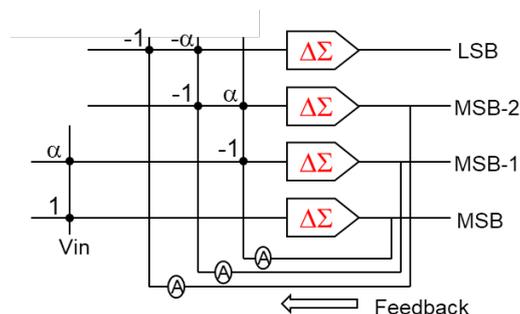


図 4 非対称ニューラルネットワークで構成した非 2 進 A/D 変換器 (NN-ADC2)

非 2 進動作 ($\alpha \neq 2$) の結果を図 5 に示す。非 2 進動作でも、高いピーク ENOB (有効ビット数) を維持できることが分かった。図中で Chan# は出力ニューロン (変調器) の数で、出力ビット幅を意味する。また、DSM1、DSM2 は変調器として 1 次、2 次を用いたときの結果を示す。比較のため、通常の 1 次および 2 次変調器で得られる値を (a) (b) で示す。非 2 進動作 (特に $\alpha < 2$) には変換誤差補正機能があり、自己校正機能を実現できる見通しを得た。

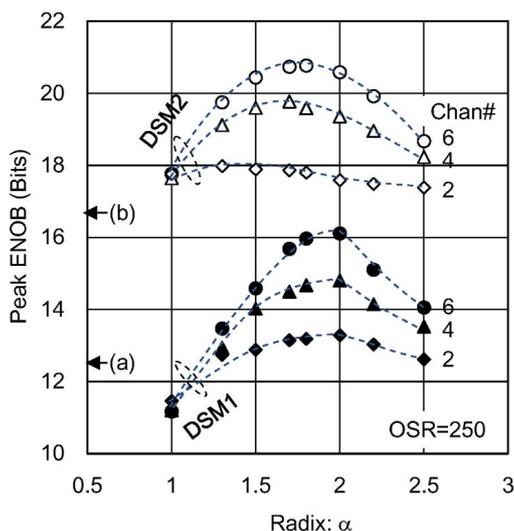


図 5 NN-ADC2 で得られた分解能 (ピーク ENOB) の基数 (α) 依存性

- (3) [低消費電力回路] NN の積和演算に必要な要素回路として、能動受動併用型ダイナミック共通ソース (DCS) 増幅器を提案し、それを積分器として利用した $\Delta\Sigma$ 変調器を設計/試作した。0.18 μm CMOS プロセスを利用して作製したチップ写真を図 6 に示す。INT1、INT2 は初段、2 段目の積分器、COMP は比較器、DAC はフィードバック D/A 変換器、CLK はクロック発生回路である。測定の結果、良好な変調特性が得られ、本提案増幅器の有用性が確認できた。

変調特性が得られ、本提案増幅器の有用性が確認できた。

参考文献

[1] D. Tank and J. Hopfield, "Simple 'neural' optimization networks: An A/D converter, signal decision circuit, and a linear programming circuit," *IEEE Trans. Circuits and Systems*, vol. 33, no. 5, pp. 533–541, May 1986.

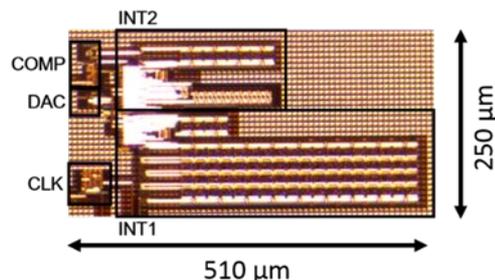


図6 DCS増幅器を用いた2次 $\Delta\Sigma$ 変調器のチップ写真

5. 主な発表論文等

〔雑誌論文〕(計5件)

- Waho Takao, "A noise-shaping analog-to-digital converter using a $\Delta\Sigma$ modulator feedforward network," *Journal of Applied Logics*, 査読有, vol. 4, no. 5, pp. 1833 – 1848, 2018, <http://www.collegepublications.co.uk/downloads/ifcolog00029.pdf>
- Waho Takao, "An analog-to-digital converter using delta-sigma modulator network," *Proc. 2018 IEEE 48th International Symposium on Multiple-Valued Logic (ISMVL)*, 査読有, vol. 1, pp. 25 – 30, 2018, DOI: 10.1109/ISMVL.2018.00013
- Takao Waho, "Analog-to-digital converters using not multi-level but multi-bit feedback paths," *Proc. IEEE International Symposium on Multiple-Valued Logic (ISMVL)*, 査読有, vol. 1, pp. 7- 12, 2017, DOI: 10.1109/ISMVL.2017.30
- U. Ishida, Y. Yamazaki and T. Waho, "Non-binary analog-to-digital converter based on amoeba-inspired neural network," *Proc. 2015 IEEE International Symposium on Multiple-Valued Logic (ISMVL)*, 査読有, vol. 1, pp. 103 – 108, 2015, DOI: 1009/ISMVL.2015.13.11
- 石田宇一、和保孝夫、「粘菌コンピューティングを模したニューラルネットワーク型 A/D 変換器」, 電子情報通信学会技術研究報告、査読無、vol. ED-115、pp. 10-1 - 10-5、2016、https://www.ieice.org/ken/search/index.php?search_mode=form&year=39&psort=1&pskey=code%3AED2015-128&ps1=1&ps2=1&ps3=1&ps4=1&ps5=1&layout=&lang=

〔学会発表〕(計13件)

- Takao Waho, "An analog-to-digital converter based on an artificial neural network," *2019 International Conference on Soft Computing & Machine Learning*, 2019(Invited)
- 和保孝夫、「ニューラルネットワークにヒントを得た $\Delta\Sigma$ 変調器の構成法」, 多値論理とその応用研究会、2018
- 和保孝夫、「ニューラルネットワークにヒントを得た多ビット $\Delta\Sigma$ 変調器法」, 多値論理とその応用研究会、2017
- 和保孝夫、「パネルディスカッション：今後10年の多値論理の展望について」, 第30回多値論理とその応用研究会(招待パネラー)、2017
- 小原一馬 和保孝夫、「ダイナミック共通ソース積分器：アナログ回路低消費電力化の一手法」, 多値論理研究会、2016
- Takao Waho, "Analog-to-digital converters using artificial neural network: A Review," *25th International Workshop on Post-Binary ULSI Systems*, 2016 (Invited)
- 和保孝夫、石田宇一、「ニューラルネットを用いたA/D変換器」, 多値論理とその応用研究会、2016
- 島本一成、多田共史、荻野雄大、朝倉啓太、下村和彦、和保孝夫、「InAs ナノワイヤ/CMOS 集積回路のLOCへの応用」, 電子情報通信学会総合大会、2016
- 小原一馬、和保孝夫、「能動/受動併用ダイナミック積分器を用いた低消費電力 $\Delta\Sigma$ 変調器」, 電子情報通信学会総合大会、2016
- 山崎雄介、小原一馬、和保孝夫、「シリアルDACを用いた逐次比較型A/D変換器の設計」, 電子情報通信学会総合大会、2016
- T. Waho, K. Ohara, "Analog circuits for low-power data converters," *24th International Workshop on Post-Binary ULSI Systems*, 2015
- Takao Waho, "InAs-nanowire/CMOS co-integration for sensor applications," *BIT's 5th Nano Science and Technology 2015*, 2015
- Issei Shimamoto, Kazuma Ohara, Takehiro Ogino, Kazuhiko Shimomura, and Takao Waho, "InAs nanowire resistance measurement using nanowire/CMOS co-integrated circuit," *11th Topical Workshop on Heterostructure Microelectronics*, 2015

〔図書〕(計3件)

- Takao Waho, "Introduction to Analog-to-Digital Converters," River Publishers, 2019,

255 頁 (予定)

和保孝夫、「アナログ/デジタル変換入門 - 原理と回路実装 -」、コロナ社、2019、275 頁
和保孝夫、他 6 名、「はじめて学ぶ情報通信」、コロナ社、2016、188 頁

〔産業財産権〕

出願状況 (計 1 件)

名称： $\Delta\Sigma$ 変調器

発明者：和保孝夫

権利者：上智学院

種類：特許

番号：特許願 2016-0939

出願年：2016 年

国内外の別：国内

取得状況 (計 0 件)

6 . 研究組織

(1)研究分担者

研究分担者氏名：なし

(2)研究協力者

研究協力者氏名：石田宇一

ローマ字氏名：ISHIDA Uichi

研究協力者氏名：小原数馬

ローマ字氏名：OHARA Kazuma

研究協力者氏名：島本一成

ローマ字氏名：SHIMAMOTO Issei

研究協力者氏名：山崎雄介

ローマ字氏名：YAMAZAKI Yusuke