

平成 30 年 6 月 12 日現在

機関番号：32644
研究種目：基盤研究(C) (一般)
研究期間：2015～2017
課題番号：15K06032
研究課題名(和文)ニューロンCMOS回路を用いた連想メモリに関する研究

研究課題名(英文)Associative Memory Using Neuron CMOS Inverters

研究代表者

藤本 邦昭 (FUJIMOTO, KUNIAKI)

東海大学・基盤工学部・教授

研究者番号：60229044

交付決定額(研究期間全体)：(直接経費) 3,600,000円

研究成果の概要(和文)：連想メモリは、入力データに類似した参照データを瞬時に見つけそのデータを出力できることから、文字認識、指紋認識、データ圧縮、色画像認識など様々な分野で極めて有用であるとされている。我々は、この連想メモリの動作が人間の脳の記憶照合方式と極めて類似していることに着目した。本研究では、神経細胞(ニューロン)と同等の振る舞いをするニューロンCMOSインバータを構成部品として用い、ハミング距離及びマンハッタン距離に基づく高速な類似検索が可能な連想メモリを提案し、実験とシミュレーションにより回路動作の検証を行った。

研究成果の概要(英文)：An associative memory system finds the reference data that is the most similar to the input data, and outputs the reference data quickly. The fast search capability of the associative memory, which can find similar data from mass data in database is extremely useful for many fields including character recognition, fingerprint recognition, data compression, color image recognition, and so on. In this study, we aim to improve the performance of associative memory LSI by using a neuron CMOS inverter, which behaves similarly to a nerve cell, or neuron. In this project period, we design, fabricate and verify the associative memory LSI chips using neuron CMOS inverters which search similar data based on the Hamming distance and the Manhattan distance at high speed.

研究分野：電子回路

キーワード：連想メモリ ニューロンCMOS ハミング距離 マンハッタン距離

1. 研究開始当初の背景

近年、情報処理技術の発展に伴い、文字認識や画像認識等のパターン認識があらゆる場面で用いられるようになってきた。パターン認識において、データベースに保存されている膨大なデータの中から入力したデータに最も類似したデータを検索することは、基本的かつ重要な処理であり、この処理を高速に行うことの重要性は益々高くなってきている。しかし、この処理をソフトウェアで行おうとすると、データベースの中から1個ずつデータ呼び出して比較する必要があり、データが膨大になると検索に非常に時間がかかりリアルタイムでの処理が難しくなる。また、ハードウェアでこの処理を行う場合においても、基本的な動作はソフトウェアの場合と同じであるため検索速度は遅い。この問題を解決するため、データベースの中から入力したデータに最も類似したデータを高速で検索することが可能なメモリ(連想メモリ)の研究が行われるようになったが、未だ実用には至っていない。

2. 研究の目的

人間は、図1のように過去の膨大な記憶の中から類似したものを瞬時に探し出しており、その動作は連想メモリに類似している。これは、人間の記憶方式が一般的なメモリと全く異なり、神経細胞(ニューロン)が多数結合して、相互作用をおよぼしながら並列動作を行っているためである。そこで、我々は脳の神経細胞と似た性質を持つ電子素子であるニューロン CMOS インバータに着目した。本プロジェクトでは、ニューロン CMOS インバータを構成部品として用いることにより、高速動作が可能な連想メモリを実現したい。また、その動作をシミュレーション及び実チップを用いた実験により確認したい。

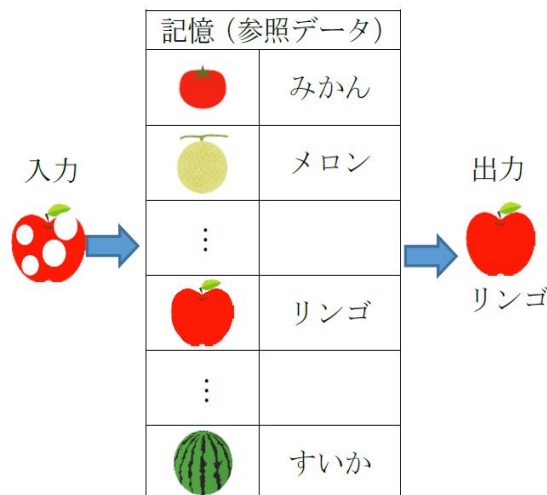


図1 人間の記憶モデル

3. 研究の方法

ニューロン CMOS は、2層のポリシリコン CMOS プロセスを必要とする。しかし、一般的な CMOS 製造プロセスでは、ポリシリコン層が1層しかないため、ニューロン CMOS インバータを作成することができない。そこで、図2のようにキャパシタンスと一般的な CMOS インバータを組み合わせることでニューロン CMOS インバータと等価な回路を構成し、これを用いてレイアウト設計を行うこととした。

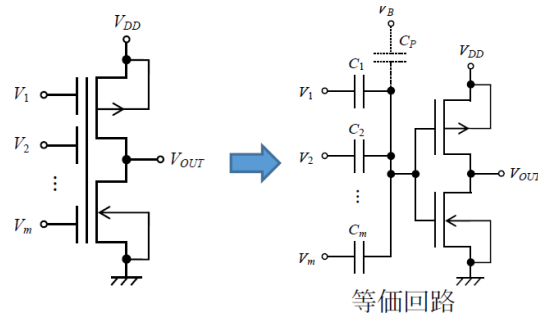


図2 ニューロン CMOS インバータ

4. 研究成果

本研究ではハミング距離およびマンハッタン距離を類似度の指標とし、最も類似した参照データおよび一定範囲内の類似度の参照データを検索する4種類の連想メモリを提案し、それぞれの動作をシミュレーションおよび実チップを用いた実験により確認した。さらに、ニューロン CMOS インバータの電源と MOS ゲートの間に MOS スイッチを追加し、消費電力を低減する手法を提案した。以下、これらの詳細について報告する。

(1) 最小ハミング距離検索連想メモリ

図3は、最小ハミング距離検索回路である。この回路を、多出力 RAM と共に用いることで、ハミング距離を指標とした連想メモリを構成できる。ローム社 0.18 μ m CMOS プロセスを用いてビット数 8、ワード数 32 の最小ハミング距離検索連想メモリの集積化を行った。図4はレイアウト図である。面積は 1800 μ m \times 250 μ m となった。表1、表2は、類似検索動作および一致検索動作を確認するための実験に使用した入力データ、参照データ、入力データと参照データのハミング距離および対応する出力を表したものである。図5は、類似検索の実験結果である。これより、入力データに最も類似した参照データ B_4 と B_6 に対応した出力 OUT_4 と OUT_6 がハイレベルになっており、提案する連想メモリによって類似検索動作が可能であることが分かる。図6は、一致検索の実験結果である。これより、入力データと一致した参照データ B_5 と B_{13} に対応した出力 OUT_5 と OUT_{13} がハイレベルになっており一致検索も可能であることが分かる。なお、一致したデータのみを検索する場合は、制御信号 H をハイレベルに固定することで行うことができる。

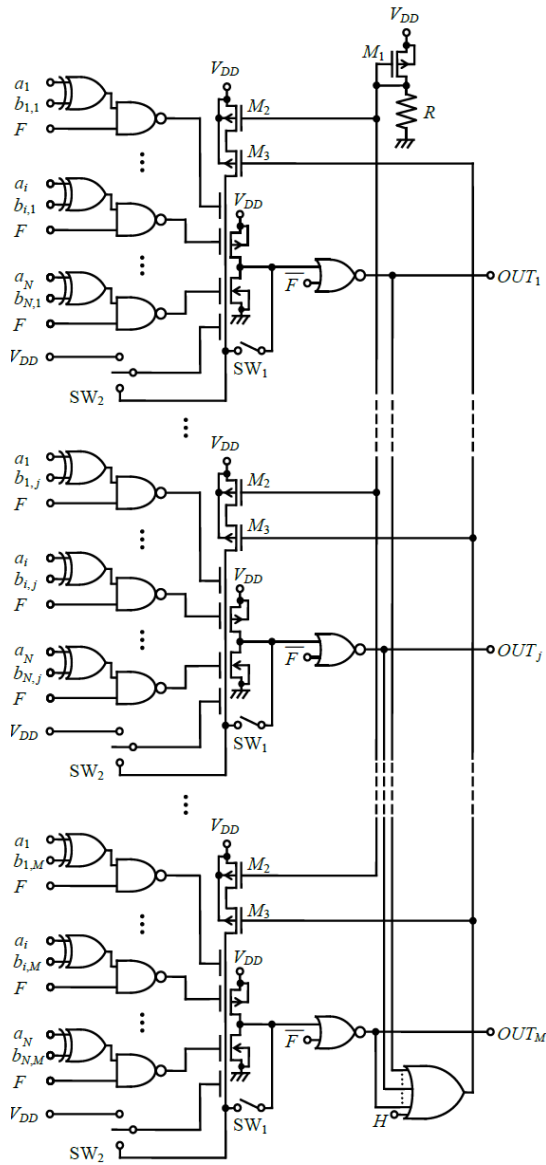


図3 最小ハミング距離検索回路

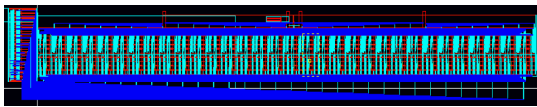


図4 最小ハミング距離検索連想メモリのレイアウト図

表1 類似検索に用いた入力パターン

Input data	Reference data	Hamming distance	Output
A (00010111)	$B_1(00000000)$	4	OUT_1
	$B_2(00000001)$	3	OUT_2
	$B_3(00000011)$	2	OUT_3
	$B_4(00000111)$	1	OUT_4
	$B_5(00001111)$	2	OUT_5
	$B_6(00011111)$	1	OUT_6
	$B_7(00111111)$	2	OUT_7
	$B_8(01111111)$	3	OUT_8
⋮	⋮	⋮	⋮

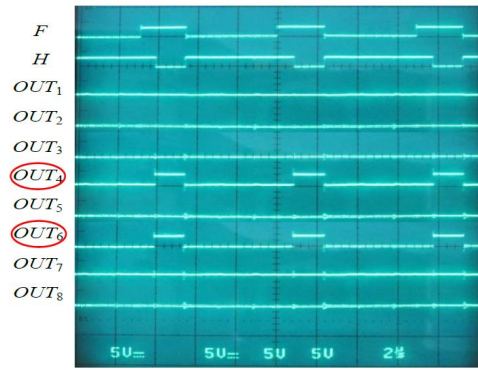


図5 類似検索の実験結果

表2 一致検索に用いた入力パターン

Input data	Reference data	Hamming distance	Output
A (00001111)	$B_4(00000001)$	1	OUT_4
	$B_5(00000011)$	0	OUT_5
	$B_6(00000111)$	1	OUT_6
	$B_7(00001111)$	2	OUT_7
	⋮	⋮	⋮
	$B_{11}(00001111)$	2	OUT_{11}
	$B_{12}(00000111)$	1	OUT_{12}
	$B_{13}(00000011)$	0	OUT_{13}
	$B_{14}(00000001)$	1	OUT_{14}
	⋮	⋮	⋮

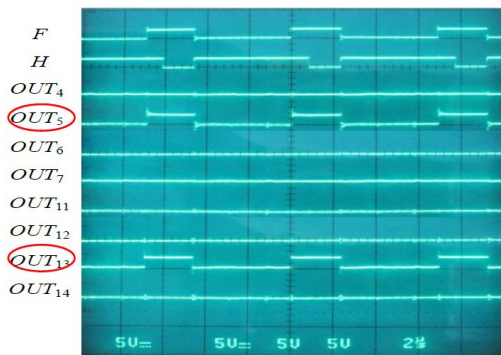


図6 一致検索の実験結果

(2) 範囲内検索連想メモリ

研究を進めていく中で、若干の回路の変更により、最も類似したデータだけでなく指定した類似範囲のデータが検索可能になることがわかった。図7は、範囲内ハミング距離検索回路である。この回路と多出力RAMとを組み合わせることでハミング距離が範囲内のデータを検索可能な連想メモリを構成することができる。0.18 μm CMOS プロセスによりビット数が64、ワード数が64の範囲内検索連想メモリの集積化を行った。図8は、その際のレイアウト図である。面積は500 $\mu\text{m} \times 1000\mu\text{m}$ となった。表3は、範囲内検索のシミュレーションに使用した入力データ、参照データ、入力データと参照データのハミング距離、検索範囲指定入力、および対応する出力を表したものである。制御電圧Cに印加するハイレベルの個数で検索範囲を指定する。今回は、制御電圧Cの2箇所にハイレベ

ルを印加しているため、ハミング距離が2以内のデータを検索するように設定している。図9は、この場合のシミュレーション結果である。シミュレーションはレイアウトから抽出したネットリストを用いて行った。これより、ハミング距離が2以内の B_4, B_6, B_7, B_8 に対応する出力 $OUT_4, OUT_6, OUT_7, OUT_8$ がハイレベルになっており所期の動作をしていることがわかる。

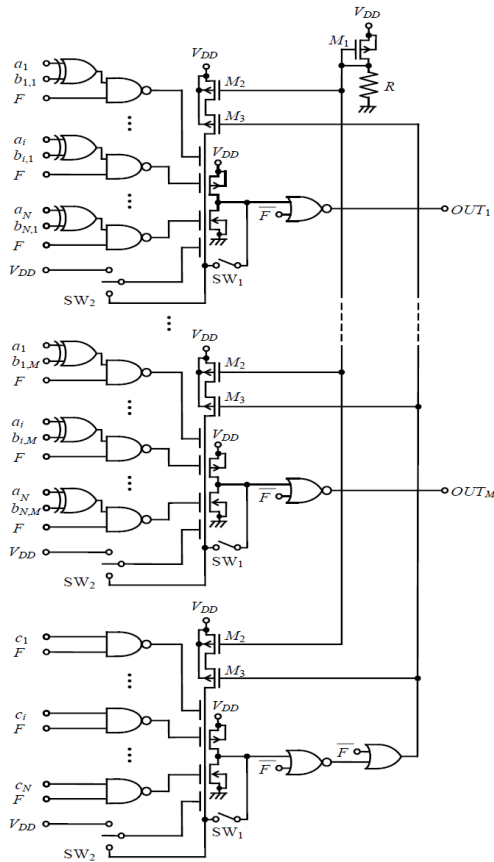


図7 範囲内ハミング距離検索回路

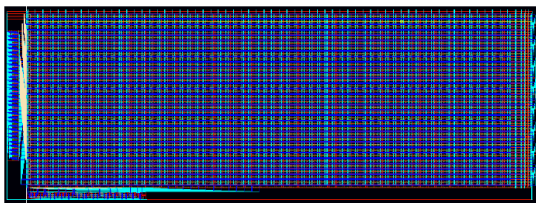


図8 範囲内ハミング距離検索連想メモリのレイアウト図

表3 範囲内検索に用いた入力パターン

Input data	Reference data	Hamming distance	Range specification	Output
A (00110111)	$B_1(00000000)$	5	C (00000011)	OUT_1
	$B_2(00000001)$	4		OUT_2
	$B_3(00000011)$	3		OUT_3
	$B_4(00000111)$	2		OUT_4
	$B_5(00001111)$	3		OUT_5
	$B_6(00011111)$	2		OUT_6
	$B_7(00111111)$	1		OUT_7
	$B_8(01111111)$	2		OUT_8
	⋮	⋮		⋮

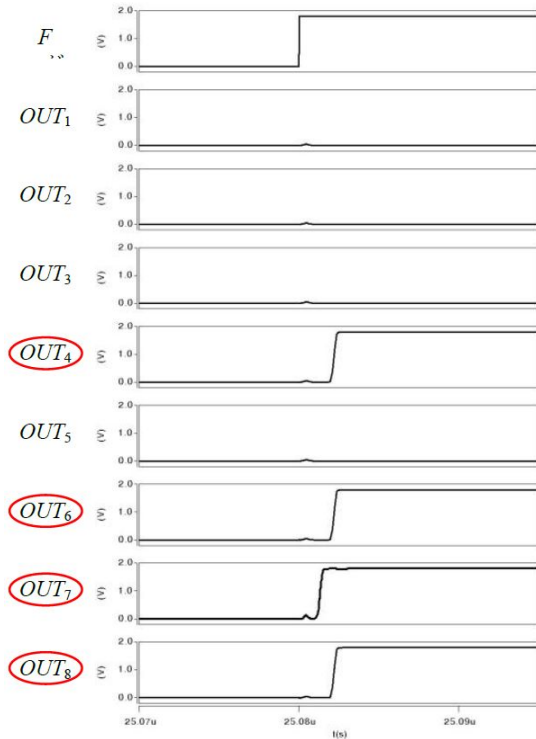


図9 範囲内検索のシミュレーション結果

(3) マンハッタン距離検索連想メモリ

今まで説明した2種類の連想メモリは、データの類似度にハミング距離を用いている。ハミング距離は、2つのバイナリーデータの異なるビットの数であり、

$$D_{Hamm} = \sum_{i=1}^N (a_i \oplus b_{i,j}) \quad (1)$$

と表される。しかし、モノクロ画像やカラー画像などの類似度には、ハミング距離ではなくマンハッタン距離を用いる。 $A=(A_1, \dots, A_j, \dots, A_M)$ と $B=(B_1, \dots, B_j, \dots, B_M)$ を、 M 個要素を持つベクトルとし、その各要素を n ビットの2進数とする。このとき、マンハッタン距離 D_{Manh} は、入力データと参照データの各要素 A_j と B_j の差の絶対値の総和として、次式のように定義されている。

$$D_{Manh} = \sum_{j=1}^M |A_j - B_j| \quad (2)$$

なお、モノクロ画像の場合、 A, B は比較する画像であり、 A_j, B_j は比較する画像の同じ場所の画素の明るさを表す2進数である。

図10は、ニューロンCMOSインバータを用いた最小マンハッタン距離検索回路の回路図である。図においてSubは減算器、Invは減算結果が正の場合Subの値をそのまま出力し、負の場合にはその値を反転して出力す

る回路である。この回路を、多出力 RAM と共に用いることで、マンハッタン距離を指標とした連想メモリを構成できる。表 4 は、シミュレーションに使用した入力データ、参照データ、入力データと参照データのマンハッタン距離および対応する出力を表している。図 11 は、この場合のシミュレーション結果である。シミュレーションはレイアウトから抽出したネットリストを用いて行った。これより、マンハッタン距離が最小である B_2, B_3 に対応する出力 OUT_2, OUT_3 がハイレベルになっており所期の動作をしている事がわかる。

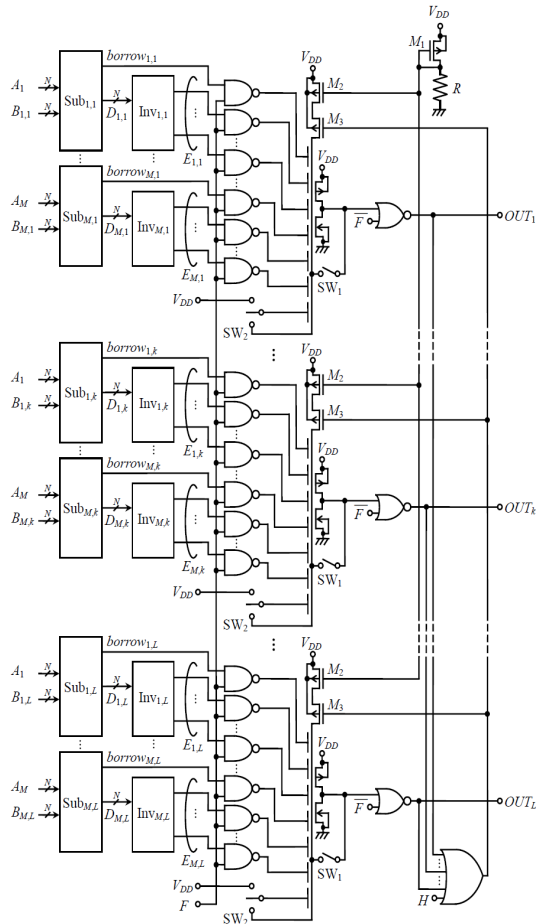


図 10 最小マンハッタン距離検索回路

表 4 最小マンハッタン距離検索に用いた入力パターン

Input data	Reference data	Manhattan distance	Output
A ($A_1=5, A_2=10$)	$B_1(B_{1,1}=5, B_{2,1}=8)$	2	OUT_1
	$B_2(B_{1,2}=5, B_{2,2}=9)$	1	OUT_2
	$B_3(B_{1,3}=5, B_{2,3}=11)$	1	OUT_3
	$B_4(B_{1,4}=5, B_{2,4}=12)$	2	OUT_4
	$B_5(B_{1,5}=5, B_{2,5}=13)$	3	OUT_5
	$B_6(B_{1,6}=5, B_{2,6}=14)$	4	OUT_6
	$B_7(B_{1,7}=5, B_{2,7}=15)$	5	OUT_7

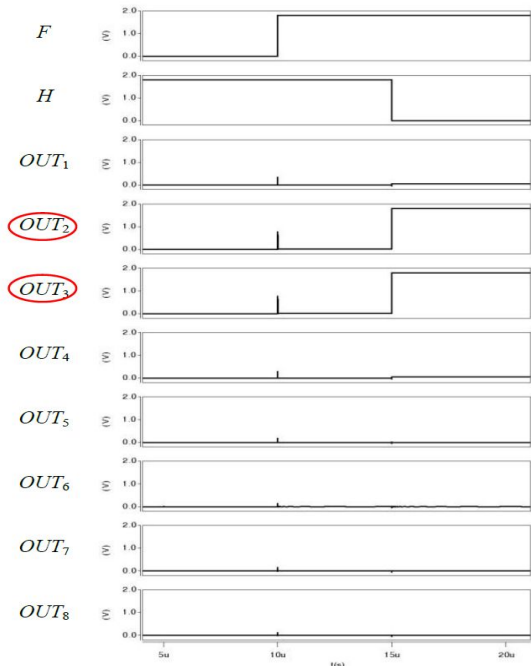


図 11 最小マンハッタン距離検索のシミュレーション結果

(4) 範囲内マンハッタン距離検索連想メモリ

図 10 の最小マンハッタン距離検索回路の若干の回路の変更により、範囲内検索が可能になる。図 12 が、範囲内マンハッタン距離検索回路である。この回路を、多出力 RAM と共に用いることで、マンハッタン距離を指標とした範囲内検索連想メモリを構成できる。

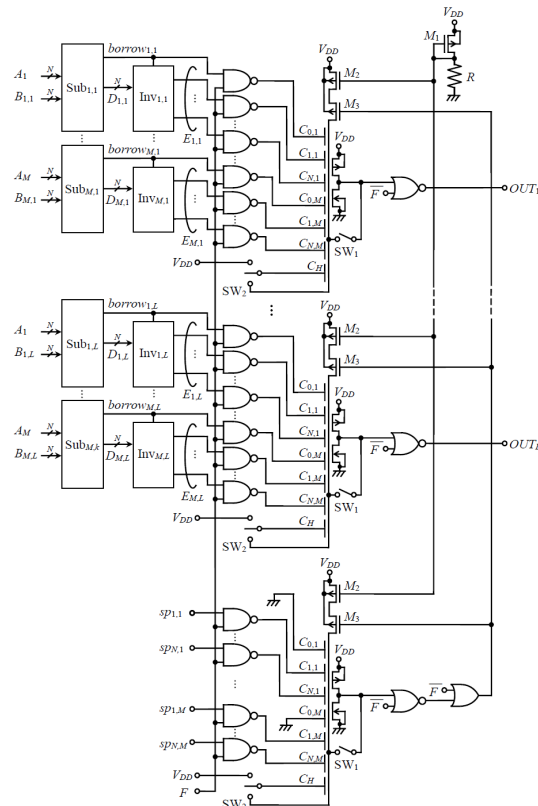


図 12 範囲内マンハッタン距離検索回路

